

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2004-172178

(P2004-172178A)

(43) 公開日 平成16年6月17日(2004.6.17)

(51) Int.Cl.⁷

F I

テーマコード (参考)

H O 1 L 29/78

H O 1 L 29/78

3 O 1 S

4 M 1 O 4

H O 1 L 21/225

H O 1 L 21/225

P

5 F O 4 8

H O 1 L 21/8238

H O 1 L 27/08

3 2 1 E

5 F 1 4 O

H O 1 L 27/092

H O 1 L 27/08

3 2 1 F

H O 1 L 29/417

H O 1 L 29/50

M

審査請求 未請求 請求項の数 11 O L (全 18 頁)

(21) 出願番号 特願2002-333117 (P2002-333117)

(22) 出願日 平成14年11月18日 (2002.11.18)

(71) 出願人 000003078

株式会社東芝

東京都港区芝浦一丁目1番1号

(74) 代理人 100083161

弁理士 外川 英明

(72) 発明者 西山 彰

神奈川県横浜市磯子区新杉田町8番地 株

式会社東芝横浜事業所内

Fターム(参考) 4M104 AA01 BB01 CC01 CC05 DD29

DD91 EE02 EE03 EE09 EE11

EE12 EE16 EE17 FF06 FF14

FF26 GG09 GG10 HH16

最終頁に続く

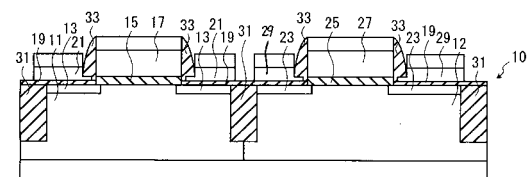
(54) 【発明の名称】 半導体装置及び半導体装置の製造方法

(57) 【要約】

【課題】 ソース／ドレインの抵抗を低く、トランジスタの駆動力を高く保ちつつ浅いPN接合を備えるMIS型電界効果トランジスタ及びその製造方法の提供。

【解決手段】 シリコン基板と、シリコン基板の表面に形成されたゲート絶縁膜と、ゲート絶縁膜上に形成されたゲート電極と、シリコン基板の前記ゲート絶縁膜の両側に形成されたソース／ドレイン拡散層と、ソース／ドレイン拡散層上に形成された金属酸化物を含有する膜と、金属酸化物を含有する膜上に形成された、不純物を含有する多結晶シリコン膜とを備えることを特徴とする半導体装置。

【選択図】 図1



10…シリコン基板

11…P型ウェル

12…N型ウェル

13…N型拡散層

15、25…ゲート絶縁膜

17、27…ゲート電極

19…金属酸化物または金属酸化物を含むシリコン酸化物膜

21…N型多結晶シリコン膜

23…P型ソース／ドレイン拡散層

29…多結晶シリコン膜

31…溝型素子分離領域

33…側壁絶縁膜

【特許請求の範囲】

【請求項 1】

シリコン基板と、
前記シリコン基板の表面に形成されたゲート絶縁膜と、
前記ゲート絶縁膜上に形成されたゲート電極と、
前記ゲート絶縁膜の両側の前記シリコン基板に形成されたソース／ドレイン拡散層と、
前記ソース／ドレイン拡散層上に形成された金属酸化物を含む膜と、
前記金属酸化物を含む膜上に形成された、不純物を含む多結晶シリコン膜とを備えること
を特徴とする半導体装置。

【請求項 2】

10

シリコン基板と、
前記シリコン基板の表面に形成された第 1 のゲート絶縁膜と、前記第 1 のゲート絶縁膜上
に形成された第 1 のゲート電極と、前記第 1 のゲート電極の両側の前記シリコン基板に形
成された N 型のソース／ドレイン拡散層と、前記ソース／ドレイン拡散層上に形成された
金属酸化物を含む第 1 の膜と、前記第 1 の膜上に形成された、N 型不純物を含む多結晶シ
リコン膜とを備える N 型電界効果トランジスタと、
前記シリコン基板の表面に形成された第 2 のゲート絶縁膜と、前記第 2 のゲート絶縁膜上
に形成された第 2 のゲート電極と、前記第 2 のゲート絶縁膜の両側の前記シリコン基板に
形成された P 型のソース／ドレイン拡散層と、前記ソース／ドレイン拡散層上に形成され
た金属酸化物を含む第 2 の膜と、前記金属酸化物を含む第 2 の膜上に形成された、P 型不
純物を含む多結晶シリコン膜とを備える、前記 N 型電界効果トランジスタの近傍に形成さ
れた P 型電界効果トランジスタとを備えることを特徴とする半導体装置。

20

【請求項 3】

前記金属酸化物を含む膜は金属酸化物とシリコン酸化物の混合物を含むことを特徴とする
請求項 1 又は 2 に記載の半導体装置。

【請求項 4】

前記金属酸化物には酸素欠損による金属結合が存在することを特徴とする請求項 1 乃至 3
のいずれかに記載の半導体装置。

【請求項 5】

前記ゲート絶縁膜と前記金属酸化物を含む膜とが異なる材料からなることを特徴とする請
求項 1 乃至 4 のいずれかに記載の半導体装置。

30

【請求項 6】

前記金属酸化物はハフニウム酸化物、酸化ジルコニウム、酸化アルミニウム、酸化イット
リウム、酸化ランタンのいずれかであることを特徴とする請求項 1 乃至 5 のいずれかに記
載の半導体装置。

【請求項 7】

前記多結晶シリコン膜と前記ソース／ドレイン拡散層は位置整合していることを特徴とす
る請求項 1 乃至 6 のいずれかに記載の半導体装置。

【請求項 8】

シリコン基板上に金属酸化物を含む膜を形成する工程と、
前記金属酸化物を含む膜上に短冊形の導電体膜あるいは半導体膜を形成する工程と、
前記導電体膜あるいは半導体膜が形成された領域外の、前記金属酸化物を含む膜の表面を
除去する工程と、
前記導電体膜あるいは半導体膜の側壁に側壁絶縁膜を形成する工程と、
前記側壁絶縁膜を介して前記導電体膜あるいは半導体膜を両側から挟む多結晶シリコン膜
を形成して、前記多結晶シリコン膜に不純物を添加する工程と、
前記多結晶シリコン膜中の不純物を、前記金属酸化物を含む膜を通して前記シリコン基板
表面に拡散させる工程とを備えることを特徴とする半導体装置の製造方法。

40

【請求項 9】

前記金属酸化物を含む膜の表面を還元処理する工程を備えることを特徴とする請求項 8 記

50

載の半導体装置の製造方法。

【請求項 10】

シリコン基板上に金属酸化物を含む第 1 の膜を形成する工程と、
前記金属酸化物を含む第 1 の膜上に短冊形の導電体膜あるいは半導体膜を形成する工程と、
前記導電体膜あるいは半導体膜が形成された領域外の前記金属酸化物を含む第 1 の膜を除去する工程と、
前記導電体膜あるいは半導体膜が形成されたシリコン基板上に金属酸化物を含む第 2 の膜を形成する工程と、
前記金属酸化物を含む第 2 の膜を介して前記導電体膜あるいは半導体膜の側壁に側壁絶縁膜を形成する工程と、
前記側壁絶縁膜の近傍に多結晶シリコン膜を形成して、前記多結晶シリコン膜に不純物を添加する工程と、
前記多結晶シリコン膜中の不純物を、前記金属酸化物を含む第 2 の膜を通して前記シリコン基板表面に拡散させる工程とを備えることを特徴とする半導体装置の製法方法。 10

【請求項 11】

前記金属酸化物はハフニウム酸化物、酸化ジルコニウム、酸化アルミニウム、酸化イットリウム、酸化ランタンのいずれかであることを特徴とする請求項 8 乃至 10 のいずれかに記載の半導体装置の製造方法。

【発明の詳細な説明】

20

【0001】

【発明の属する技術分野】

本発明はシリコン基板上に形成した半導体装置及びその製造方法に関する。

【0002】

【従来の技術】

金属—絶縁体—半導体界面を有する電界効果トランジスタ (M I S F E T) の微細化はとどまる所を知らず、既に $0.1\mu\text{m}$ のゲート長を目前にしている。これは M I S F E T の微細化が L S I (大規模集積回路) の高速化につながり、さらに低消費電力化にも繋がるという縮小則がいまだに成り立っているためである。また、M I S F E T を微細化すると、占有面積の縮小をもたらし、チップの単位面積当りのトランジスタ数を増やすことができることで L S I の多機能化を実現することができる。 30

【0003】

しかし、縮小則の追求は 50nm というデザインルールを数年先に実現するにあたり大きな壁にぶつかるかと予想されている。つまり、微細化にともない M I S F E T のソース／ドレイン間の短チャネル効果が顕著になり、トランジスタをカットオフできなくなるというものである。そのために、数年先にはソース／ドレインの P N 接合深さを約 10nm にまでする事が必須になると予想されている。

【0004】

また、シリコン基板内の P 型、あるいは N 型不純物の固溶に限界があるためにソース／ドレインの抵抗 R が非常に高く ($R > 1\text{k}\Omega/\text{sq}$) なることが予想されている。その場合は、トランジスタのカットオフは実現できるが、駆動電流が大幅に小さくなり、論理回路の速度低下、メモリ書き込み／読み出し速度の低下が懸念される。 40

【0005】

これらの問題を解決するために、M I S F E T のゲート近傍にソース／ドレインの浅い接合を作りながら、その上に不純物を高濃度に添加した導体のシリコンを配置してソース／ドレインの低抵抗化を実現する提案がなされた (特許文献 1 参照)。この方法を用いて、金属—酸化物—半導体電界効果トランジスタ (M O S F E T) の異導電型同士を組み合わせた相補型 M O S F E T (C M O S F E T) を搭載する大規模集積回路 (L S I) を製造するには、夫々 N^+ 型、 P^+ 型の高濃度に不純物を含有した、異なるシリコン膜を低温で堆積しなければならない、工程が従来よりも長くなる等の弊害が予想される。 50

【0006】

また、ゲート電極の側壁に形成した絶縁膜の外側に多結晶シリコンを堆積して、この多結晶シリコンに N^+ 型、 P^+ 型の不純物をイオン注入し、その後、注入した不純物の拡散速度が基板シリコン中のそれに比べ100倍程早いことを利用して、ソース／ドレインのゲート電極近傍に浅い接合を形成する方法が提案されている（非特許文献1参照）。

【0007】

この方法によれば、不純物の活性化のための熱処理により、本来多結晶シリコンであるべき部分が単結晶基板からの結晶情報により単結晶化して不純物拡散が低減し、接合深さの制御が困難になると予想される。

【0008】

これを避けるために適当な量の酸素を基板シリコンと多結晶シリコンとの間に導入すれば、シリコン酸化物が生成され、不純物拡散がシリコン酸化物により滞ったり、シリコン酸化物の抵抗成分がトランジスタの駆動力に影響を与えたりすると予想される。

【0009】

【特許文献1】

特開2002-231942公報

【非特許文献1】

Nakano et al, Japanese Journal of Applied Physics, Part 1: Regular Papers, Short Notes & Review Papers (2000), 39(4B), 2155-2157. 20

【0010】

【発明が解決しようとする課題】

上述の通り、トランジスタの微細化にともないソース／ドレインの接合深さを浅くする要請があるが、これを解決しようするとソース／ドレインの高抵抗化やトランジスタの駆動力の低下、また、製造工程の複雑化という弊害が予想される。

【0011】

本発明は、このような事情に鑑みて、ソース／ドレインの抵抗を低く、かつ浅いPN接合を備える半導体装置及びこのような半導体装置を簡便に製造する方法を提供することを目的の一つとする。 30

【0012】

【課題を解決するための手段】

上記課題を解決するために、本発明の第一は、シリコン基板と、シリコン基板の表面に形成されたゲート絶縁膜と、ゲート絶縁膜上に形成されたゲート電極と、ゲート絶縁膜の両側の前記シリコン基板に形成されたソース／ドレイン拡散層と、ソース／ドレイン拡散層上に形成された金属酸化物を含む膜と、金属酸化物を含む膜上に形成された、不純物を含む多結晶シリコン膜とを備えることを特徴とする半導体装置を提供する。

【0013】

また、本発明の第二は、シリコン基板と、シリコン基板の表面に形成された第1のゲート絶縁膜と、第1のゲート絶縁膜上に形成された第1のゲート電極と、第1のゲート電極の両側の前記シリコン基板に形成されたN型ソース／ドレイン拡散層と、N型ソース／ドレイン拡散層上に形成された金属酸化物を含む第1の膜と、第1の膜上に形成された、N型不純物を含む多結晶シリコン膜とを備えるN型電界効果トランジスタと、シリコン基板の表面に形成された第2のゲート絶縁膜と、第2のゲート絶縁膜上に形成された第2のゲート電極と、第2のゲート絶縁膜の両側のシリコン基板に形成されたP型ソース／ドレイン拡散層と、P型ソース／ドレイン拡散層上に形成された金属酸化物を含む第2の膜と、金属酸化物を含む第2の膜上に形成された、P型不純物を含む多結晶シリコン膜とを備える、N型電界効果トランジスタの近傍に形成されたP型電界効果トランジスタとを備えることを特徴とする半導体装置を提供する。 40

【0014】

尚、上記本発明の第二及び第三において、多結晶シリコンの単結晶化を抑制しながら、多結晶シリコンから基板への不純物の拡散を促し、ソース／ドレインの電気抵抗を低減する趣旨から、金属酸化物を含む膜は、少なくともソース／ドレイン拡散層上に形成された多結晶シリコン膜とソース／ドレイン拡散層が重なる全領域に形成されていることが好ましい。

【0015】

また、本発明の第三は、シリコン基板上に金属酸化物を含む膜を形成する工程と、金属酸化物を含む膜上に短冊形の導電体膜あるいは半導体膜を形成する工程と、導電体膜あるいは半導体膜が形成された領域外の、金属酸化物を含む膜の表面を除去する工程と、導電体膜あるいは半導体膜の側壁に側壁絶縁膜を形成する工程と、側壁絶縁膜を介して導電体膜あるいは半導体膜を両側から挟む多結晶シリコン膜を形成して、多結晶シリコン膜に不純物を添加する工程と、多結晶シリコン膜中の不純物を、金属酸化物を含む膜を通してシリコン基板表面に拡散させる工程とを備えることを特徴とする半導体装置の製造方法を提供する。 10

【0016】

また、本発明の第四は、シリコン基板上に金属酸化物を含む第1の膜を形成する工程と、金属酸化物を含む第1の膜上に短冊形の導電体膜あるいは半導体膜を形成する工程と、導電体膜あるいは半導体膜が形成された領域外の金属酸化物を含む第1の膜を除去する工程と、導電体膜あるいは半導体膜が形成されたシリコン基板上に金属酸化物を含む第2の膜を形成する工程と、金属酸化物を含む第2の膜を介して導電体膜あるいは半導体膜の側壁に側壁絶縁膜を形成する工程と、側壁絶縁膜の近傍に多結晶シリコン膜を形成して多結晶シリコン膜に不純物を添加する工程と、多結晶シリコン膜中の不純物を、金属酸化物を含む第2の膜を通してシリコン基板表面に拡散させる工程とを備えることを特徴とする半導体装置の製法方法を提供する。 20

【0017】

尚、本発明の第三及び第四において、金属酸化物を含む膜の表面を還元処理する工程を加えることもできる。また、第1のゲート絶縁膜及び第2のゲート絶縁膜の材料は互いに異なるものとすることができる。さらに、第1の膜と第2の膜の金属酸化物を互いに異なる材料とすることもできる。

【0018】

【発明の実施の形態】

以下、図面を参照しつつ本発明の実施の形態について説明する。

【0019】

図1は、本発明の実施の形態に係るCMOSFETの断面図である。

【0020】

CMOSFETはシリコン基板10の素子領域に形成され、互い隣接するN型MOSFET及びP型MOSFETを備える。図1に示すように、N型MOSFETが形成されるシリコン単結晶基板10のN型MOSFET予定領域にはP型ウェル11、P型MOSFETが形成されるP型MOSFET予定領域にはN型ウェル12が形成される。

【0021】

N型MOSFETは、P型ウェル11の表面領域に形成された一対のN型ソース／ドレイン拡散層13と、ソース／ドレイン拡散層13に挟まれたP型ウェル11上のゲート絶縁膜15及びゲート電極17と、ソース／ドレイン拡散層13上の金属酸化物膜または金属酸化物を含むシリコン酸化物膜19とこの上に形成されたN型の不純物を含有する多結晶シリコン膜21を備える。 40

【0022】

一方、P型トランジスタは、N型ウェル12の表面領域に形成された一対のソース／ドレイン拡散層23と、これらに挟まれたN型ウェル12上のゲート絶縁膜25及びゲート電極27と、ソース／ドレイン拡散層23上の金属酸化物膜または金属酸化物を含むシリコン酸化物膜19を介して形成されたP型の不純物を含有する多結晶シリコン膜29を備え 50

る。

【0023】

また、図1中、両MOSFET間のシリコン基板10の表面には溝型素子分離領域31が形成されている。また、ゲート電極17、27の側壁には側壁絶縁膜33が形成されており、ゲート電極、ソース／ドレインの多結晶シリコン膜上には、各電極の低抵抗化のためのシリサイド層（符号なし）が形成されている。さらに、このCMOSFET上には図示せぬ低誘電率の層間絶縁膜が形成される。

【0024】

ここで、両トランジスタのソース／ドレインは、ソース／ドレイン拡散層13、23、金属酸化物またはそれを含むシリコン酸化物膜19、及び不純物を含有する多結晶シリコン膜21、29を備える。金属酸化物中の砒素及び磷（N型不純物）、硼素（P型不純物）の拡散係数はシリコン酸化物のそれに比べ大きく、約100倍にも達する。よって、同じ膜厚のシリコン酸化物を用いるよりも金属酸化物を含む膜を用いた方が不純物の基板10への拡散・導入が捗る。

【0025】

また、図2（a）及び（b）にソース／ドレインのバンドギャップの説明図を示す。金属酸化物のバンドギャップはシリコン酸化物のそれに比べて小さく、また、量子力学のトンネル現象により通過する電荷（N型のソース／ドレインでは電子e、P型のソース／ドレインでは正孔h）に対しては、シリコン酸化物のトンネル障壁 Φ_{SiO_2} よりも金属酸化物のトンネル障壁 Φ_{MO_2} の方が低い（詳細は、非特許文献2参照）。つまり、金属酸化物を含有する膜は、含有しないシリコン酸化物に比べて電気抵抗が小さいといえる。

【0026】

ソース／ドレインに用いる金属酸化物としては、ハフニウム酸化物の他、酸化ジルコニウム（ ZrO_2 ）、酸化アルミニウム（ Al_2O_3 ）、酸化イットリウム（ Y_2O_3 ）、酸化ランタン（ La_2O_3 ）等のランタノイド系金属酸化物、それらの混合物が例示できる。また、金属酸化物を含む膜は、これらの金属酸化物とシリコン酸化物との混合物膜とすることもできる。

【0027】

金属酸化物を含む膜が金属酸化物とシリコン酸化物を含む場合は、金属もシリコンも酸素と結びついている状態であると考えられる。また、金属酸化物には酸素欠損による金属結合が存在することも考えられる。この金属結合が膜中に存在するか否かは、XPS（X-ray Photoemission Spectroscopy）により観察できる。

【0028】

これらの膜材料に要求される特性は、シリコン酸化物に比べて、AsやP、B等のようにシリコンに添加して電荷を生じるV族やIII族の元素にとって拡散係数が大きく、また、シリコン酸化物にくらべバンドギャップが小さく、電子や正孔といった電荷の通過確率が大きいといった特性である。

【0029】

また、金属酸化物を含有する膜の採用により、多結晶シリコンの単結晶化を抑制しながら、多結晶シリコンから基板への不純物の拡散を促し、あるいはソース／ドレインの電気抵抗を低減することができる。

【0030】

（第1の実施例）

次に、本発明の半導体装置の製造方法について実施例を用いて説明する。

【0031】

図3（a）及び（b）、図4（a）及び（b）、図5（a）及び（b）、図6（a）及び（b）、並びに図7（a）及び（b）は、本発明の第1の実施例に関わるCMOSFETの製造方法を説明するための断面図である。

【0032】

10

20

30

40

50

まず、シリコン基板40の素子形成面に、素子分離領域の一種であるSTI (Shallow Trench Isolation) を形成する。このSTIは次のように形成することができる。まず、シリコン基板40に約0.4 μm の深さに溝を掘った後、シリコン酸化物膜41をCVD (Chemical Vapor Deposition) によりシリコン基板40の素子形成領域に堆積する。続いて、CMP (Chemical Mechanical Polishing) により素子領域を平坦化して素子分離領域41を形成する (図3 (a))。

【0033】

その後、シリコン基板40のN型MOSFETとP型MOSFETの形成予定領域に、例えば燐とボロンを選択的に約1 MeVにてイオン注入し、約1100℃程度の高温短時間熱処理を行ない、P型ウェル領域43、N型ウェル45を形成する (図3 (a))。さらに、各ウェルの表面領域にトランジスタの閾値調整のためにイオン注入を行なう。

【0034】

その後、ハフニウム酸化物とシリコン酸化物の混合膜47をMOCVD (Metal Organic CVD) により、約500℃で約4 nmの厚さに形成する (図4 (a))。MOCVDの原料ガスはHTB ($\text{Hf}(\text{OC}(\text{CH}_3)_3)_4$) とTEOS ($\text{Si}(\text{OCH}_2\text{CH}_3)_4$) の混合ガスを用いた。このとき、混合膜47中のハフニウム濃度は約5%以上約20%以下とする。但し、これ以外の組成でも成膜可能である。また、混合膜47はシリコン酸化物を含有しないハフニウム酸化物のみからなるものでもよい。

【0035】

その後、混合膜47の表面を窒素プラズマにさらすことにより表面に窒素を導入する。窒素プラズマに晒された後の混合膜47表面の窒素濃度は、望ましくは約20%以上約40%以下である。続いて、多結晶シリコン膜49を約100 nmの厚さで素子領域に形成する (図3 (b))。この多結晶シリコン膜49の形成は、CVDやスパッタ等によることができる。

【0036】

その後、フォトリソグラフィを用いて多結晶シリコン膜49のゲート電極予定部 (短冊形) を残して他の部分を反応性イオンエッチング (Reactive Ion Etching) 等によりエッチング除去する (図4 (a))。

【0037】

続いて、このエッチングにより露出した混合膜47の表層をエッチング除去する (図4 (a))。この際に、シリコン基板表面の素子領域のうちゲート電極49が残置された領域以外には、厚さ約1 nmのハフニウム酸化物とシリコンの酸化物混合膜51を残置する。このエッチングには1%の希HF水溶液を用いる。このエッチングにより混合膜47の窒素が添加された表面は除去され、窒素が添加されなかった基板40側の領域が混合膜51として残置する (図4 (a))。

【0038】

さらに、ゲート電極49を含む素子領域上には、厚さ約10 nmのシリコン酸化物膜53をCVDにより形成する (図4 (b))。

【0039】

続いて、シリコン酸化物膜53の上に、シリコン窒化物膜55を約50 nmの厚さに形成する (図5 (a))。

【0040】

さらに、RIEによりこのシリコン窒化物膜をゲート電極49の側壁に選択的に残置して、側壁シリコン窒化物膜59を形成する (図5 (b))。続いて、シリコン窒化物膜55の除去により露出したシリコン酸化物膜53を、希HF水溶液により除去し、ハフニウム酸化物とシリコン酸化物の混合膜51を露出する (図5 (b))。この際に、側壁シリコン窒化物膜59と基板40の間のシリコン酸化物膜53を除去するが、ハフニウム酸化物とシリコン酸化物の混合膜51はシリコン酸化物膜53に比べ削れにくいいため、ソース/ドレイン予定領域上に残置することができる (図5 (b))。この際のエッチング選択比

10

20

30

40

50

は、エッチング雰囲気や基板温度、エッチング水溶液のHF濃度により適宜調整することができる。

【0041】

続いて、N型及びP型MOSFET領域に、不純物を含まない厚さ約100nmの多結晶シリコン膜を約550℃のCVDにより形成する。その後、まずCMPによりゲート電極49上の多結晶シリコン膜を除去する(図6(a))。続いて、フォトリソグラフィにより当該多結晶シリコン膜を加工し、各トランジスタのソース／ドレイン拡散層上のみに多結晶シリコン膜61を残置する(図6(a))。

【0042】

次に、レジストパターンをマスクにして、N型MOSFET、P型MOSFETにそれぞれ磷とフッ化ボロン BF_2 をイオン注入する。例えば、図6(b)に示すように、N型MOSFET領域をレジストパターン63により被覆して、N型トランジスタへのフッ化ボロンの進入を防いでP型MOSFETにフッ化ボロン BF_2 65を注入する。この際のイオン注入条件は約30keVで、ドーズ量は約 $5 \times 10^{15} \text{ cm}^{-2}$ とする。

【0043】

その後、レジスト63を除去して、窒素雰囲気中で約900℃、約30秒間の熱処理を施す。これにより、N型トランジスタのソース／ドレインには N^+ 型多結晶シリコン膜69／ハフニウム酸化物とシリコン酸化物の混合膜51／接合深さ10nmの浅い N^+ 拡散層67を形成する。また、P型トランジスタのソース／ドレインには P^+ 型多結晶シリコン膜71／ハフニウム酸化物とシリコン酸化物の混合膜51／接合深さ10nmの浅い P^+ 拡散層73を形成する(図7(a))。このように多結晶シリコン膜から不純物を拡散することで、拡散層は多結晶シリコン膜直下のシリコン基板に形成される。

【0044】

このとき、側壁シリコン窒化物膜59下にも厚さ約10nmの多結晶シリコン膜／ハフニウム酸化物とシリコン酸化物の混合膜51／接合深さ約10nmの拡散層が形成される。そのため、この部分のシート抵抗はN型MOSFETで約150 Ω/sq 程度、P型MOSFETでは約300 Ω/sq 程度まで下がる。

【0045】

さらに、多結晶シリコン膜69、71の表面はサリサイド工程によりさらに低抵抗化することもできる。つまり、素子領域上に膜厚約15nmのCo膜を形成して約400℃程度の熱処理を行ってCoサリサイド膜を形成した後、硫酸と過酸化水素水の混合液体により未反応のCoをエッチングにより除去して、約700℃程度の短時間熱処理を行うことにより、厚さ約35nmの CoSi_2 膜75、77をN型及びP型MOSFETの多結晶シリコン膜69、71の上面に形成する。この際、両トランジスタのゲート電極49の表面にも CoSi_2 膜75、77を形成する(図7(b))。

【0046】

その後、素子領域に、CVDにより低誘電率シリコン酸化膜等の層間絶縁膜79を形成し、図7(b)のように配線前のトランジスタを形成する。この後は、この技術分野で広く行なわれている第一層配線の形成、ソース／ドレインやゲート電極へのコンタクトの孔開け、TiN膜等のバリア膜のCVD法による堆積、コンタクトタングステン形成、Al-Cu膜等の配線工程を続けて半導体の集積回路を完成する。

【0047】

この実施例では、ハフニウム酸化物を金属酸化物の例として説明したが、ハフニウム酸化物に替えて酸化ジルコニウム(ZrO_2)、酸化アルミニウム(Al_2O_3)、酸化イットリウム(Y_2O_3)、酸化ランタン(La_2O_3)等のランタノイド系金属酸化物、それらの混合物、あるいは、それらとシリコン酸化物との混合物を用いてもよい。

【0048】

これらの材料に要求される特性は、シリコン酸化物に比べて、AsやP、B等のようにシリコンに添加して電荷を生じるV族やIII族の元素にとって拡散係数が大きかったり、また、シリコン酸化物にくらべバンドギャップが小さく、電子や正孔といった電荷の通過

10

20

30

40

50

確率が大きいといった特性である。

【0049】

本実施例では、ゲート絶縁膜47にもソース／ドレインの金属酸化物と同じ材料を用いている。多結晶シリコンからなるゲート電極には、不純物を添加するのが一般的であるが、ゲート電極直下の基板への不純物拡散は好ましくない。この点、窒素等をゲート絶縁膜の表面に添加することで不純物拡散を抑制することができる。

【0050】

一方、ソース／ドレインの金属酸化物は、窒素が添加された表層のみを選択的に除去しているので、ソース／ドレイン拡散層の形成にあたり、不純物の良好な拡散が期待できる。

【0051】

膜表層の窒化処理は、本実施例のプラズマ窒化の他、ウェハを載置したチャンバ内に直接プラズマを形成してもよいし、配管の途中にプラズマ形成のための装置を設置し、そこからチャンバ内にプラズマを導入することによっても可能である。また、窒化方法はこれに限るものではなく、 NH_3 を含む雰囲気中でCVDにより窒化膜を形成することも可能であるし、金属酸化物膜の形成後に NH_3 を含む雰囲気中で熱処理することも可能である。さらに、窒素イオンを極低加速イオン注入により金属酸化物膜表面に導入することもできる。

【0052】

これら金属酸化物あるいはそれを含有する膜は実施例ではCVDにより形成したが、スパッタ法、蒸着法、アブレーション法、塗布法などを用いてもよい。また、形成の際にラジカルを用いてもよいし、光を照射してもよい。また、CVDの原材料ガスとして有機ソース、ハロゲンソースはその他の事情等により適宜、変更可能である。

【0053】

尚、ゲート電極には多結晶シリコンを用いたが、その他SiGe等の半導体に置き換えることも可能である。また、金属あるいは金属シリサイドを用いることも可能である。さらに、N型MOSFETとP型MOSFETのゲート電極に同一材料を用いてもよいし、異なる材料を用いてもよい。

【0054】

また、シリサイド層には CoSi_2 の他、チタンシリサイド(TiSi_2)やニッケルシリサイド(NiSi)を用いてもよい。N型MOSFETとP型MOSFETに別のシリサイド材料を用いることもできる。

【0055】

ソース／ドレインの不純物拡散方法は、RTA(Rapid Thermal Anneal)の他、フラッシュランプを用いる方法、電気炉で例えば約600℃、約1時間の熱処理を施す方法等を用いることができる。

【0056】

また、ゲート側壁は2重とする他、シリコン窒化物膜等の単層としてよい。但し、単層にする場合は、厚さを薄くして近傍の多結晶シリコン膜から拡散する不純物がゲート電極49の下まで回り込むようにすれば、オフセット状態を防いで電流駆動力を維持することができる。また、単層の側壁を用いる際は、ソース／ドレインとゲートとの間の容量が大きくなるので低誘電率の絶縁膜を用いることが望ましい。

【0057】

また、ソース／ドレインに用いる多結晶シリコンは、CVDにより形成することもできるがスパッタを用いることもできる。また、酸化膜55の形成の前に、ハフニウム酸化物とシリコン酸化物の混合膜を還元する雰囲気中にさらし、電気伝導性を上げておくこと寄生抵抗を低減できる。

【0058】

さらに、本実施例では基板にシリコン基板を用いたが、SOI(Silicon On Insulator)のシリコン層上に形成してもよい。シリコン基板やSOIのシリコン層のいずれも、ソース／ドレイン拡散層を形成するのは単結晶であることが望ましい。

【0059】

10

20

30

40

50

(第2の実施例)

図3(a)及び(b)、図8(a)及び(b)並びに図9(a)及び(b)は、本発明の第2の実施例に係る、MOSFETの製造方法を説明するための断面図である。以降の記述では、第1の実施例と同様の構成には同じ符号を用いて説明することとし、重複する説明は省略する。

【0060】

まず、図3(a)及び(b)を用いて説明した方法により、シリコン基板40の素子領域に溝型素子分離領域41、P型ウェル43、N型ウェル45、ゲート絶縁膜47、多結晶シリコン膜49を形成する。

【0061】

その後、多結晶シリコン膜49をゲート電極形状に加工する。そして、ゲート電極49下のゲート絶縁膜47を除く、ハフニウム酸化物とシリコン酸化物の混合膜を1%の希HF水溶液を用いてエッチングし、ソース／ドレイン予定領域から除去する(図8(a))。

【0062】

続いて、ハフニウム酸化膜81をMOCVDにより約1nmの厚さに堆積する。さらに、約10nmのシリコン酸化物膜83をCVDにより素子領域に形成する(図8(b))。

【0063】

次に、素子領域にシリコン窒化物膜を厚さ約50nmに形成して、このシリコン窒化物膜に反応性イオンエッチングを施して、ゲート電極の側面に側壁シリコン窒化物膜85を選択的に残置する(図9(a))。

【0064】

さらに、素子領域に露出したシリコン酸化物膜83を希ハフニウム水溶液により除去し、ハフニウム酸化物膜81を露出させる。この際、側壁シリコン窒化物膜85下のシリコン酸化物膜83も除去するが、ハフニウム酸化物はシリコン酸化物にくらべ希HF水溶液に対して削れにくいいため素子領域上に残置する。ハフニウム酸化物81とシリコン酸化物の選択比は温度、エッチング水溶液中のHF濃度により異なるため、実際は使用するエッチング水溶液中のHF濃度にあわせて、ハフニウム酸化物の堆積膜厚を制御する。

【0065】

続いて、素子領域に多結晶シリコン膜(図示せず)を約550℃のCVDにより約100nmの厚さに形成する。その後、CMPにより、ゲート電極49上の多結晶シリコン膜を除去する。続いて、フォトリソグラフィにより多結晶シリコン膜を加工して、ソース／ドレイン予定領域にのみ多結晶シリコン膜69、71を残置する(図9(b))。この際、多結晶シリコン膜は不純物が含有されていない状態である。次に、レジストをマスクにしてN型MOSFET予定領域、P型MOSFET予定領域にそれぞれ P^+ と B F_2 をイオン注入する。この際のイオン注入条件は、約30KeVでドーズ量は約 $5 \times 10^{15} \text{ cm}^{-2}$ とする。

【0066】

その後、約900℃で30秒間、窒素雰囲気での高温短時間熱処理を施して、不純物が添加された多結晶シリコン膜69、71から不純物を拡散させてN型、P型双方のソース／ドレイン拡散層67、73を形成する。これにより、N型MOSFETのソース／ドレインには、 N^+ 型多結晶シリコン膜69／ハフニウム酸化膜81／接合深さ10nmの浅い N^+ 拡散層67を形成する。一方、P型トランジスタのソース／ドレインは、 P^+ 型多結晶シリコン膜71／ハフニウム酸化膜81／接合深さ10nmの浅い P^+ 拡散層73を形成する。

【0067】

このとき、図9(b)に示すように、側壁シリコン窒化物膜85や側壁シリコン酸化物膜83下にも厚さ約10nmの多結晶シリコン／ハフニウム酸化物とシリコン酸化物の混合膜81／接合深さ約10nmのソース／ドレイン拡散層が形成される。そのため、この部分のシート抵抗はN型MOSFETで約150Ω/sq程度、P型MOSFETでは約300Ω/sq程度まで下がる。さらに、多結晶シリコン膜69、71の表面はサリサイド

10

20

30

40

50

工程によりシリサイド膜 75、77 を形成して低抵抗化することもできる。この後、素子領域には、層間絶縁膜 79 を形成する（図 9（b））。その後の工程は実施例 1 と同様に行うことができる。

【0068】

本実施例では、ソース／ドレインにハフニウム酸化物を採用したが、この他、酸化ジルコニウム（ ZrO_2 ）、酸化アルミニウム（ Al_2O_3 ）、酸化イットリウム（ Y_2O_3 ）、酸化ランタン（ La_2O_3 ）等のランタノイド系金属酸化物、それらの混合物、あるいは、それらとシリコン酸化物膜との混合物を用いることもできる。

【0069】

本実施例では、ゲート絶縁膜 47 とソース／ドレインの金属酸化物膜に異なる材料を用いている。ゲート電極に多結晶シリコンを用いる場合は、この多結晶シリコンへの不純物添加が行われるが、ゲート絶縁膜下の基板表面への拡散は好ましくない。よって、ゲート絶縁膜にはゲート直下の基板表面への不純物拡散を抑制する材料を、ソース／ドレインの金属酸化物膜は不純物の拡散が大きな材料を用いるのが好ましく、本実施例の方法によればこれが可能となる。

【0070】

（第 3 の実施例）

図 3（a）及び（b）、図 10（a）及び（b）並びに図 11（a）及び（b）は、本発明の第 3 の実施例に係る CMOSFET の製造方法を説明するための断面図である。本実施例では、第 1 及び第 2 の実施例と同様の構成には同じ符号を用いて説明することとし、重複する説明は省略する。

【0071】

まず、図 3（a）及び（b）を用いて先に説明した方法により、シリコン基板 40 の CMOSFET 予定領域に素子分離領域 41、P 型ウェル 43、N 型ウェル 45、ゲート絶縁膜 47、多結晶シリコン膜 49 を形成する。但し、素子分離領域 41 間の距離は、図 10（a）にある様に、第 1 及び第 2 の実施例のそれに比べて短くしておく。

【0072】

次に、1% の希 HF 水溶液を用いて、ゲート絶縁膜 47 以外の領域の、表面に窒素が添加されたハフニウム酸化物とシリコン酸化物の混合膜 51 の表層を、膜の厚さが約 1 nm になるまでエッチング除去する（図 10（a））。

【0073】

さらに、厚さ約 10 nm のシリコン酸化物膜を CVD により素子領域に形成した後、このシリコン酸化物膜上に厚さ約 50 nm のシリコン窒化物膜を形成する。このシリコン窒化物膜を、RIE 等の異方性エッチングによりエッチングして、ゲート側壁に側壁シリコン窒化物膜 59 を形成する（図 10（b））。続いて、露出したシリコン酸化物膜を、希 HF 水溶液により除去して、ハフニウム酸化物とシリコン酸化物の混合膜 51 を露出させる（図 10（b））。

【0074】

この際、側壁シリコン窒化物膜 59 下のシリコン酸化物膜も横方向のエッチングにより除去される。上述の通り、ハフニウム酸化物とシリコン酸化物の混合膜 51 はシリコン酸化物に比べてエッチング速度が遅いため基板 40 の表面に残置する。その後、多結晶シリコン膜（図示せず）を CMOSFET 予定領域上に形成して、反応性イオンエッチングにより、素子分離膜にかかる側壁多結晶シリコン膜 87 を形成する（図 10（b））。

【0075】

ここで、先に述べた隣接する素子分離領域の間隔は、ゲート長（図 10（b）の断面では紙面横方向のゲート電極の幅に相当する）を l 、側壁膜 87 とする多結晶シリコン膜の膜厚を t として、例えば、 l と $2t$ の和の $(l + 2t)$ 以下とすることができる。

【0076】

尚、ハフニウム酸化物とシリコン酸化物の混合膜 51 は、図 10（b）の断面図にあるように、側壁多結晶シリコン膜 87 の外側に残置してもよいし、エッチングにより除去して

も良い。

【0077】

次に、レジストをマスクにしてN型MOSFET予定領域、P型MOSFET予定領域にそれぞれ BF_2 をイオン注入する。イオン注入条件は約30KeVで、ドーズ量は約 $5 \times 10^{15} \text{ cm}^{-2}$ とする。

【0078】

その後、約900℃、約30秒の窒素雰囲気での高温短時間熱処理を施すことにより拡散層91、93を形成する。これにより、N型トランジスタのソース／ドレインとして、 N^+ 型多結晶シリコン膜89／ハフニウム酸化物とシリコン酸化物の混合膜51／接合深さ約10nmの浅い N^+ 拡散層91が形成できる。また、P型トランジスタのソース／ドレインとして、 P^+ 型多結晶シリコン膜95／ハフニウム酸化物とシリコン酸化物の混合膜51／接合深さ10nmの浅い P^+ 拡散層93が形成できる（図11（a））。 10

【0079】

続いて、両トランジスタのソース／ドレインの多結晶シリコン膜89、95の表面にシリサイド膜75、77を形成し、素子領域上には層間絶縁膜79を形成する（図11（b））。これにより、CMOSFETの形成を終え、その後、第1の実施例で述べたような多層配線工程等の後の工程へ移行する。

【0080】

（第4の実施例）

次に、本発明の第4の実施例について説明する。本実施例は、ゲート絶縁膜とソース／ドレインに異なる酸化物膜を形成した第2の実施例と側壁多結晶シリコン膜を用いた第3の実施例を組み合わせたCMOSFETの製造方法に関わる。 20

【0081】

まず、第2の実施例において説明したように、シリコン基板40のCMOSFET形成予定領域に素子分離領域41、P型ウェル43、N型ウェル45、ゲート絶縁膜47、ゲート電極49を形成する（図8（a））。この際に、素子分離領域41の間隔は、第3の実施例で述べたように図8のそれよりも短くなるように設定する。

【0082】

その後、素子領域にハフニウム酸化物膜81及びシリコン酸化物膜83を順次形成する（図8（b））。さらに、シリコン窒化物膜をシリコン酸化物膜83上に形成した後、反応性イオンエッチングを施してゲート側面に選択的に側壁シリコン窒化物膜85を残す（図9（a））。その後、素子領域に露出したシリコン酸化物膜を希HF水溶液により除去し、ハフニウム酸化物膜81を露出する。この際、側壁シリコン窒化物膜85下のシリコン酸化物膜も横方向に除去する（図9（a））。 30

【0083】

続いて、第3の実施例で説明したように、素子領域に多結晶シリコン膜を形成し、反応性イオンエッチングにより、図10（b）に示すような素子分離膜にかかる側壁多結晶シリコン膜87を形成する。この際、ハフニウム酸化物膜81は側壁多結晶シリコン膜87の外側に残置させてもよいし、エッチングして除去しても良い。

【0084】

次に、レジストをマスクにしてN型トランジスタ領域とP型トランジスタ領域に夫々P（リン）と BF_2 をイオン注入し、RTAにより多結晶シリコン膜87中の不純物を基板表面に拡散させる。こうして、N型トランジスタのソース／ドレインは、 N^+ 型側壁多結晶シリコン膜／ハフニウム酸化物膜／接合深さ約10nmの N^+ 拡散層となる。また、P型トランジスタのソース／ドレインは、 P^+ 型側壁多結晶シリコン膜／ハフニウム酸化物膜／接合深さ約10nmの P^+ 層となる。 40

【0085】

このとき、ゲート側部にも厚さ約10nmの多結晶シリコン膜／ハフニウム酸化物膜／浅い拡散層が形成されており、この領域のシート抵抗はN型トランジスタで約150Ω/sq程度、P型トランジスタでは約300Ω/sq程度まで低減できる。 50

【0086】

その後、ソース／ドレインの多結晶シリコン膜の表面には図11(b)に示すような、サリサイド膜75、77を形成してさらに低抵抗化する。そして、CMOSFET上にCVDにより図11(b)に示す層間絶縁膜79を形成する。これによりCMOSFETの形成を終え、その後、第1の実施例で述べたような多層配線形成工程等の半導体配線工程へ移行する。

【0087】

以上、本発明の実施形態及び実施例を説明したが、本発明はこれに限定されず、本発明の要旨を逸脱しない範囲で種々変形して実施可能である。例えば、上述の実施の形態や実施例はCMOSFETを中心に説明したが、これに限らず単体のMOSFETやMISFETにも適用可能である。また、各構成の材料や組成及び膜厚や間隔等の各種サイズは適宜変更できる。

【0088】

また、本発明の半導体装置及びその製造方法は、基板の主面垂直方向に電流を流す縦型MOSFETにも適用可能である。さらに、シリコン柱の側面に電流を流す、縦型MOSFETにも適用できる。この際、縦型MOSFETのソース／ドレインへの不純物導入は現状困難であるが、本実施例を適用すれば、不純物導入を促すことができる。

【0089】

また、第4の実施例にて第2及び第3の実施例を組み合わせたように、適宜、複数の実施例を組み合わせて実施することも可能である。

[非特許文献2]

J. Robertson: J. Vac. Sci. Technol B18, 1785, 2000.

【0090】

【発明の効果】

以上述べたように、本発明によれば、ソース／ドレインの抵抗を低く、かつ、ソース／ドレインに浅いPN接合を備える半導体装置及びその製造方法を提供すること等が可能となる。

【図面の簡単な説明】

【図1】本発明の実施の形態に関わる相補型電界効果トランジスタの断面図である。

【図2】本発明の実施の形態に関するバンドギャップの説明図である。

【図3】本発明の製造方法に関わる第1の実施例等を説明するための断面図である。

【図4】本発明の製造方法に関わる第1の実施例を説明するための断面図である。

【図5】本発明の製造方法に関わる第1の実施例を説明するための断面図である。

【図6】本発明の製造方法に関わる第1の実施例を説明するための断面図である。

【図7】本発明の製造方法に関わる第1の実施例を説明するための断面図である。

【図8】本発明の製造方法に関わる第2の実施例を説明するための断面図である。

【図9】本発明の製造方法に関わる第2の実施例を説明するための断面図である。

【図10】本発明の製造方法に関わる第3の実施例を説明するための断面図である。

【図11】本発明の製造方法に関わる第3の実施例を説明するための断面図である。

【符号の説明】

10、40…シリコン基板

11、43…P型ウェル

12、45…N型ウェル

13、67、91…N型拡散層

15、25…ゲート絶縁膜

17、27、49…ゲート電極

19、47、51、81…金属酸化物膜または金属酸化物とシリコン酸化物の混合膜

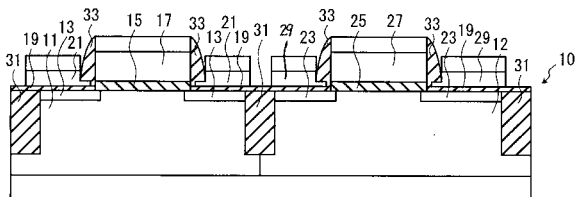
21、29、61…多結晶シリコン膜

23、73、93…P型拡散層

- 31、41…素子分離領域
 33…側壁絶縁膜
 49…多結晶シリコン膜
 53、57、83…シリコン酸化物膜
 55…シリコン窒化物膜
 59、85…側壁シリコン窒化物膜
 63…レジスト
 65… BF_2
 69…N型多結晶シリコン膜
 71…P型多結晶シリコン膜
 75、77… CoSi_2 膜
 79…層間絶縁膜
 81…ハフニウム酸化物膜
 87…側壁多結晶シリコン膜
 89…N型多結晶シリコン膜
 95…P型多結晶シリコン膜

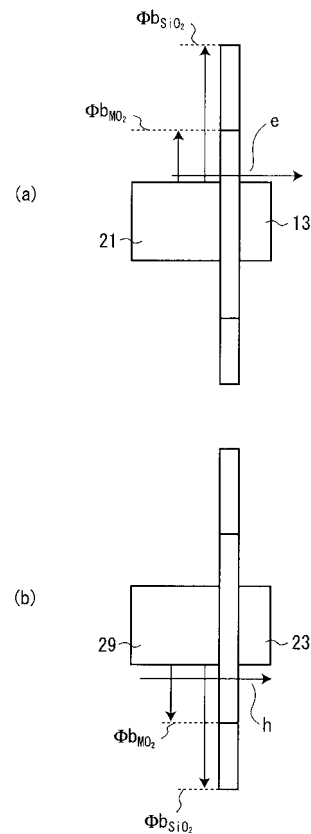
10

【図1】

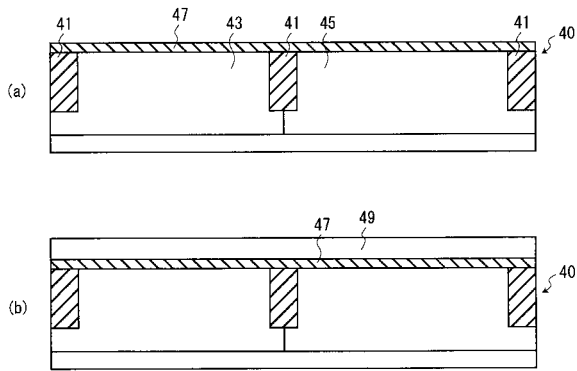


- 10…シリコン基板
 11…P型ウェル
 12…N型ウェル
 13…N型拡散層
 15、25…ゲート絶縁膜
 17、27…ゲート電極
 19…金属酸化物または金属酸化物を含むシリコン酸化物膜
 21…N型多結晶シリコン膜
 23…P型ソース/ドレイン拡散層
 29…多結晶シリコン膜
 31…溝型素子分離領域
 33…側壁絶縁膜

【図2】

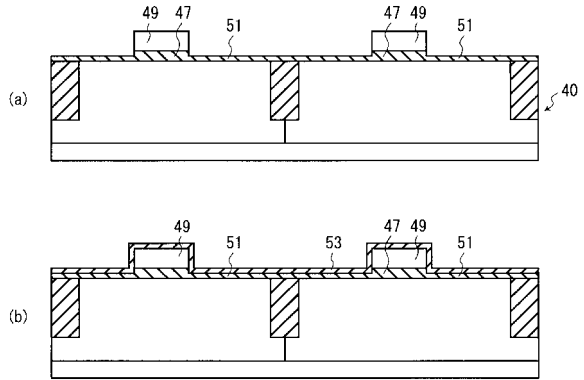


【図 3】



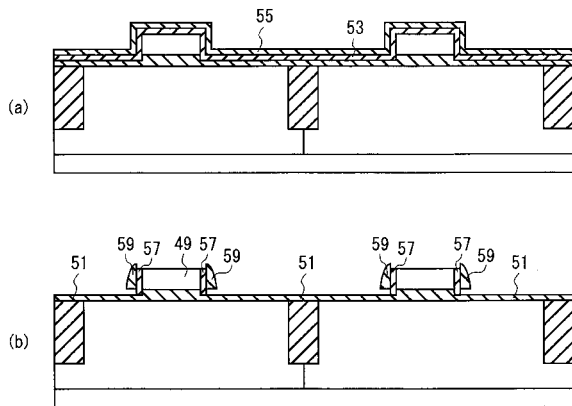
40…シリコン基板
 41…素子分離領域
 43…P型ウェル
 45…N型ウェル
 47…ハフニウム酸化膜とシリコン酸化膜の混合膜
 49…多結晶シリコン膜

【図 4】



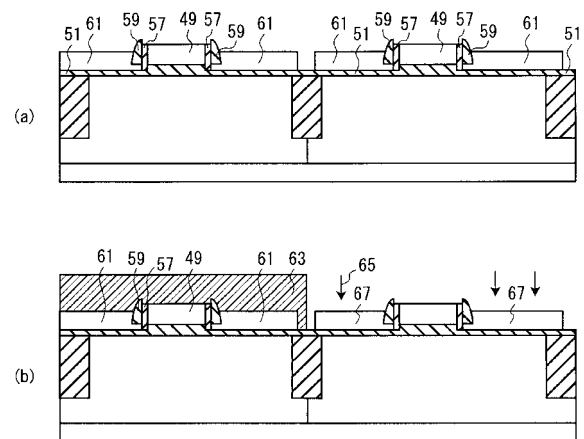
51…ハフニウム酸化物とシリコン酸化物混合膜
 53…シリコン酸化物膜

【図 5】



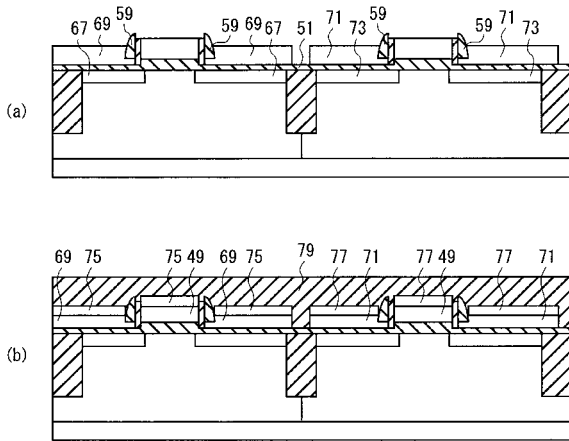
55…シリコン窒化物膜
 57…シリコン酸化物膜
 59…側壁シリコン窒化物膜

【図 6】



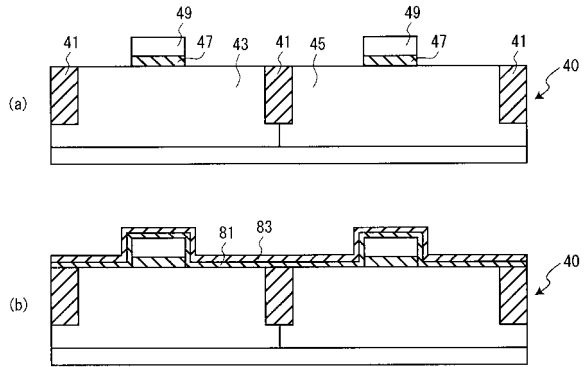
61…多結晶シリコン膜
 63…レジスト
 65… BF_2

【図 7】



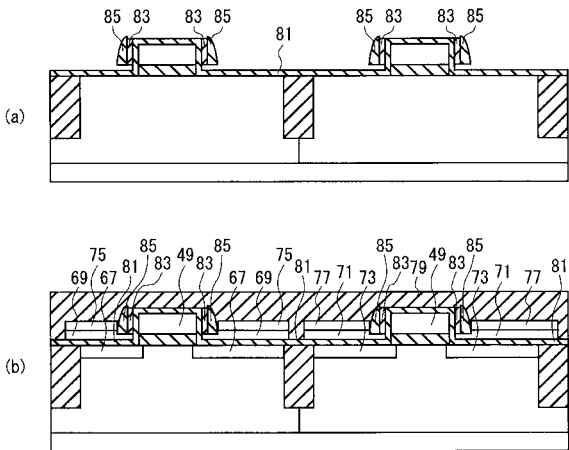
67...N⁺型拡散層
 69...N型多結晶シリコン膜
 71...P型多結晶シリコン膜
 73...P⁺型拡散層
 75、77...CoSi₂膜
 79...層間絶縁膜

【図 8】



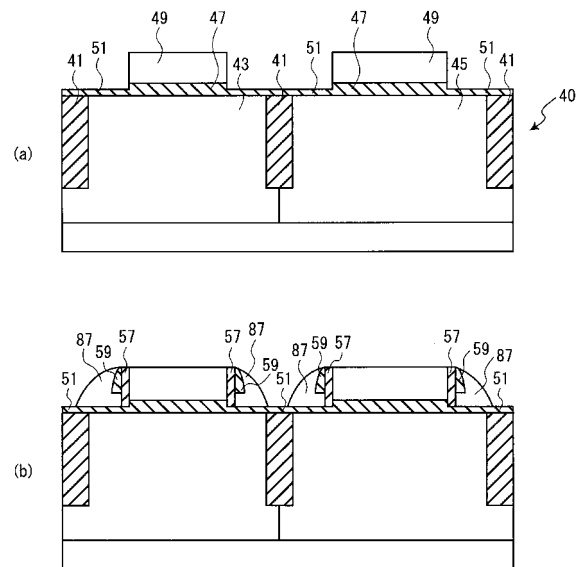
81...ハフニウム酸化物膜
 83...シリコン酸化物膜

【図 9】



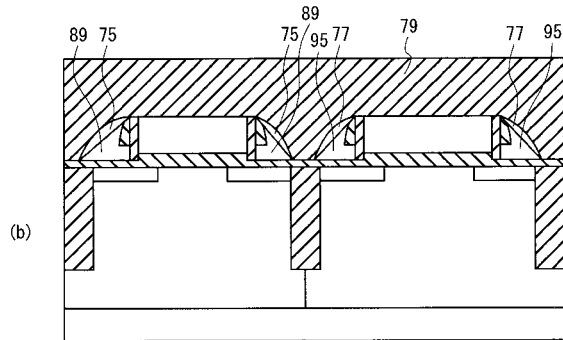
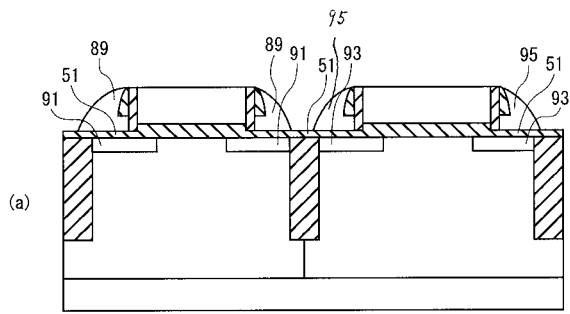
85...側壁シリコン窒化物膜

【図 10】



87...側壁多結晶シリコン膜

【図 1 1】



89...N型多結晶シリコン膜
 91...N型拡散層
 93...P型拡散層
 95...P型多結晶シリコン膜

フロントページの続き

F ターム(参考) 5F048 AA01 AA07 AB03 AC01 AC03 BA01 BA16 BB05 BB08 BB11
BC01 BE03 BF01 BF03 BF06 BF11 BF16 BG13 DA23 DA27
DA28 DA30
5F140 AA10 AA13 AA39 AB03 AC14 AC23 AC36 BA01 BC06 BD11
BD13 BD15 BD17 BE10 BE13 BE15 BE17 BF01 BF03 BF04
BF05 BF08 BF11 BF18 BG08 BG09 BG10 BG11 BG12 BG14
BG15 BG28 BG30 BG34 BG37 BG38 BG40 BG44 BG45 BG46
BG52 BG53 BG56 BG58 BJ03 BJ10 BJ11 BJ14 BJ17 BJ18
BJ20 BJ21 BJ25 BK13 BK15 BK16 BK20 BK25 BK28 BK29
BK30 BK32 BK34 BK38 BK39 CB04 CB08 CC03 CC12 CE07
CF04