

[19]中华人民共和国专利局

[51]Int.Cl<sup>6</sup>



[12]发明专利说明书

H01L 21/28

H01L 23/52

H01L 29/40

[21]ZL 专利号 93119316.8

[45]授权公告日 1998年2月4日

[11]授权公告号 CN 1037301C

[22]申请日 91.5.31 [24]颁发日 97.7.25

[21]申请号 93119316.8

分案原申请号 91103577.X

[30]优先权

[32]90.5.31 [33]JP[31]143732 / 90

[73]专利权人 佳能株式会社

地址 日本东京

[72]发明人 池田敦 中村佳夫

[74]专利代理机构 中国国际贸易促进委员会专利商标  
事务所

代理人 王以平

[56]参考文献

EP390606A3

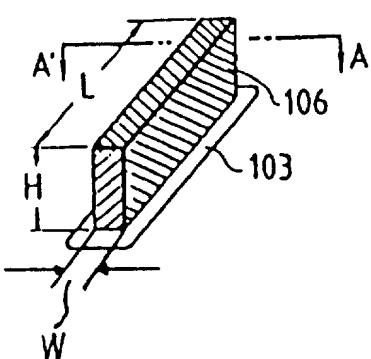
审查员 31 07

权利要求书 1 页 说明书 23 页 附图页数 12 页

[54]发明名称 半导体元件的电极

[57]摘要

一种直接与半导体元件的半导体区域相连的电极，其形状基本为方柱形。将与所述电极与半导体区域相接触的表面的一个边的长度定义为 L，另一边定义为 W，基本上与所述表面垂直相交方向上的长度定义为 H，则使 L、W、H 满足 L>H>W 的关系式。



# 权 利 要 求 书

---

1. 一种用于半导体元件的直接与半导体元件的半导体区域相连的电极，其形状基本上是方形柱状，其特征在于，

当与所说的电极内的半导体区域相接触的表面的一个边的长度定义为 $L$ ，另一个边的长度定义为 $W$ ，基本上与所说的表面垂直相交的方向的长度定义为 $H$ 时， $L$ 、 $W$ 、 $H$ 满足 $L > H > W$ 的关系式。

2. 一种根据权利要求1的半导体电极，其中所说的电极包括单晶 $A_1$ 。

3. 一种根据权利要求1的半导体电极，其中所说的电极包括主要由 $A_1$ 组成的导体。

# 说 明 书

---

## 半导体元件的电极

本发明涉及半导体集成电路器件的电极结构。

近年来，为制备高集成度的半导体电路器件，已对开发微细加工的实用的半导体功能元件，诸如其栅长为亚微米量级的 MOS 晶体管，提出了要求。更具体地说，对栅长为  $0.8\mu\text{m}$  的 MOS 晶体管，其元件所占有的面积大约为  $20\mu\text{m}^2$ ，其结构适合于更高的集成度。

然而，即使可以更精细地加工半导体功能元件以实现更高的集成度，也难于在保持高成品率的同时得到所期望的好的特性。这一点在现有技术中已被考虑成是有关半导体功能元件构成的问题。也就是说，人们已深刻地认识到；如何能稳定地制成功能良好的元件是提高成品率的关键。

欧洲专利申请第 90303477.5 号公开了一种具有改进的发射极区域和基极电极的半导体器件。该发明通过改进发射极区域的结构以及基极电极的材料而获得了较好的器件性能，如使发射极基极界面处的复合电流较小、使发射极基极间电容降至最小，或以减少了的发射极区域获得较高速度和较高集成度等。

但迄今为止，人们的改进大都集中在半导体器件中各功能元件的结构或材料上。而本发明者对于元件结构或元件形成工艺进行了深入研究，已经发现，通过一具有巧妙构思的电极结构，亦可大大

提高成品率，使其性能在很大程度上得以改善。

图 11A、11B 和 11C 是解释上述现有技术实例 MOSFET 结构的示意图，分别对应于透视图、顶视图和剖面图。

在 n 型半导体衬底 1 上形成 P 型阱，在阱内形成具有一定间隔的 n<sup>+</sup>型源、漏区 3、4。在这样的半导体衬底上，形成绝缘膜 8，再在对应于源、漏的部位用腐蚀法分别形成接触孔 CH。另外，在源和漏之间设置一个栅电极 5。

如图所示，在接触孔 CH 内和在部分绝缘膜 8 上，用淀积法形成了将成为源、漏电极的 Al 和源漏电极布线的图形。

请注意接触孔内的 Al 电极，其结构有待描述。

接触孔 CH 开口为长方形，其短边长度 W、长边长度 L 随腐蚀用的掩模形状而定，其深度对应于源区、漏区 4 上面的绝缘膜的厚度。

在这种现有技术的结构中，鉴于在边缘部位台阶的覆盖范围或掩模的滑移量，通常的代表值：栅电极和控制电极（接触孔）之间的距离 M 是 0.5-1.0μm；接触孔到源或漏区边缘的距离 N 是 0.5-1.0μm；窗口宽度 w 是 0.5-1.0μm、长度 L 是 0.5-数 μm、高度 h 是 0.5-0.8μm。

不过，在具有如前所述实例的现有技术电极结构的半导体器件中，即使栅长按微细构形可制成为亚微米量级（0.1μm 量级），M 最小也只能做到 1μm。由于台阶的覆盖范围和掩模的滑移量，若要把它做得更小，则半导体的成品率将变得非常低。

根据本发明者的研究结果发现，作为提高较精细制造的半导体器件速度的原因等具有显著效果的诸多因素之一是上述控制电极和

主电极之间的距离，这一点应加以改进，而且还应减小其它寄生电容和寄生电阻。

作为一个仅仅在 M 这一点上已得到改进了的晶体管，图 12 示出了一种 SST（超自对准晶体管）的结构。

这里，由掺硼（B）多晶硅构成的基极 1120 和由掺砷（As）多晶硅构成的发射极是相互紧贴着的。然而，因为电极是由多晶硅构成的，电极与基极连线 1122 之间的接触部分必须与基区 1114 隔开，所以有待解决的技术课题涉及到增加基板电阻和综合精细结构在制作上的难度。

在此图中，1111 是半导体衬底，1112 是  $n^+$  集电极埋层，1113 是  $n^-$  集电区层，1114 是 P 型基区层，1115 是  $P^+$  基极层，1116 是  $n^+$  发射区层，1117 是  $n^+$  集电极层，1118 是  $n^+$  层，1119 是多晶硅集电区电极，1120 是多晶硅基区电极，1121 是多晶硅发射区电极，1122 是 Al 基极连线，1123 是 Al 发射极连线，1130 是场绝缘膜，而 1131、1132 和 1133 都是绝缘膜。

本发明的目的是为精细制作的并有高速驱动能力的半导体元件提供一种电极。

本发明的另一个目的是提供一种半导体元件用的电极，这种元件即使在微细加工工艺时也能有高成品率，还适于高速驱动和大电流驱动。

达到本发明目的的结构是一种其形状基本上是方形柱状的直接与半导体元件的半导体区域相连接的半导体元件的电极，其特征在于：在所说的电极内，将与半导体区域相接触的表面的一个边长被定义为 L 时，另一边的边长定义为 W，基本上与所说的表面垂直相



交的方向上的长度定义为 H，则所说的 L、W、H 满足  $L > H > W$  的关系式。

下面将结合附图描述本发明。

图 1A 至图 1E 是解释本发明的半导体电极结构的示意图。

图 2 至图 5 是解释适用于制备本发明的半导体器件的制备器件的示意图。

图 6A 至图 6D 是解释适用于制备本发明的半导体器件的工艺的电极和布线形成方法的示意图。

图 7A 至图 7C 是说明本发明的第一实施例的半导体器体的示意图。

图 8A 至图 8F 是说明制备图 7 所示的半导体器件的工艺步骤的示意剖面图。

图 9A 至图 9C 是本发明第二实施例的半导体器件的示意剖面图。

图 10A 至图 10C 是说明图 9 所示半导体器件的制备工艺步骤的剖面示意图。

图 11A 至图 12 是说明现有技术半导体器件的剖面示意图。

本发明的最佳实施例如下文所述。即，用作半导体元件的导体部分（即电极和布线），特别是形成直接与半导体区域相接触的部位（为方便起见叫做电极）的形状基本上为方形柱状。若将与所述电极的半导体区域接触的表面的一个边长定义为 L，另一个边长定义为 W，与所述表面基本垂直相交的方向上的长度定义为 H，该电极的结构使得 L、W、H 满足下面的关系式：

$$L > H > W$$

图 1 是说明依本发明一个优选实施例的电极结构的示意图，(A) 为电极的透视图，(B) 为顶视图，而(C) 为剖面图。

电极 106 的形状为矩形，如一方形柱状物，其长度为 L，宽度为 W 而高度为 H，此电极设置在半导体衬底 101 主表面上的半导体区域 103 内与之直接接触，并覆以一层绝缘膜 110。

该电极结构可以采用上述构形的源、漏电极来改善 MOSFET 的性能，特别对双极晶体管采用这种构形的基极 - 发射极电极来改善其性能。

更具体地说，它最适应于其栅长等于或小于  $0.8\mu\text{m}$  的 MOSFET，或在电流密度为  $10^4\text{A}/\text{cm}^2$  或更高（具体地说是  $10^4 - 10^6\text{A}/\text{cm}^2$ ）以高速驱动的双极晶体管的控制极（栅极、基极电极），或主电极（源、漏、集电极和发射电极）。另外，它还是一种特别适合于要求以 50MHZ 或更高速度驱动的半导体器件的电极结构。

这样，对于 FET，主电极的电阻和电容将变得更小，主电极和控制电极之间的距离 (M) 也将变得更小，因而这种电极结构适于微细加工结构和高速器件，而对于双极晶体管，基极与发射极之间的电容和基区电阻将变得更小，所以，发射极集边效应是小的，变得适合于进行微细加工和高速器件，在 100MHZ 或更高的高速驱动下，这种效果将变得更明显。

通过详细说明设置在半导体衬底上并与之相接触的绝缘膜的厚度和在该膜上形成的接触孔的窗口形状即可详细描述本发明的电极结构。

更具体地讲，形成接触孔部位的绝缘层的厚度 (H) 做成  $0.5 - 0.8\mu\text{m}$ ，接触孔长边的长度 (L) 为 1 - 约  $10\mu\text{m}$ ，而短边的长度

(W) 为  $0.1\text{-}0.5\mu\text{m}$ ，以形成仍满足  $L>H>W$  关系的用于形成电极的接触孔，而构成电极的导电材料是用溅射法、CVD 法等埋设形成的。

在电极结构中，可把一种阻挡层金属（诸如 TiW、TiN 等）设置在电极与半导体区域之间，或者可以不用阻挡层金属使电极与半导体区域直接接触。

作为导电材料，可以淀积钨 (W) 钼 (Mo) 和铜 (Cu)，但是最好根据采用如下所述的氢化烷基铝气体和氢气的 CVD 法用 Al 或主要由 Al 组成的导电材料进行淀积（以下称 Al - CVD 法）。

至于绝缘层，既可采用单层结构，也可采用叠层结构。可以使用诸如二氧化硅、氮化硅等无机材料，或诸如聚酰胺、SOG（用涂敷工艺制成的玻璃膜）等有机材料。

接触孔的形成可以大致为方柱形，即使窗口的矩形体的四个角中可能有一个或几个在诸如刻蚀成形等工艺步骤中变得圆滑，这也属于本发明的范畴。

更具体地讲，如图 1D 和 1E 所示，L、W、H 可以有本发明中的特定关系。

例如，基本为矩形的本体具有圆滑的四边边缘部位，如图 1D 所示，也包括图 1E 所示的上部 X 稍大于 W 的情况。

如上所述，与 1 至数  $\mu\text{m}$  的现有技术的间距相比较，依据本发明的电极结构，主电极 - 控制电极的电极间距离可以做得小到约 100 至  $1000\text{\AA}$  左右，且不会降低半导体器件的成品率。

### （膜形成方法）

下面介绍适于形成本发明的电极的膜形成方法。

本方法是一种适于把导电材料埋设在满足  $L > H > W$  关系的接触孔内以形成具有如上所述结构的电极的膜形成方法。

适用于本发明的膜形成方法用氢化烷基铝气体和氢气在贡献电子的衬底上通过表面反应有选择地形成一层沉积膜（下文称 Al - CVD 法）。

特别用氢化 - 甲基铝（MMAH）或氢化二甲基铝（DMAH）做原料气体和用  $H_2$  气做反应气体，衬底表面可以在它们的混合气体中加热，以沉积高质量的 Al 膜。这里，在选择沉积 Al 期间，最好用直接加热或间接加热将衬底表面温度保持在低于  $450^\circ C$  的不高于氢化烷基铝的分解温度，最好是  $260^\circ C - 440^\circ C$ 。

至于把衬底尽可能加热到上述温度范围的方法，有直接加热或间接加热法，但可用直接加热法将衬底保持在上述温度，就能以高沉积速度形成高质量的铝膜。例如，当衬底表面温度保持在  $260^\circ C - 440^\circ C$  这一最佳温度范围内时，可以以高达  $3000 \text{ \AA} - 5000 \text{ \AA}/\text{分}$  的沉积速率获得高质量的膜。关于这种直接加热方法（衬底本身被加热，能量从加热装置直接传递到衬底），有例如采用卤素灯、氙灯等等的灯加热法。另一方面，间接加热法有电阻加热，这可以在沉积薄膜形成空间安装衬底支撑元件，用以支持将要在其上形成沉积膜的衬底、再在衬底支撑元件上装设一个加热元件来实现。

当依此方法对存在贡献电子的表面部位和不贡献电子的表面部位的衬底采用 CVD 法时，以较好的选择性仅在贡献电子的衬底表面部分形成单晶 Al。此种 Al 具有电极/引线材料所要求的全优特性。具体地讲，可减少产生外延小丘和合金尖峰的几率。

这可以认为是由于，高质 Al 可选择地形成在包括作为贡献电子

的半导体或导体的表面上，而 Al 的结晶性也是优良的，所以基本没有或极少有与下层的硅的共晶反应形成的合金尖峰等。当半导体器件采用这种电极时，可以得到一种优于现有技术的 Al 电极的效果，这在现有技术中是完全预想不到的。

前面已经描述了在通过绝缘膜中形成的接触孔而露出的贡献电子表面上淀积 Al，也可以象下文所述那样用 Al - CVD 法形成一层主要由 Al 组成的金属膜，该膜的质量也呈现出优良的特性。

例如，除氢化烷基铝气体和氢气外，还可引入包含 Si 原子的气体，如  $\text{SiH}_4$ 、 $\text{Si}_2\text{H}_6$ 、 $\text{Si}_3\text{H}_8$ 、 $\text{Si}(\text{CH}_3)_4$ 、 $\text{SiCl}_4$ 、 $\text{SiH}_2\text{Cl}_2$ 、 $\text{SiHCl}_3$  或等同物；包含 Ti 原子的气体，诸如  $\text{TiCl}_4$ 、 $\text{TiBr}_4$ 、 $\text{Ti}(\text{CH}_3)_4$ 、或等同物；包含 Cu 原子的气体，诸如双乙酰丙酮化铜  $\text{Cu}(\text{C}_5\text{H}_7\text{O}_2)_2$ ，双二叔戊酰甲烷化铜  $\text{Cu}(\text{C}_{11}\text{H}_{19}\text{O}_2)_2$ ，双六氟乙酰丙酮化铜  $\text{Cu}(\text{C}_5\text{HF}_6\text{O}_2)_2$  或等同物，按合适的组合配制成气体混合气氛，选择淀积导电材料，诸如 Al-Si、Al-Ti、Al-C、Al-Si-Ti、Al-Si-Cu 等等，以此形成一种电极。

上述 Al - CVD 方法也是选择性优良的薄膜形成方法，淀积所得的膜也具有良好的表面特性，所以通过在随后的淀积步骤中应用非选择性膜形成方法在  $\text{SiO}_2$  或如前所述的选择性淀积的 Al 和绝缘膜上形成 Al 或主要由 Al 组成的金属膜，可以得到合适的高通用目的适用性的金属膜作为用于半导体器件的连线。

这类金属膜具体包括如下文列举的那些膜，即，选择淀积的 Al、Al-Si、Al-Ti、Al-Cu、Al-Si-Ti、Al-Si-Cu 与非选择淀积的 Al、Al-Si、Al-Ti、Al-Cu、Al-Si-Ti、Al-Si-Cu 的组合物。

关于非选择淀积的膜形成方法，可以有如上所述的 Al-CVD 方

法之外的 CVD 法或溅射法。

### (膜形成设备)

下面介绍适于形成依本发明的电极的膜形成设备。

图 2 至图 4 表示适用于上述膜形成方法的金属膜连续形成设备。

金属膜连续形成设备由多个串联的腔构成，各腔通过门阀 310a 至 310f，在与大气隔绝的情况下相互连通传递。即一个装料锁气腔 311，一个作第一膜形成腔用的 CVD 反应腔 312，一个 RF 腐蚀腔 313、一个作第二膜形成腔用的溅射腔 314，以及一个装料锁气腔 315。各个腔的结构做成能分别通过排气系统 316a 至 316e 排气减压。这里，上述装料锁气腔 311 是用于在排气之后在淀积处理之前用 H<sub>2</sub> 气氛更换衬底周围气氛的腔，其作用是改善通过量。下一个 CVD 反应腔 312 是一个依上述 Al-CVD 方法在常压或减压下在衬底上实施选择淀积的腔，腔内设有一个具有加热电阻 317 的衬底夹持器 318，可把衬底表面加热到从至少 200 °C 至 450 °C 的温度范围，以在其表面上形成膜。该腔室是这样构成的，使得原始气体，如氢化烷基铝等，用起泡器 319 - 1 通过氢气起泡法气化，通过原料气体引入管 319 可引入到 CVD 腔，而作为反应气体的氢气是通过气体管 319' 引入的。接着的 RF 腐蚀腔 313 是个选择淀积后在 Ar 气氛下进行清洗（腐蚀）衬底表面的腔，腔内设有可加热到至少 100 °C 至 250 °C 的范围的衬底夹持器 320 和一个 RF 腐蚀用电极线 321，并也与气体馈给管 322 相连。接下来的溅射腔 314 是个在 Ar 气气氛下，用溅射法在衬底表面上非选择地淀积一层金属膜的腔，腔内设有一个可在从至少 200 °C 至 250 °C 范围内加热的衬底夹持器 323，

还有一个靶电极，用于固定溅射靶材料 324a，也与 Ar 气馈给管 325 相连。最后的装料锁气腔 315 是个在完成金属膜淀积之后取出衬底进入大气之前的控制腔，其构成是为便于用 N<sub>2</sub> 更换其气氛。

图 3 是另一种适用上述膜形成方法的金属连续膜形成设备的构成实施例，与图 2 中相同的部分用相同的标号表示。图 3 的设备与图 2 的差别在于，设置了卤素灯 330 做为直接加热装置，衬底表面可被直接加热，在衬底夹持器 312 内安置一个钉爪 331，用以在升高状态下夹持衬底。

用此种构形成直接加热衬底表面，可进一步改善淀积速率。

一种具有如上所述构形的金属膜连续形成设备，如图 4 所示，大体上等效于具有其上装料锁气腔 311、CVD 反应腔 312、Rf 腐蚀腔 313、溅射腔 314 以及装料锁气腔 315 是通过作为中转腔的传递腔 326 相互连接的结构。在这种构形中，装料锁气腔 311 也执行装料腔 315 的功能。在上面的传递腔 326 中，如图中所示，将作为传递装置的臂 327 在 AA 方向设置成可反向转动的、在 BB 方向设置成可伸缩的。如图 5 箭头所示，可将衬底在不暴露于大气的条件下，连续地依次从装料锁气腔 311 运送到 CVD 腔 312、Rf 腐蚀腔 313、溅射腔 314、装料锁气腔（315）。

#### （膜形成过程）

现在介绍依本发明的形成电极和连线的膜形成过程。

图 6 是说明依本发明的电极和连线的膜形成过程的透视示意图。

首先介绍概要。制备一个具有在绝缘膜上形成了窗口的半导体衬底，将衬底放（置）入膜形成腔内，使其表面保持在 260 °C ~ 450

℃，依据热 CVD 方法，在 DMAH 的混合气氛，如氢化烷基铝和氢气中，将 Al 选择地淀积在窗口内暴露出的半导体部位。当然，如上所述，引入含有 Si 原子的气体，也可以淀积主要由 Al，如 Al-Si 组成的金属膜。然后，在选择淀积的 Al 和绝缘膜上，非选择地淀积一层 Al 或主要由 Al 组成的金属膜。再后，将非选择淀积的金属膜经过刻图刻成所要求的连线形状，就可形成电极和连线。

其次，参照图 3 和图 6，详细介绍 Al - CVD 的具有明显效果的工艺步骤的内涵。

第一，制备一个衬底，作为衬底，例如要制作一个设置在单晶 Si 片上的绝缘膜，该膜具有各种尺寸的窗口。

图 6 是表示衬底一部分的示意图。这里，401 是个单晶硅衬底，作导电的衬底，402 是个热氧化硅膜，作为绝缘膜（层）。403 和 404 是窗口（暴露部位），其尺寸互不相同。

形成将要成为衬底上第一连线层的电极的 Al 膜，在下文参照图 3 介绍。

将如上所述的衬底安置在装料锁气腔 311 内。将如上所述的氢引入到装料锁气腔 311 内，使腔体处在氢气气氛下。然后，通过抽空系统 316b 把反应腔 312 大致抽到  $1 \times 10^{-8}$  Torr。即使反应腔 312 内的真空度劣于  $1 \times 10^{-8}$  Torr，也能形成 Al 膜。

然后，使 DMAH 气体经过起泡，从气体管道 319 馈给。对于通过 DMAH 的携带气体，采用 H<sub>2</sub>。

第二气体管道 319' 是为反应气体 H<sub>2</sub> 而设，通过第二气体管道 319' 使 H<sub>2</sub> 流过，通过控制慢渗漏阀的窗口（未示出）将反应腔内的压力控制在一个预定值。对此情况的典型压力最好是大约

1.5Torr。通过 DMAH 管道，把 DMAH 引入到反应管中。使总压强近似为 1.5Torr，而 DMAH 的分压强近似为  $5.0 \times 10^{-3}$ Torr。然后，把片子用流经卤素灯 330 的电流直接加热，这样就可选择淀积 Al。

经过预定的淀积时间后，立即停止 DMAH 的馈给。在此工艺步骤中，淀积 Al 膜的预定淀积时间是指直至 Si（单晶硅衬底 1）上的 Al 膜的厚度变到等于 SiO<sub>2</sub>（热氧化硅膜 2）厚度的时间，该时间事先可由试验确定。

使此时直接加热的衬底表面的温度大约为 270 °C。根据直至该步的工艺步骤，一层 Al 膜 405 选择地淀积在如图 6B 所示的开口之内。

上述步骤被称为形成电极的第一膜形成步骤。

在如上所述的第一膜形成步骤之后，用抽空系统 316b 把 CVD 腔 312 抽到真空度为  $5 \times 10^{-3}$ Torr 或更低。同时，将 Rf 腐蚀腔 313 抽到  $5 \times 10^{-6}$ Torr 或更低。在确认两腔体已达到上述真空度之后，打开门阀 310c，用传递装置，把衬底从 CVD 反应腔 312 送到 Rf 腐蚀腔 313，然后关闭门阀 310c。在衬底被传递到 Rf 腐蚀腔 313 后，用抽空系统 316c 抽空 Rf 腐蚀腔 313，直至真空度达到  $10^{-6}$ Torr 或更低。然后，通过氩气馈给管道 322 给 Rf 腐蚀腔送进氩气，使 Rf 腐蚀腔 313 保持在  $10^{-1} \sim 10^{-3}$ Torr 的氩气气氛中。当 Rf 腐蚀腔的衬底夹持器 320 保持在大约 200 °C 时，给 Rf 腐蚀电极 321 施加 100W 的功率，大约 60 秒，可激发 Rf 腐蚀腔 313 内的氩气放电。以此，用氩离子可腐蚀衬底的表面，去掉 CVD 淀积膜的不需要的表面层。在此情况下的腐蚀深度大约相当于氧化层的厚度 100A°。

这里，CVD淀积膜的表面腐蚀是在Rf腐蚀腔内完成的，但因衬底上的CVD膜的表面层是通过不含氧的真空传递的，不进行Rf腐蚀也不变化。在此情况下，当CVD反应腔312和溅射腔314的温差较大时，Rf腐蚀腔313起着在短时间内实现温度变化的温度变化腔的作用。

在Rf腐蚀腔313内，在完成Rf腐蚀后停止氩气的进气，并放掉Rf腐蚀腔内的氩气。将Rf腐蚀腔313排气到 $5 \times 10^{-6}$ Torr，并把溅射腔314抽空到 $5 \times 10^{-6}$ Torr或更低，随后打开门阀310d。然后，把衬底用传递装置从Rf腐蚀腔313移送到溅射腔314，再关闭门阀310d。

在衬底传递到溅射腔314之后，像Rf腐蚀腔313那样，使溅射室314处于 $10^{-1} \sim 10^{-3}$ Torr的氩气气氛，把已放好衬底的衬底夹持器323的温度设置在200~250℃。在5~10KW的直流功率下进行放电，用氩离子刮削靶金属诸如Al，或Al-Si(Si:0.5%)以10000A°/分钟的淀积速率，在衬底上形成诸如Al或Al-Si的金属膜。此步为非选择性的淀积步骤。此步骤被称为形成将与电极相连接的连线的第二膜形成步骤。

在衬底上形成大约5000A°的金属膜之后，停止氩气的进气，并停止施加直流功率。当把装料锁气腔311抽空到 $5 \times 10^{-3}$ Torr后，打开门阀310e，移动衬底。当关闭门阀310e后，把N<sub>2</sub>引入到装料锁气腔311，到大气压，打开门阀310f从设备中取出衬底。

依照上述的第二膜形成步骤，在SiO<sub>2</sub>膜402上可形成Al膜406，如图6C所示。

将Al膜406刻成如图6D所示的图形，可得到所要求的连线形

状。

下面根据实验结果来说明上述 Al - CVD 法是一种优异的膜形成方法，以及在窗口内淀积的 Al 是一层优质膜。

首先，通过热氧化 N 型单晶硅片的表面制备具有厚  $8000\text{A}^\circ$  的  $\text{SiO}_2$  的多个衬底，其上还具有刻成各种尺寸（ $0.25 \times 0.25\mu\text{m}$  到  $100 \times 100\mu\text{m}$ ）的窗口，使衬层的 Si 单晶暴露出来。

为形成 Al 膜，采用下述条件的 Al - CVD 方法。在常规条件下，以 DMAH 作原始气体、氢气作反应气体、总压强为  $1.5\text{Torr}$ ，DMAH 的分压强为  $5.0 \times 10^{-3}\text{Torr}$ 、控制通过卤素灯的电流的总功率，直接加热，将衬底表面温度设置在  $200 \sim 490^\circ\text{C}$  的范围进行膜形成。（样品 1 - 1）

其结果如表 1 所示。

表 1

衬底表面温度 ( $^\circ\text{C}$ )	200 230 250 260 270 280 300 350 400 440 450 460 470 480 490
淀积速率 ( $\text{A}^\circ/\text{分钟}$ )	<-1000-1500->-----3000-5000----->
通过量 (片/小时)	<-----7-10----->-----15-30----->
硅线缺陷	<-----未判明----->
碳含量	<-----未检测----->
电阻率	<-----2.7-3.3----->-----2.8-3.4----->
反射率	<-----85-95----->-----90-95----->-----60----->
$1\mu\text{m}$ 以上小丘密度 ( $\text{cm}^{-2}$ )	<-----1-10 <sup>2</sup> ----->-----0-10----->-----10-10 <sup>4</sup> ----->
尖峰产生 (%) ( $0.15\mu\text{m}$ 结的损坏率)	<-----0----->-----0-30----->

由表 1 可见，当直接加热衬底表面温度至  $260^{\circ}$  或更高时，Al 以  $300 \sim 5000 \text{ \AA/分钟}$  的高沉积速率选择地沉积在窗口内。

当衬底表面温度为  $260^{\circ} \sim 440^{\circ}\text{C}$  的范围内时，测验窗口内的 Al 膜特性，不含碳，发现其特性良好，其电阻率为  $2.8 \sim 3.4 \mu\Omega\text{cm}$ ，反射率为  $90 \sim 95\%$ ， $1\mu\text{m}$  或更大的小丘密度为  $0 \sim 10$ 、基本上无尖峰产生（ $0.15\mu\text{m}$  结的损坏率）。

相反，当衬底表面温度为  $200 \sim 250^{\circ}\text{C}$  时，与  $260 \sim 440^{\circ}\text{C}$  相比，膜的质量稍微逊色，所得到的膜与现有技术所得到的膜相比还是较好的，但沉积速率是  $1000 \sim 1500 \text{ \AA/分钟}$ ，对其估价绝不能太高，通过量也是  $7 \sim 10$  片/小时。

当衬底表面温度为  $450^{\circ}\text{C}$  或更高时，反射率为  $60\%$  或更低， $1\mu\text{m}$  或更高的小丘密度为  $10 \sim 10^4 \text{ cm}^{-2}$ ，合金尖峰产生  $0 \sim 30\%$ ，因而窗口内的 Al 膜特性更差。

其次叙述，上述方法如何能适用于诸如接触孔或通孔一类的窗口。

也就是，它可较好地适用于包含上述材料的接触孔/通孔结构。

在与如上所述的样品 1 - 1 形成 Al 膜相同的条件下，在具有如下所述结构的衬底（样品）上形成了 Al 膜。

在作为第一衬底表面材料的单晶硅上，依照 CVD 方法形成二氧化硅膜作为第二表面材料，按光刻步骤进行刻图，使部分单晶硅表面暴露出来。

此时的热氧化的  $\text{SiO}_2$  膜的厚度为  $8000 \text{ \AA}$ ，单晶硅的暴露部位即窗口的尺寸为  $0.25 \times 0.25\mu\text{m}$  至  $100 \times 100\mu\text{m}$ ，这样就制得了样

品 1 - 2 [下文把样品写成“CVD SiO<sub>2</sub>（下文缩写为 SiO<sub>2</sub>）” / 单晶硅].

样品 1 - 3 是用常压 CVD 形成的掺硼氧化膜（下文缩写为 BSG）/单晶硅.

样品 1 - 4 是用常压 CVD 形成的掺磷氧化膜（下文缩写为 PSG）/单晶硅.

样品 1 - 5 是用常压 CVD 形成的掺磷和硼的氧化膜(下文缩写为 BSPG) /单晶硅.

样品 1 - 6 是用等离子体 CVD 形成的氮化膜（下文缩写为 P - SiN）/单晶硅.

样品 1 - 7 是用等离子 CVD 形成的热氮化膜（下文缩写为 T - SiN）/单晶（硅）.

样品 1 - 8 是用减压 CVD 形成的氮化膜（下文缩写为 LP - SiN）/单晶硅.

样品 1 - 9 是用 ECR 设备形成的氮化膜（下文缩写为 ECR - SiN）/单晶硅.

再有，由衬底表面材料（18种）和第二衬底表面材料（9种）的全组合而成的样品 1 - 11 至 1 - 179（注意：缺样品号 1 - 10、20、30、40、50、60、70、80、90、100、110、120、130、140、150、160、170）。采用单晶硅（单晶 Si）、多晶硅（多晶 Si）、非晶硅（Si）、钨（W）、钼（Mo）、钽（Ta）、硅化钨（WSi）、硅化钛（TiSi）、铝（Al）、铝-硅（Al-Si）、钛-铝（Al-Ti）、氮化钛（Ti-N）、铜（Cu）、铝-硅-铜（Al-Si-Cu）、铝-钯（Al-Pd）、钛（Ti）、硅化钼（Mo-Si）

作第一衬底表面材料.采用 T-SiO<sub>2</sub>、 SiO<sub>2</sub>、 BSG、 PSG、 BPSG、 P - SiN、 T - SiN、 LP - SiN、 ECR-SiN 作为第二衬底表面材料.还有, 对上述所有样品均可形成可与样品 1 - 1 相比的良好 Al 膜.

接着, 在具有如上所述选择淀积的衬底上, 依照溅射方法非选择地淀积 Al, 然后经刻图.

至于依据溅射方法得到的 Al 膜和在窗口内选择淀积的 Al 膜的结果, 窗口内的 Al 膜由于表面特性良好所以是好的, 其接触情况在电学和机械两方面的耐久性都是高品质的.

如上所述, Al-CVD 法可以形成良好的膜, 这在依据半导体生产工艺中的现有技术的膜形成技术中是不可能实现的.

#### ( 实施例 1 )

下面参考 MOSFET (一种绝缘栅型晶体管) 作为具有本发明电极结构的半导体器件来介绍本发明.

图 7A 是依照本发明实施例的 MOSFET 的透视示意图, 图 7B 是它的示意顶视图, 图 7C 是它的剖面示意图.

在图 7A 和图 7B 中, 略去了绝缘层, 而图 7A 略去了源、漏布线 506' 和 507' .

元件区被围在用选择氧化方法在 n 型单晶 Si 衬底 501 的主表面侧形成的二氧化硅组成的场绝缘膜 509 之内, 源、漏区 503、504 形成在 P - 阵 502 内. 在中间部位, 即沟道区, 通过绝缘膜设置一个栅长为 0.8μm、由多晶硅构成的栅电极, 形成 MOSFET 的基本结构.

在该基本结构上, 形成一个二氧化硅膜 510 作为中间层绝缘

膜。该层在绝缘膜 509 以及绝缘膜 510 接触孔部位的厚度做成  $0.8\mu\text{m}$ 。为了得到依本发明的电极结构，接触孔 CH1 的窗口的 W 由掩模的设计制成  $0.1\mu\text{m}$ ，L 做成  $1\mu\text{m}$ 。

在如此形成的接触孔 CH1 内，依照上述的 Al-CVD 方法形成由单晶 Al 构成的源、漏电极 506、507，而与这些电极 506、507 绝缘的源、漏布线就形成于其上。

这样，在本实施例中，符合  $L > H > W$  关系式。

根据本实施例，栅极与源、漏电极之间的距离 M 可接近  $200\text{A}^\circ$ 。源、漏布线 506'、507' 自源、漏电极 506、507 向栅电极侧凸出  $10\text{A}^\circ$ ，这就有助于减小寄生电容。

#### ( 制备工艺介绍 )

现在介绍制备依据第一实施例的 MOSFET 的工艺。

制备一个 n 型单晶硅衬底，形成一个 P<sup>-</sup>型半导体区域（P<sup>-</sup>阱）502。这里，MSK 是一个掩模（参见图 8A）。

用选择氧化方法形成场绝缘膜 509，以把半导体元件形成区域分段。然后用多晶硅进行淀积作成图形，以形成一个栅电极 505。并且，以栅作掩模进行磷离子注入，以自对准方式形成源、漏区 503、504（参见图 8B）。

依照常压 CVD 方法，主要使用 O<sub>3</sub> 和 TEOS（四乙基原硅酸盐）形成 BPSG 膜 510 作绝缘膜。将源漏区 503、504 上的绝缘膜层的总厚度作成  $0.8\mu\text{m}$ （参见图 8C）。

用 RIE（反应离子腐蚀），形成接触孔 CH1，其窗口表面的  $W = 0.1\mu\text{m}$ ， $L = 1\mu\text{m}$ （参见图 8D）。

依照如上所述的 Al-CVD 方法，即在以 DMAH 作原始气体，以

氢作反应气体的混合气氛中，将衬底温度保持在 260 ~ 270 °C 的同时，用热 CVD 方法，把 Al 只选择淀积在接触孔内，形成矩形的由单晶 Al 组成的电极 506、507。电极表面的平整度是优良的（图 8E）。

虽未表示出来，在绝缘膜 510 和电极 506、507 上形成大约为 1000A° 的 TiN 作衬层，按如上所述的 Al-CVD 方法，在其上再形成 Al-Si-Cu，然后再经刻图形成布线 506'、507'（参见图 8F）。

此处，因 TiN 衬层是贡献电子的表面，所以可用 Al-CVD 方法形成结晶 Al。这里，不管是否存在衬层，为了形成布线 506'、507'，均是使用上述的溅射方法非选择地形成 Al，或者主要由 Al 组成的金属膜。

### （实施例 2）

下面，参照双极晶体管作为具有本发明的电极结构的半导体器件的实例，说明本发明。

图 9A 是依据本实施例的双极晶体管的示意透视图。图 9B 是本实施例双极晶体管的顶视图。图 9C 是本实施例双极晶体管的示意剖面图。在图 9A 中，略去了布线和绝缘层。

在半导体衬底主表面这一侧，形成 P 型基区 202 和 n<sup>+</sup>型发射区 203，在其上再设置由单晶 Al 组成的基极电极 206、207 和单晶 Al 组成的发射极电极 205。

此处，略去了集电极电极。210、211 是绝缘膜。205' 是发射极布线，而 206'、207' 是基极布线。这里，基极电极之一 206 的长度 L 为 20μm，宽度 W 为 0.5μm，高度 H 为 0.8μm，对于另一电极 207，尺寸相同。

在发射极电极 205 中，W、H 的尺寸与基极电极的尺寸相同，只是长度 L 为  $22\mu\text{m}$ 。因为发射极的长度长于基极电极的长度，所以很容易制作与发射极连线 205' 的连接。

此种电极的形状是由接触孔窗口表面规定的长度和宽度所确定的，而其深度与实施例 1 相同。

在此实施例中，由于采用了上述结构，基极 - 发射极的极间距可被做得较小到大约  $5000\text{A}^\circ$ ，进一步可小到  $100\text{A}^\circ$ 。所以基区和发射区之间的电容  $C_{be}$  变得更小，所以，可得到能高速启动的双极晶体管。

#### ( 制备工艺的说明 )

下面，说明关于制备依照如上所述的第二实施例的双极晶体管的工艺过程。

首先，在单晶 Si 衬底上用外延生长法形成一个  $n^-$  型集电区 201。在其主表面这一侧用离子注入形成一个 P 型基区 202。然后，在该区内，形成一个  $n^+$  型发射区 203。在此形成了各个半导体衬底的主表面上，形成一层 TEOS - SiO 层作绝缘层 210，用 RIE 形成接触孔  $\text{CH}_2$ 、 $\text{CH}_3$ 。此处，绝缘层 210 也可以是由多层绝缘层组成的绝缘膜，如热氧化的  $\text{SiO}_2$  和 BPSG 相结合的叠层。这里， $\text{CH}_3$  是基极电极的接触孔，其长边 (L) 为  $20\mu\text{m}$ ，短边 (W) 为  $0.5\mu\text{m}$ ，而深度 (H) 为  $0.8\mu\text{m}$ 。

$\text{CH}_3$  是发射极电极的接触孔，其 L 为  $22\mu\text{m}$ ，W 为  $0.5\mu\text{m}$ ，而 H 为  $0.8\mu\text{m}$  (图 10A)。

其次，根据如上所述的 Al-CVD 方法，特别是使用 DMAH 作原始气体，用氢作反应气体，当将衬底表面保持在大约  $270^\circ\text{C}$  时，依

照热 CVD 方法，在接触孔内选择淀积 Al，以形成基极电极 206、207 以及发射极电极 205。此处，电极 205、206、207 的表面平整度是优良的（图 10B）。

进而，虽然图中未示出，形成的 TiN 膜约为  $100\text{ \AA}$ ，经刻图得到所要求的布线形状。再在 TiN 膜上，依照如上所述的 Al-CVD 方法，特别依照热 CVD 方法，在 DMAH、氢、 $\text{SiH}_4$ 、双乙酰丙酮化铜的混合气氛中，选择淀积 Al-Si-Cu，以形成基极布线 206'、207' 和发射极布线 205'。在这些布线上形成一层 TEOS - SiO 作为绝缘层 211。（图 10C）

#### （比较例）

根据如上所述的制备工艺方法，制备已形成的多个 MOSFET。

样品 1 具有用现有技术方法形成的双极晶体管，其电极的  $l > w > h$ ， $h = 0.8\mu\text{m}$ 。样品 2 也相同，只是  $h > l > w$ ， $w = 0.5\mu\text{m}$ 。样品 3 也相同，只是  $l = h > w$ ， $w = 0.5\mu\text{m}$ 。样品 4 也相同，只是  $l > h = w$ ， $w = 1.0\mu\text{m}$ 。样品 5 还是相同的，只是  $l = h = w$ ， $w = 0.5\mu\text{m}$ 。

相反，依照与第二实施例相同的制备工艺方法，制备双极晶体管，其电极为  $l = 1\mu\text{m}$ ， $h = 0.5\mu\text{m}$ ， $w = 0.1\mu\text{m}$  的称作样品 A；其  $l = 1\mu\text{m}$ ， $h = 0.8\mu\text{m}$ ， $w = 0.1\mu\text{m}$  的称作样品 B；其  $l = 1\mu\text{m}$ ， $h = 0.8\mu\text{m}$ ， $w = 0.5\mu\text{m}$  的称作样品 C。

对于样品 1 至 5 和样品 A 至 C 的成品率高速性能，对大电流的适应能力等进行判断，其结果如下面表 2 所示。样品 1 - 5 的成品率是低的。因为，不适用于微细加工，大电流驱动和高速性能两方面也是不好的。

表 2

样品号	成品率	高速性能			对大电流驱动的适应性				
		◎	◎	◎	◎	◎	◎	◎	◎
A	◎								
B	◎	◎	◎						
C	◎	◎	◎						
1		X	X	X	X	X	X	X	X
2			X	X	X	X	X	X	X
3				X	X	X	X	X	X
4					X	X	X	X	X
5						X	X	X	X

作为判断方法，进行下列可靠性测试。首先，由每种样品构成一个100工级的包括多个晶体管的环形振荡器，测其传输延迟时间。从其结果，成品率为90%以上的算作○，为百分之几的算作X。

关于，大电流驱动，把接触孔部位的电流设置的电流密度为 $10^5$  A/cm<sup>2</sup>。工作1000小时后布线没有断裂的，显然是算作○，工作500小时后，布线有断裂的算作X。

关于高速性能，样品1至5全都不能获得满意的结果，原因在于基极和发射极之间的寄生电容和寄生电阻的影响。

进而，依照与第二实施相同的制备工艺，样品1'至5'具有与样品1至5相同的关系。然而，成品率、对大电流驱动的适应性，高速性能等虽有所改善，但仍是不够的。

# 说 明 书 附 图

图 1A

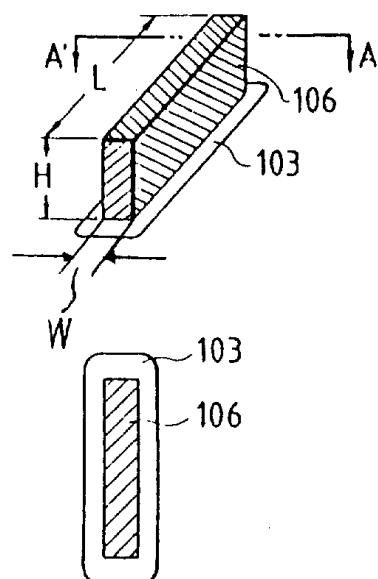


图 1B

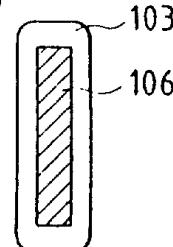


图 1C

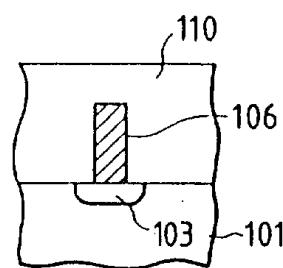


图 1D

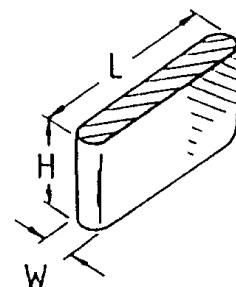


图 1E

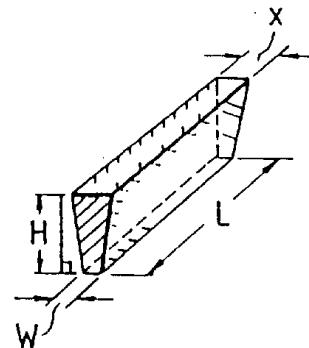


FIG. 2

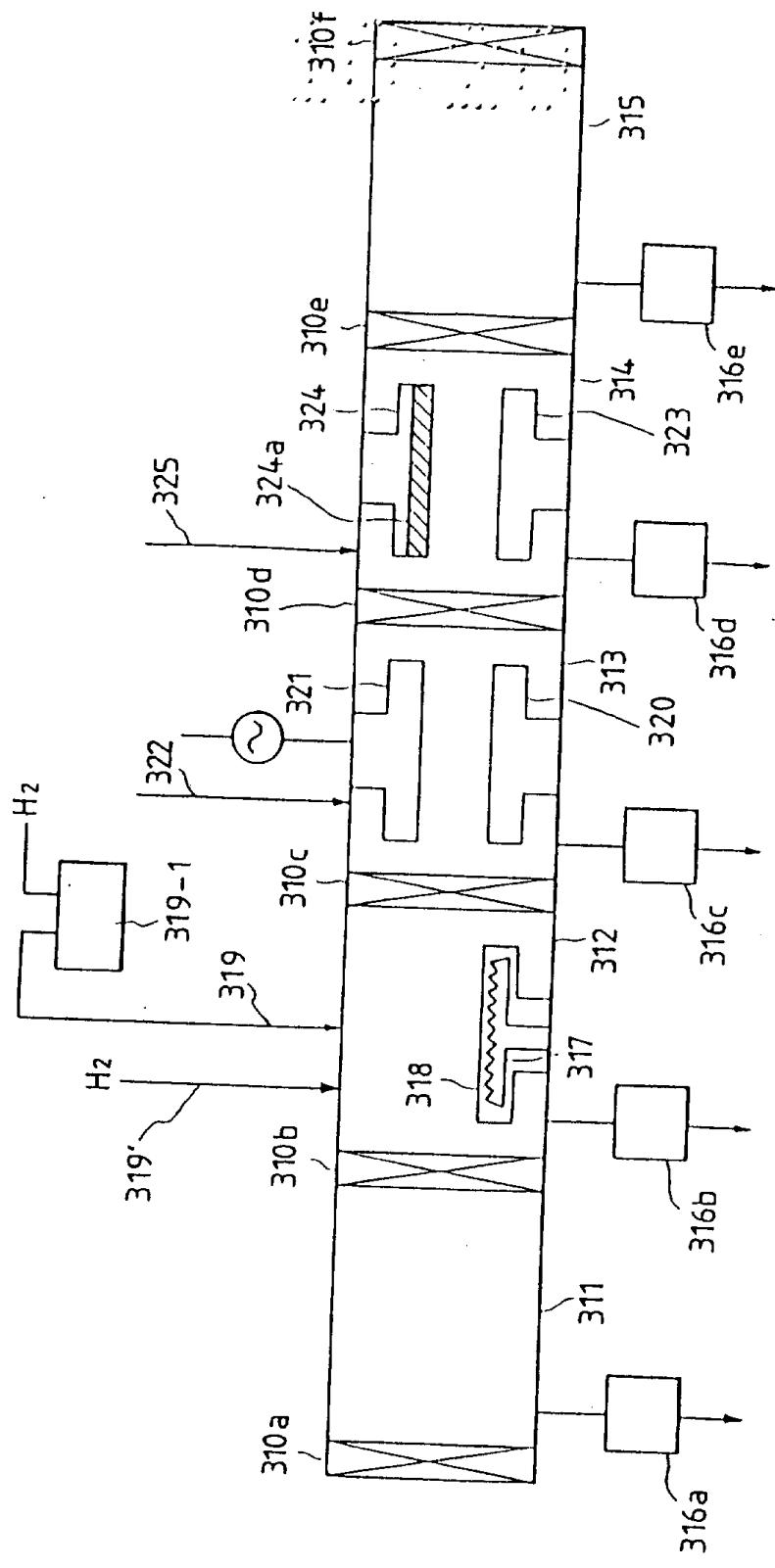


图. 3

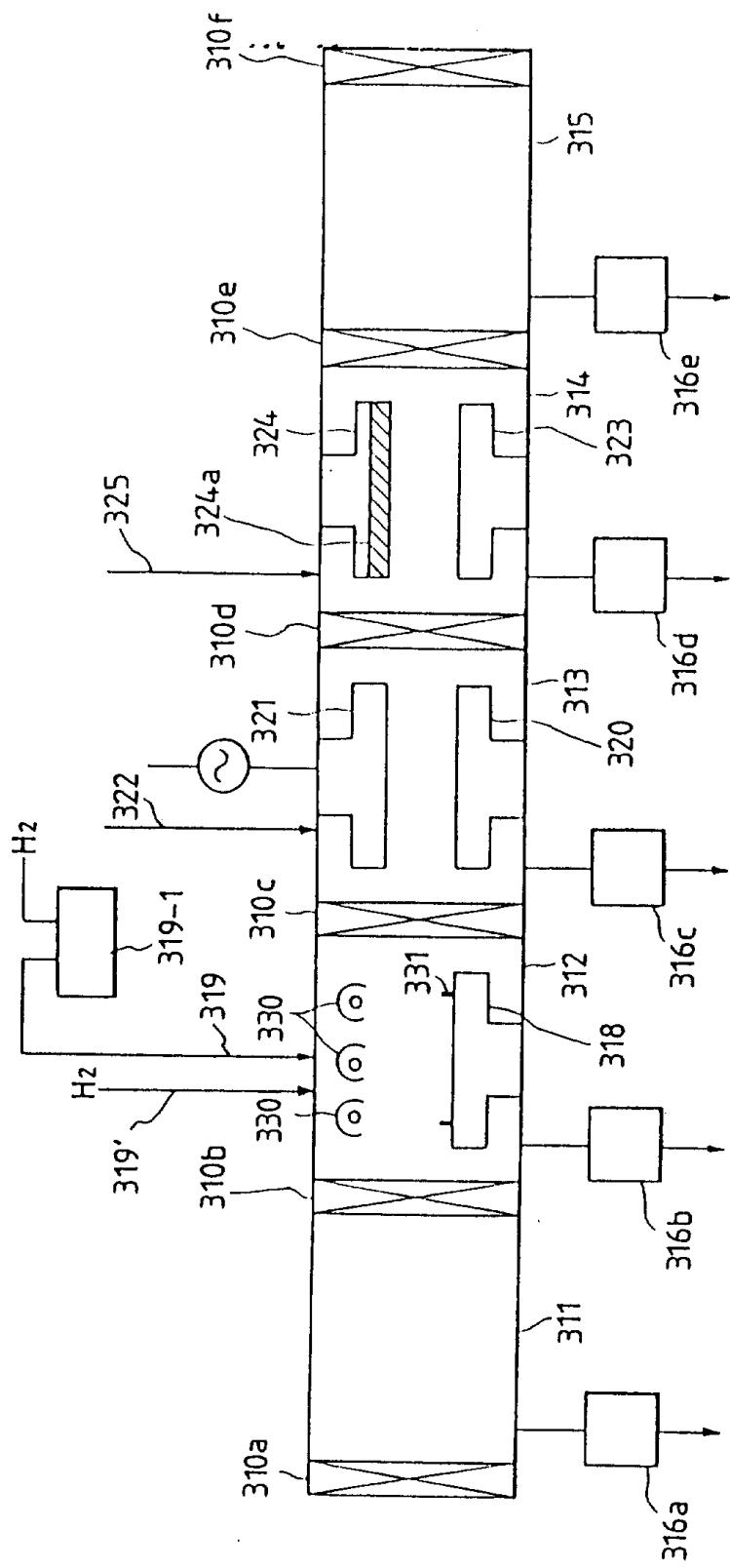


图 4

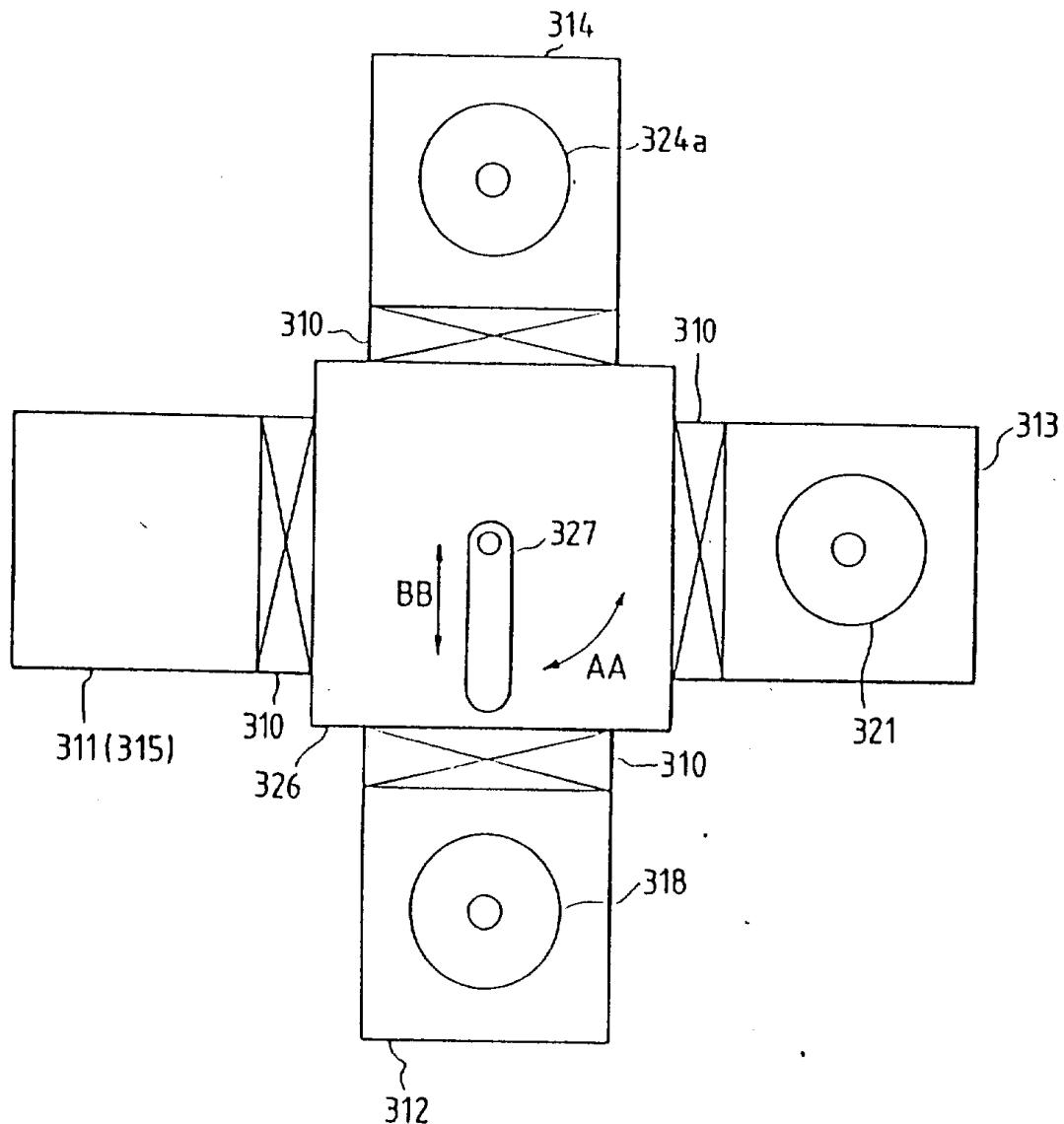


图.5

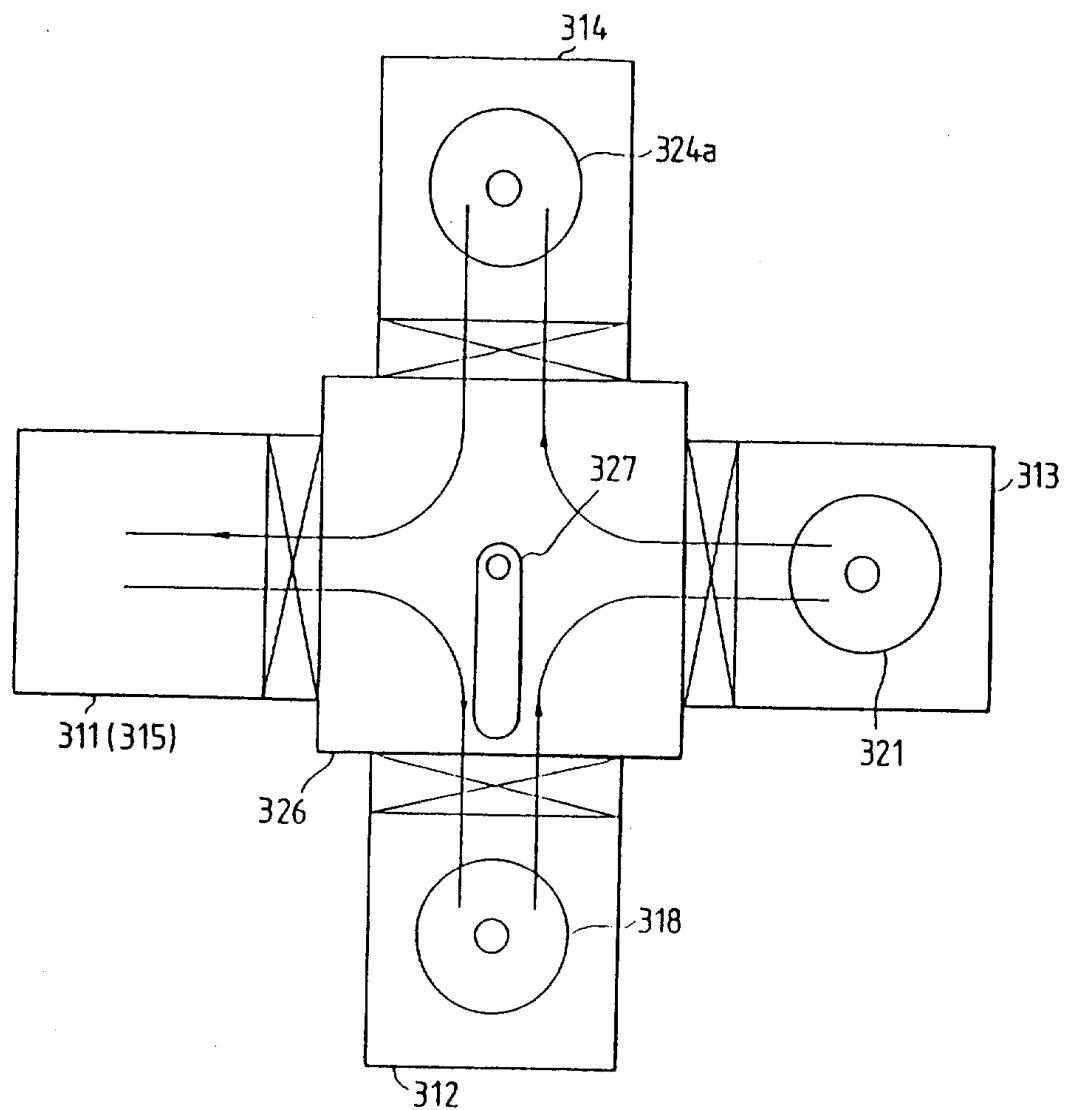


图.6A

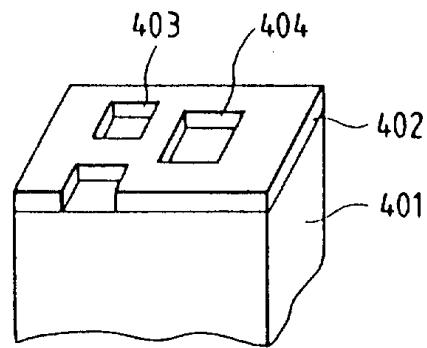


图.6B

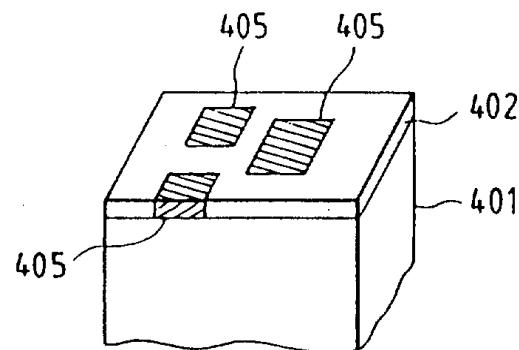


图.6C

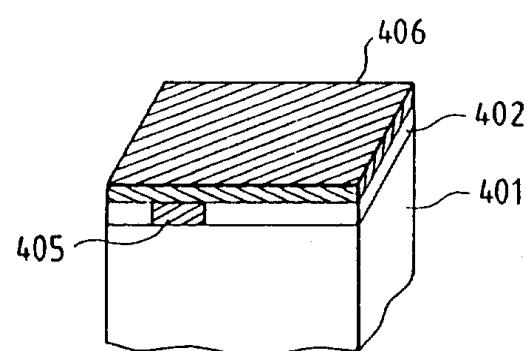


图.6D

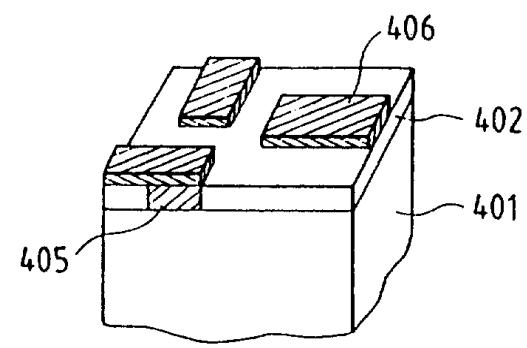


图.7A

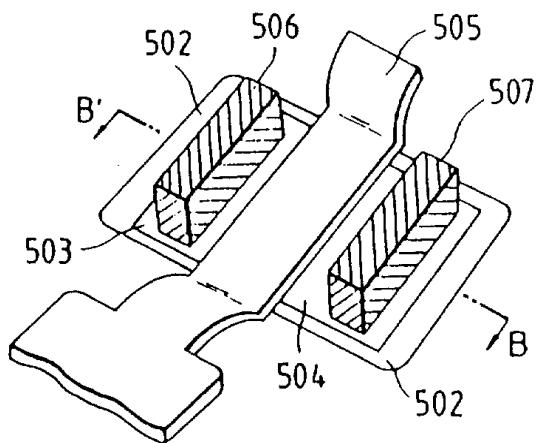


图.7B

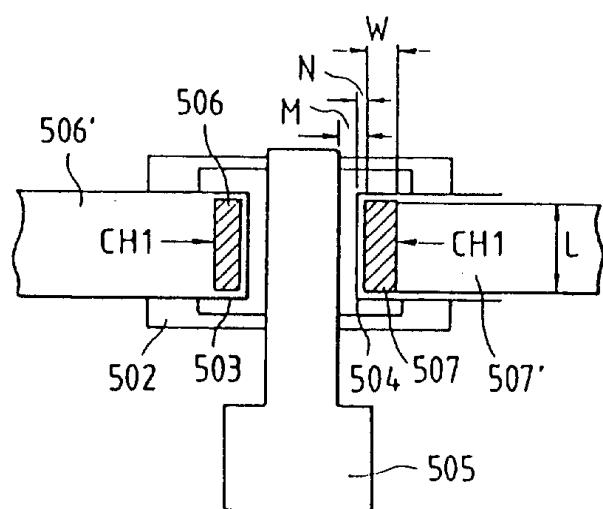


图.7C

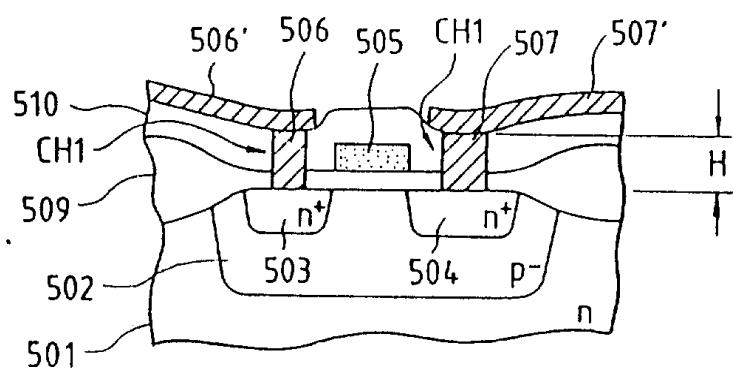


图.8A

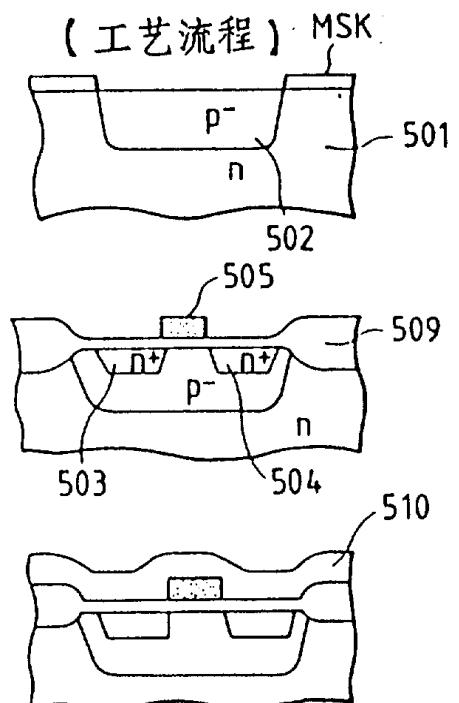


图.8B

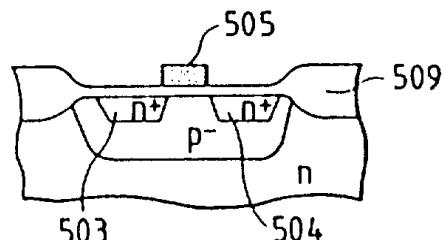


图.8C

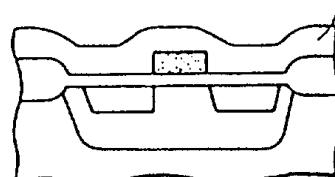


图.8D

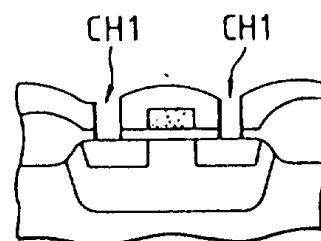


图.8E

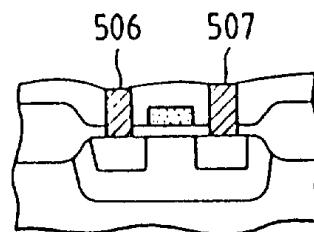


图.8F

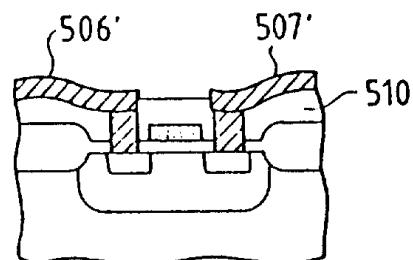


图.9A

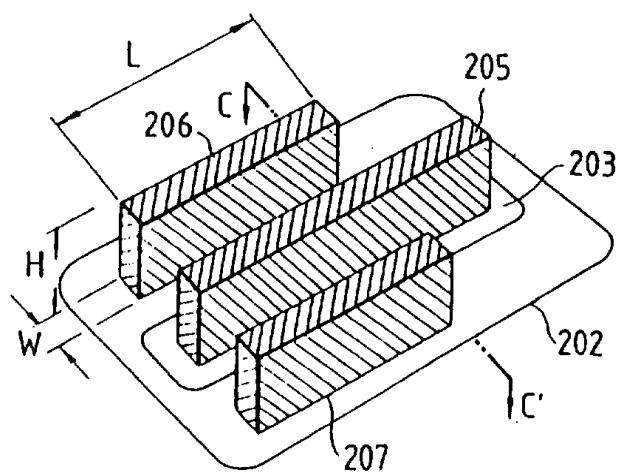


图.9B

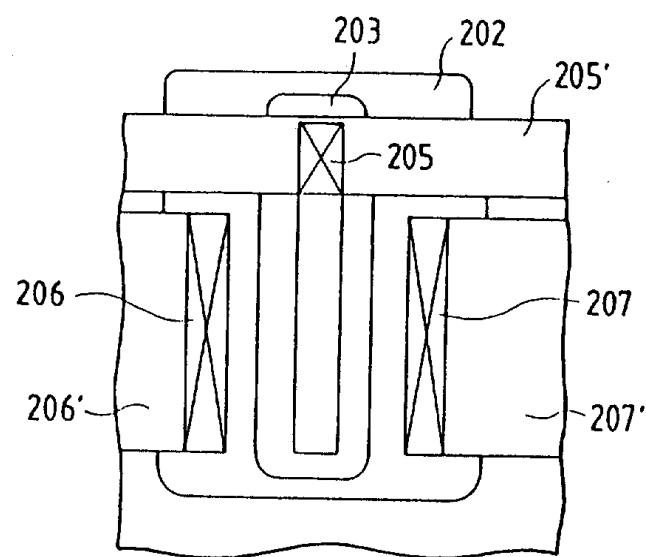


图.9C

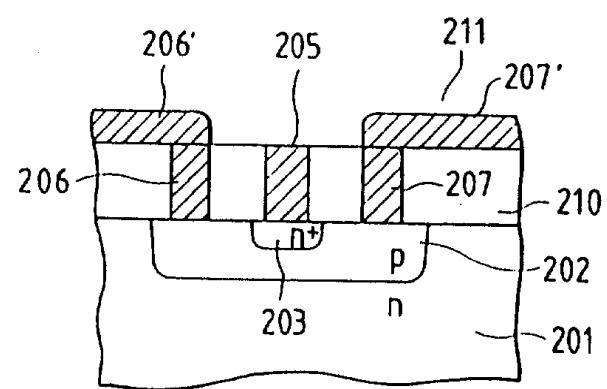


图.10A

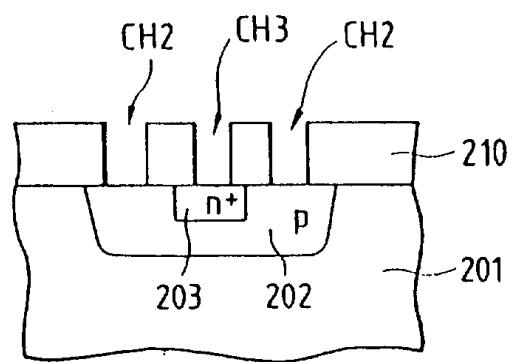


图.10B

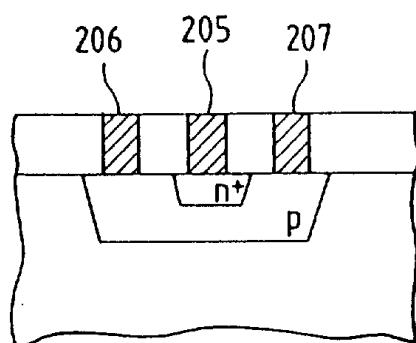


图.10C

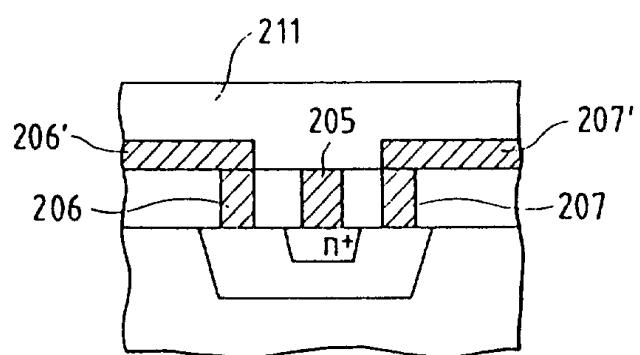


图. II A

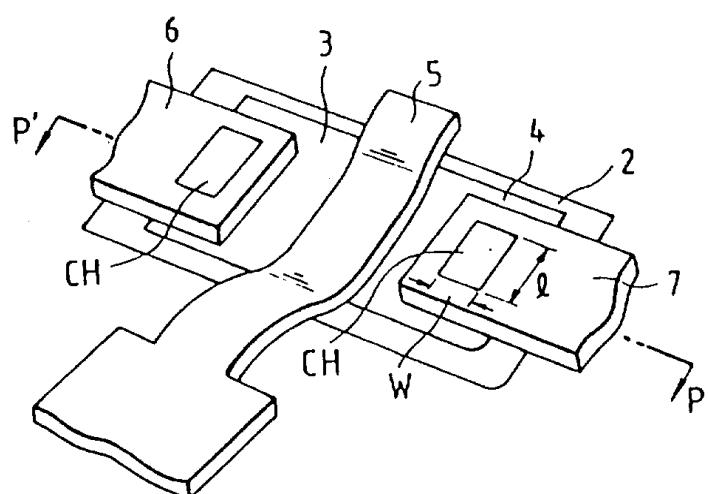


图. II B

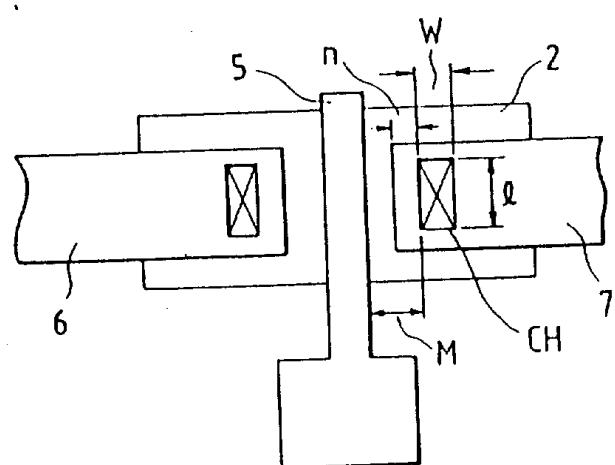


图. II C

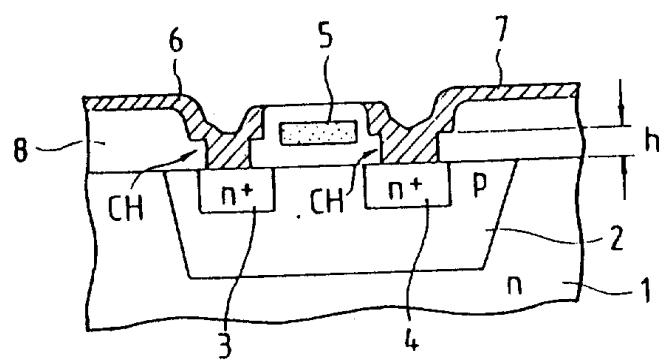


图.12

