

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2020 年 10 月 8 日 (08.10.2020)



(10) 国际公布号
WO 2020/199124 A1

(51) 国际专利分类号:
G09G 3/36 (2006.01) **G11C 19/28** (2006.01)

(21) 国际申请号: PCT/CN2019/081019

(22) 国际申请日: 2019 年 4 月 2 日 (02.04.2019)

(25) 申请语言: 中文

(26) 公布语言: 中文

(71) 申请人: 京东方科技集团股份有限公司
(**BOE TECHNOLOGY GROUP CO., LTD.**) [CN/CN];
中国北京市朝阳区酒仙桥路 10 号,
Beijing 100015 (CN)。成都京东方光电科技
有限公司(**CHENGDU BOE OPTOELECTRONICS
TECHNOLOGY CO., LTD.**) [CN/CN]; 中国四川
省成都市高新区(西区)合作路 1188
号, Sichuan 611731 (CN)。

(72) 发明人: 黄耀(**HUANG, Yao**); 中国北京市北京经济
技术开发区地泽路 9 号, Beijing 100176 (CN)。
周洋(**ZHOU, Yang**); 中国北京市北京经济技
术开发区地泽路 9 号, Beijing 100176 (CN)。李根

(**LI, Gen**); 中国北京市北京经济技术开发区
地泽路 9 号, Beijing 100176 (CN)。

(74) 代理人: 北京市柳沈律师事务所(**LIU, SHEN &
ASSOCIATES**); 中国北京市海淀区彩和坊路 10
号 1 号楼 10 层, Beijing 100080 (CN)。

(81) 指定国(除另有指明, 要求每一种可提供的国家
保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG,
BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU,
CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB,
GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS,
JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK,
LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX,
MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL,
PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL,
SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG,
US, UZ, VC, VN, ZA, ZM, ZW。

(84) 指定国(除另有指明, 要求每一种可提供的地区
保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ,
NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM,
AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG,
CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU,

(54) **Title:** SHIFT REGISTER UNIT AND DRIVING METHOD THEREFOR, GATE DRIVING CIRCUIT, AND DISPLAY APPARATUS

(54) 发明名称: 移位寄存器单元及其驱动方法以及栅极驱动电路、显示装置

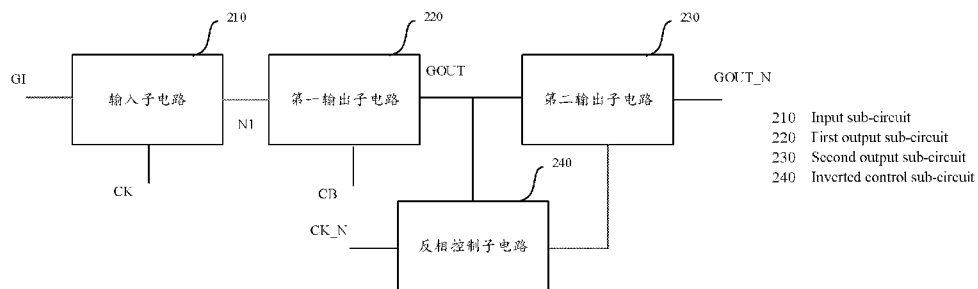


图 2

(57) **Abstract:** A shift register unit, a gate driving circuit, a display apparatus and a driving method therefor. The shift register unit comprises: an input sub-circuit (210), wherein a first end thereof is connected to an input signal end (GI), and a second end thereof is connected to a first signal control end (CK); a first output sub-circuit (220), wherein a first end thereof is connected to a third end of the input sub-circuit (210), a second end thereof is connected to a second control signal end (CB), and a third end thereof is connected to a first output end (GOUT); an inverted control sub-circuit (240), wherein a first end thereof is connected to the first output end (GOUT), and a second end thereof is connected to a third control signal (CK_N); and a second output sub-circuit (230), wherein a first end thereof is connected to the first output end (GOUT), a second end thereof is connected to a third end of the inverted control sub-circuit (240), and a third end thereof is connected to a second output end (GOUT_N). The second output sub-circuit (230) is configured in such a manner that while a signal output from the first output sub-circuit (220) changes from an active level to an inactive level, a signal output from the second output sub-circuit (230) changes from the inactive level to the active level.



IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT,
RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI,
CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布:

— 包括国际检索报告(条约第21条(3))。

(57) 摘要: 一种移位寄存器单元、栅极驱动电路、显示装置及其驱动方法, 其中移位寄存器单元包括: 输入子电路(210), 其第一端连接到输入信号端(GI), 第二端连接到第一信号控制端(CK); 第一输出子电路(220), 其第一端连接到输入子电路(210)的第三端, 第二端连接到第二控制信号端(CB), 第三端连接到第一输出端(GOUT); 反相控制子电路(240), 其第一端连接第一输出端(GOUT), 第二端连接第三控制信号端(CK_N); 以及第二输出子电路(230), 其第一端连接到第一输出端(GOUT), 第二端连接到反相控制子电路(240)的第三端, 第三端连接到第二输出端(GOUT_N); 其中, 第二输出子电路(230)被配置为, 在第一输出子电路(220)输出的信号从有效电平变化成无效电平的同时, 第二输出子电路(230)输出的信号从无效电平变化成有效电平。

移位寄存器单元及其驱动方法以及栅极驱动电路、显示装置

技术领域

5 本公开涉及一种移位寄存器单元、栅极驱动电路、显示装置及其驱动方法。

背景技术

10 在相关技术的 GOA 电路中,为了满足像素电路中不同类型的晶体管,例如 P 型晶体管和 N 型晶体管的工作需要,GOA 电路在输出阶段需要同时输出用于以上不同类型晶体管的工作电压,例如同时输出用于导通 P 型晶体管的低电平和用于导通 N 型晶体管的高电平。

发明内容

15 为此,本公开提供了一种移位寄存器单元、栅极驱动电路、显示装置及其驱动方法。

根据本公开的一方面,提供了一种移位寄存器单元,包括:输入子电路,其第一端连接到输入信号端,第二端连接到第一信号控制端;第一输出子电路,其第一端连接到所述输入子电路的第三端,第二端
20 连接到第二控制信号端,第三端连接到第一输出端;反相控制子电路,其第一端连接所述第一输出端,第二端连接第三控制信号端;以及第二输出子电路,其第一端连接到所述第一输出端,第二端连接到所述反相控制子电路的第三端,第三端连接到第二输出端;其中,所述第二输出子电路被配置为,在所述第一输出子电路输出的信号从有效电平变化成无效电平的同时,所述第二输出子电路输出的信号从无效电平变化成有效电平。
25

在一些实施例中,所述移位寄存器单元还包括:输出控制子电路,其第一端连接到所述输入子电路的第三端,第二端连接到第一控制信号端,第三端连接到第一输出端。

30 在一些实施例中,所述移位寄存器单元还包括:复位子电路,其

第一端连接到所述输入子电路的第三端，第二端连接到所述输出控制子电路的第四端。

5 在一些实施例中，所述反相控制子电路包括：第一反相控制晶体管，其控制极连接到所述第一输出端，第一极连接到无效电平信号端，第二极连接到所述第二输出子电路；第二反相控制晶体管，其控制极连接到所述第三控制信号端，第一极连接到所述第一反相控制晶体管的第二极，第二极连接到有效电平信号端。

10 在一些实施例中，所述输入子电路包括：输入晶体管，其控制端连接到第一控制信号端，第一极连接到输入信号端，第二极连接到所述第一输出子电路的第一端。

在一些实施例中，所述第一输出子电路包括：第一输出晶体管，其控制端连接所述输入子电路的第三端，第一极连接所述第一输出端，第二极连接所述第二控制信号端；第一输出电容，其第一端连接所述第一输出端，第二端连接所述第一输出晶体管的控制极。

15 在一些实施例中，所述第二输出子电路包括：第二输出晶体管，其控制端连接到第一输出端，第一极连接无效电平信号端，第二极连接第二输出端；以及第三输出晶体管，其控制极连接到所述反相控制子电路的第三端，第一极连接第二输出端，第二极连接有效电平信号端。

20 在一些实施例中，所述第二输出子电路还包括：第二输出电容，其第一端连接第二输出端，第二端连接所述第三输出晶体管的控制极。

25 在一些实施例中，所述输出控制子电路包括：第一输出控制晶体管，其控制极连接第一控制信号端，第一极连接有效电平信号端，第二极连接到所述输出控制子电路的第四端；第二输出控制晶体管，其控制端连接所述第一输出控制晶体管的第二极，第一极连接无效电平信号端，第二极连接所述第一输出端；输出控制电容，其第一端连接所述无效电平信号端，第二端连接所述第二输出控制晶体管的控制极；以及第三输出控制晶体管，其控制极连接所述输入子电路的第三端，第一极连接所述第一输出控制晶体管的第二极，第二极连接第一控制信号端。

30

在一些实施例中，所述复位子电路包括：第一复位晶体管，其控制极连接所述输出控制子电路的第四端，第一极连接无效电平信号端；以及第二复位晶体管，其控制极连接第二控制信号端，第一极连接第一复位晶体管的第二极，第二极连接所述输入子电路的第三端。

5 根据本公开的另一方面，还提供了一种栅极驱动电路，包括级联的 N 级移位寄存器单元，所述移位寄存器单元为权利要求 1—10 任一项所述的移位寄存器单元，其中，第 i 级的移位寄存器单元的输入信号端与第 i-1 级的移位寄存器单元的第一输出端连接，其中 N 为大于 2 的整数， $1 < i \leq N$ ；第 1 级的移位寄存器单元的输入信号端与帧输入信号控制线连接。

10 根据本公开的另一方面，还提供了一种显示装置，包括如前所述的栅极驱动电路。

根据本公开的又一方面，还提供了一种用于如前所述的移位寄存器单元的驱动方法，包括：在输入阶段，输入子电路将输入信号输出至所述第一输出子电路的第一端，并对所述第一输出子电路进行充电；

15 在输出阶段，在所述输入子电路的第三端的控制下，第一输出子电路在第一输出端输出第一输出信号，在所述第一输出端的控制下，第二输出子电路在第二输出端输出与第一输出信号电平相反的第二输出信号。

20 在一些实施例中，所述驱动方法还包括：在第一复位阶段，在所述第一输出信号从有效电平变化成无效电平的同时，所述反相控制子电路在所述第三控制信号的控制下，控制所述第二输出端输出的第二输出信号从无效电平变化成有效电平，其中在所述第一输出信号从有效电平变化成无效电平的同时，所述第三控制信号从无效电平变化成有效电平；

25 在第二复位阶段，在所述输出控制子电路的第四端的控制下对所述第一输出子电路进行复位。

利用本公开提供的移位寄存器单元、栅极驱动电路、显示装置及其驱动方法，可以通过额外提供的信号线提供控制信号，使得在移位寄存器单元的第一输出端输出的第一输出信号从有效电平变化成无效

30 电平的同时，移位寄存器单元的第二输出端输出的第二输出信号能够

从无效电平变化成有效电平。利用本公开提供的方案，移位寄存器单元能够向像素电路中不同类型的晶体管同时提供工作信号。

附图说明

5 为了更清楚地说明本公开实施例的技术方案，下面将对实施例描述中所需要使用的附图作简单地介绍，显而易见地，下面描述中的附图仅仅是本公开的一些实施例，对于本领域普通技术人员而言，在没有做出创造性劳动的前提下，还可以根据这些附图获得其他的附图。以下附图并未刻意按实际尺寸等比例缩放绘制，重点在于示出本公开的主旨。

图 1A 示出了相关技术的移位寄存器单元的示例性的结构；

图 1B 示出了图 1A 中的移位寄存器单元使用的第一控制信号 CK 和第二控制信号 CB 的时序；

图 1C 示出了图 1A 中的移位寄存器单元的输出特性；

15 图 2 示出了根据本公开的实施例的一种移位寄存器单元的示意性的框图；

图 3 示出了根据本公开的实施例的移位寄存器单元的示例性的电路结构；

图 4 示出了根据本公开的另一种移位寄存器单元的示意性的框图；

20 图 5 示出了根据本公开的实施例的移位寄存器单元的一种示例性的电路结构；

图 6 示出了根据本公开的实施例的用于上述移位寄存器单元的驱动方法；

25 图 7 示出了可用于本公开的实施例的图 2 所示的移位寄存器单元的驱动信号时序；

图 8 示出了可用于本公开的实施例的图 4 所示的移位寄存器单元的驱动信号时序；以及

图 9 示出了根据本公开实施例的一种栅极驱动电路的示意图。

30 具体实施方式

下面将结合附图对本公开实施例中的技术方案进行清楚、完整地描述，显而易见地，所描述的实施例仅仅是本公开的部分实施例，而不是全部的实施例。基于本公开实施例，本领域普通技术人员在没有做出创造性劳动前提下所获得的所有其他实施例，也属于本公开保护的

本公开中使用的“第一”、“第二”以及类似的词语并不表示任何顺序、数量或者重要性，而只是用来区分不同的组成部分。同样，“包括”或者“包含”等类似的词语意指出现该词前面的元件或者物件涵盖出现在该词后面列举的元件或者物件及其等同，而不排除其他元件或者物件。“连接”或者“相连”等类似的词语并非限定于物理的或者机械的连接，而是可以包括电性的连接，不管是直接的还是间接的。“上”、“下”、“左”、“右”等仅用于表示相对位置关系，当被描述对象的绝对位置改变后，则该相对位置关系也可能相应地改变。

如本公开说明书和权利要求书所示，除非上下文明确提示例外情形，“一”、“一个”、“一种”和/或“该”等词并非特指单数，也可包括复数。一般说来，术语“包括”与“包含”仅提示包括已明确标识的步骤和元素，而这些步骤和元素不构成一个排它性的罗列，方法或者设备也可能包含其他的步骤或元素。

本公开所有实施例中采用的晶体管均可以为薄膜晶体管或场效应管或其他特性相同的器件。在本实施例中，每个晶体管的漏极和源极的连接方式可以互换，因此，本公开实施例中各晶体管的漏极、源极实际是没有区别的。这里，仅仅是为了区分晶体管除栅极之外的两极，而将其中一极称为漏极，另一极称为源极。本公开实施例中采用的薄膜晶体管可以为N型晶体管，也可以为P型晶体管。在本公开实施例中，当采用N型薄膜晶体管时，其第一极可以是源极，第二极可以是漏极。在以下实施例中，以薄膜晶体管为P型晶体管为例进行的说明，即栅极的信号是低电平时，薄膜晶体管导通。可以想到，当采用N型晶体管时，需要相应调整驱动信号的时序。具体细节不在此赘述，但也应该在本公开的保护范围内。

图1A示出了根据相关技术的一种移位寄存器单元的输出部分的

示例性的结构。其中移位寄存器单元是由多个 P 型晶体管组成的结构。图 1A 中示出的 Gout 端是移位寄存器单元的第一输出端，VH 端是高电平信号端，VL 端是低电平信号端，CK 是第一控制信号端、CB 是第二控制信号端，Gout_N 是移位寄存器单元的第二输出端。根据移位寄存器单元的工作原理，第一输出端 Gout 和第二输出端 Gout_N 应当始终输出相反的信号。即，当第一输出端 Gout 输出高电平时，第二输出端 Gout_N 输出低电平。当第一输出端 Gout 输出低电平时，第二输出端 Gout_N 输出高电平。此外，第一控制信号 CK 和第二控制信号 CB 用于在移位寄存器单元工作过程中控制晶体管的导通和关闭。

为了防止移位寄存器单元在工作过程中出现错误，第一控制信号 CK 和第二控制信号 CB 被配置成不同时处于有效电平（在本公开中以低电平为有效电平作为示例）。图 1B 示出了图 1A 中的移位寄存器单元的输出部分的结构使用的第一控制信号 CK 和第二控制信号 CB 的时序。可以看出，当第一控制信号 CK 从低电平变化成高电平时，第二控制信号 CB 不立刻从高电平变化成低电平而是在第一控制信号 CK 变化成高电平后仍维持一段时间的高电平，然后再变化成低电平。通过这样的设置，能够确保第一控制信号 CK 和第二控制信号 CB 不同时处于有效电平，从而防止移位寄存器单元在工作过程中可能出现的错误。

在图 1A 示出的示例中，t1 是输入阶段，t2 是输出阶段，t3 是用于复位输出端 Gout 的第一复位阶段，t4 是用于复位输出子电路（图 1A 中未示出）的第二复位阶段。在 t2 时段，当移位寄存器单元的第一输出端 Gout 输出有效电平（例如低电平）时，图 1A 中示出的晶体管 T9 导通。另外，如图 1B 所示，第一控制信号 CK 在 t2 时段输出无效电平，因此此时晶体管 T10 关断。因此，在 t2 时段，节点 N5 通过晶体管 T9 连接到高电平信号端 VH，使得晶体管 T12 在 N5 的控制下关断。由于晶体管 T11 在第一输出端 Gout 的控制下导通，因此第二输出端 Gout_N 在 t2 时段输出高电平。

当 t2 时段结束时，第一输出端 Gout 的输出从有效电平被复位至无效电平。如图 1B 所示，由于第二控制信号 CB 从有效的低电平变化成无效的高电平，并且同时第一控制信号 CK 维持在高电平下，因此节

点 N5 处的电平在电容 C3 的自举作用下升高，使得晶体管 T12 无法开启。因此当第一输出端 Gout 的输出从有效电平变化成无效电平时，第二输出端 Gout_N 无法从无效电平变化成有效电平。直到当第一控制信号 CK 从无效电平变化成有效电平时，晶体管 T10 在第一控制信号 CK 的控制下导通，并将节点 N5 处的电平拉低至低电平信号端 VL，从而使

5 使得晶体管 T12 能够在节点 N5 的控制下导通并将第二输出端 Gout_N 输出的电平拉低至低电平。

因此，根据相关技术的移位寄存器单元，当第一输出端 Gout 的输出从有效电平变化成无效电平时，第二输出端 Gout_N 无法从及时无效电平变化成有效电平，因此降低了移位寄存器单元的工作效率，影响了后续节点的充电效果。

10

图 1C 示出了图 1A 中的移位寄存器单元的输出特性。当第一输出端 Gout 输出的电平发生变化时，第二输出端 Gout_N 输出的电平不能随之发生同样的电平变化。从图 1C 中可以看出，第二输出端 Gout_N 输出的信号的电平变化存在延迟。当第一输出端 Gout 输出的信号从低电平上升到高电平时，第二输出端 Gout_N 输出的信号尚未从高电平下降至低电平。因此，根据相关技术的移位寄存器单元无法提供准确的输出信号。

15

图 2 示出了根据本公开的实施例的一种移位寄存器单元的示意性的框图。如图 2 所示，移位寄存器单元 200 可以包括输入子电路 210、第一输出子电路 220、第二输出子电路 230 和反相控制子电路 240。

20

如图 2 所示，输入子电路 210 的第一端连接到输入端 GI，第二端连接到第一控制信号端 CK，第三端连接到第一控制节点 N1，并配置成在第一控制信号 CK 的控制下将输入信号输出至第一控制节点 N1。

第一输出子电路 220 的第一端连接到第一控制节点 N1，第二端连接到第二控制信号端 CB，第三端连接到第一输出端 GOUT，并且配置成在第一控制节点 N1 的控制下在第一输出端 GOUT 输出第一输出信号。

25

第二输出子电路 230 的第一端连接到第一输出端 GOUT，第二端连接到反相控制子电路 240，第三端连接到第二输出端 Gout_N，并且

30

配置成输出与第一输出信号电平相反的第二输出信号。

反相控制子电路 240 的第一端连接第一输出端 GOUT, 第二端连接第三控制信号端 CK_N, 第三端连接到第二输出子电路 230 的第二端, 并且配置成根据第一输出信号 GOUT 和第三控制信号 CK_N 控制第二输出子电路 240 输出第二输出信号。其中, 在第一输出信号 GOUT 从有效电平变化成无效电平的同时, 反相控制子电路 240 在第三控制信号 CK_N 的控制下, 控制第二输出端 GOUT_N 输出的第二输出信号从无效电平变化成有效电平。

利用本公开提供的实施例, 通过设置第三控制信号 CK_N, 可以控制移位寄存器单元在第一输出信号 GOUT 从有效电平变化成无效电平的同时, 利用反相控制子电路控制第二输出端 GOUT_N 输出的第二输出信号从无效电平变化成有效电平, 从而使得移位寄存器单元能够准确地输出电平相反的两个输出信号。

图 3 示出了根据本公开的实施例的移位寄存器单元的示例性的电路结构。如图 3 所示, 在一些实施例中, 输入子电路 210 可以包括输入晶体管 T1, 其控制端连接到第一控制信号端 CK, 第一端连接到输入端 GI, 第二端连接到第一控制节点 N1。输入晶体管 T1 配置成用于在 CK 的控制下将输入端 GI 输入的信号传输到第一控制节点 N1。在一些实施例中, 当 GI 输入低电平的导通信号时, 第一控制信号端 CK 输入低电平的导通信号。输入晶体管 T1 在第一控制信号 CK 的控制下导通, 并将输入信号传输到第一控制节点 N1。

在一些实施例中, 第一输出子电路 220 可以包括第一输出晶体管 T5, 其控制端连接第一控制节点 N1, 第一极连接所述第一输出端 GOUT, 第二极连接所述第二控制信号端 CB。在一些实施例中, 第一输出子电路 220 还可以包括第一输出电容 C1, 其第一端连接所述第一输出端 GOUT, 第二端连接第一控制节点 N1。例如, 当输入晶体管 T1 将低电平的输入信号传输到第一控制节点 N1 时, 由于第一输出电容 C1 的电荷储存功能, 第一控制节点 N1 的电位可以被维持在低电平, 从而第一输出晶体管 T5 可以在第一控制节点 N1 的控制下导通, 并将第二端连接的第二控制信号 CB 的电平输出到第一输出端 GOUT。例

如，当第一输出晶体管 T5 在第一控制节点 N1 的控制下导通时，如果第二控制信号 CB 输入高电平信号，那么第一输出端 GOUT 将输出高电平信号，如果第二控制信号 CB 输入低电平信号，那么第一输出端 GOUT 将输出低电平信号。

5 在一些实施例中，反相控制子电路 240 可以包括第一反相控制晶体管 T9 和第二反相控制晶体管 T10，其中第一反相控制晶体管的控制极连接到所述第一输出端 GOUT，第一极连接到高电平信号端 VH，第二极连接到第三控制节点 N5。第二反相控制晶体管 T10 的控制极连接到第三控制信号端 CK_N，第一极连接到第三控制节点 N5，第二极连
10 接到低电平信号端 VL。

当第一输出端 GOUT 输出低电平时，第一反相控制晶体管 T9 在第一输出端 GOUT 的控制下导通，并将高电平信号端 VH 的信号输出到第三控制节点 N5。当第一输出端 GOUT 输出的信号从低电平变化成高电平时，第三控制信号端 CK_N 输出低电平的导通信号，并控制第
15 二反相控制晶体管 T10 导通，从而使得第三控制节点 N5 的电位被下拉至低电平信号端输出的低电平。

在一些实施例中，在第一反相控制晶体管 T9 和第二反相控制晶体管 T10 之间还可以设置有第三反相控制晶体管（如图 5 中示出的晶体管 T13）。其中第三反相控制晶体管的控制端连接到低电平信号端，
20 第一端连接到第一反相控制晶体管 T9 的第二极，第二端连接到第二反相控制晶体管 T10 的第一极。也就是说，第三反相控制晶体管始终处于导通状态，其作用是避免第一反相控制晶体管 T9 或第二反相控制晶体管 T10 直接连接在高电平信号端和低电平信号端之间，导致第一反相控制晶体管 T9 或第二反相控制晶体管 T10 两端的电压差过大，从而
25 影响晶体管的使用寿命。

在一些实施例中，第二输出子电路 230 可以包括第二输出晶体管 T11 和第三输出晶体管 T12。其中，第二输出晶体管 T11 的控制端连接到第一输出端 GOUT，第一极连接高电平信号端 VH，第二极连接第二输出端 GOUT_N。第三输出晶体管 T12 的控制极连接到第三控制节点 N5，第一极连接第二输出端 GOUT_N，第二极连接低电平信号端。
30

其中，当第一输出端 GOUT 输出低电平信号时，第二输出晶体管 T11 在第一输出端 GOUT 的控制下导通，从而将高电平信号端 VH 的信号输出到第二输出端 GOUT_N。如前所述，当第一输出端 GOUT 输出低电平信号时，第一反相控制晶体管 T9 导通并将高电平信号输出到第三控制节点 N5。因此此时第三输出晶体管 T12 关断。因此，当第一输出端 GOUT 输出低电平信号时，第二输出端 GOUT_N 输出高电平信号。

当第一输出端 GOUT 输出高电平信号时，第二输出晶体管 T11 在第一输出端 GOUT 的控制下关断。此外，如前所述，当第一输出端 GOUT 输出高电平信号时，此时第三控制信号端 CK_N 是低电平，第二反相控制晶体管 T10 导通并将低电平信号输出到的第三控制节点 N5。因此此时第三输出晶体管 T12 导通。因此，当第一输出端 GOUT 输出高电平信号时，第二输出端 GOUT_N 输出低电平信号。

在一些实施例中，第二输出子电路还包括第二输出电容 C3，其第一端连接第三控制节点，第二端连接第二输出端。

利用本公开提供的移位寄存器单元的结构，在第一输出端 GOUT 输出的信号从有效电平变化成无效电平，例如从低电平变化成高电平的同时，反相控制电路可以在第三控制信号 CK_N 的控制下，控制第二输出端 GOUT_N 输出的信号从无效电平变化成有效电平，例如从高电平变化成低电平，从而能够解决目前的移位寄存器单元输出信号不准确的问题。

图 4 示出了根据本公开的另一种移位寄存器单元的示意性的框图。如图 4 所示，移位寄存器单元 400 可以包括输入子电路 410、第一输出子电路 420、第二输出子电路 430、反相控制子电路 440、输出控制子电路 450 以及复位子电路 460。其中，输入子电路 410、第一输出子电路 420、第二输出子电路 430、反相控制子电路 440 可以实现为图 2-图 3 中示出的输入子电路 210、第一输出子电路 220、第二输出子电路 230、反相控制子电路 240，在此不再加以赘述。

如图 4 所示，输出控制子电路 450 的第一端连接到第一控制节点 N1，第二端连接到第一控制信号 CK，第三端连接到第一输出端 GOUT。

输出控制子电路 450 可以配置成在第一控制节点 N1 和第一控制信号 CK 的控制下，控制所述第一输出端 GOUT 输出无效电平。在一些实施例中，在非输出时段，输出控制子电路 450 可以配置成在第一控制节点 N1 和/或第一控制信号 CK 的控制下将无效电平输出到第一输出端 GOUT，从而使得第一输出端 GOUT 在移位寄存器单元工作期间输出的电平始终是受到控制的。

复位子电路 460 的第一端可以连接到第一控制节点 N1，第二端连接到输出控制子电路 450 的第四端，即图 4 中示出的第二控制节点 N2。复位子电路 460 可以配置成在第二控制节点 N2 的控制下对第一控制节点 N1 进行复位。在一些实施例中，在复位阶段，复位子电路在第二控制节点 N2 的控制下将无效电平输入到第一控制节点 N1，从而实现对第一控制节点 N1 的复位。

利用本公开提供的移位寄存器单元，可以利用输出控制子电路和复位子电路实现对第一输出子电路的进一步的控制，从而使得第一输出子电路能够更准确地输出驱动信号。

图 5 示出了根据本公开的实施例的移位寄存器单元的一种示例性的电路结构。其中，图 5 中示出的输入子电路 410、第一输出子电路 420、第二输出子电路 430、反相控制子电路 440 可以实现为图 3 中示出的示出的输入子电路 210、第一输出子电路 220、第二输出子电路 230、反相控制子电路 240。

需要说明的是，图 5 中在输入子电路 410 和第一输出子电路 420 之间连接有晶体管 T14，其控制端连接到低电平信号端 VL。因此，晶体管 T14 始终是导通的，其作用是在电路中承担一部分的电压差，从而减小输入晶体管 T1 第一端和第二端之间的电压差，延长输入晶体管 T1 的使用寿命并增加输入晶体管 T1 的工作稳定性。

此外，在反相控制子电路 440 中，在第一反相控制晶体管 T9 和第二反相控制晶体管 T10 之间连接有晶体管 T13，其控制端连接到低电平信号端 VL。因此，晶体管 T13 始终是导通的。其作用是在电路中承担一部分的电压差，从而减小第一反相控制晶体管 T9 和第二反相控制晶体管 T10 的第一端和第二端之间的电压差，延长第一反相控制晶体

管 T9 和第二反相控制晶体管 T10 的使用寿命并增加第一反相控制晶体管 T9 和第二反相控制晶体管 T10 的工作稳定性。

如图 5 所示, 输入控制子电路 450 可以包括第一输出控制晶体管 T3、第二输出控制晶体管 T4、第三输出控制晶体管 T2 以及输出控制电容 C2。第一输出控制晶体管 T3 的控制极连接第一控制信号端 CK, 第一极连接有效电平信号端 VL, 第二端连接第二控制节点 N2。第二输出控制晶体管 T4 的控制端连接第二控制节点 N2, 第一极连接无效电平信号端 VH, 第二极连接第一输出端 GOUT。输出控制电容 C2 的第一端连接无效电平信号端 VH, 第二端连接第二控制节点 N2。第三输出控制晶体管 T2 的控制极连接第一控制节点 N1, 第一极连接第二控制节点 N2, 第二极连接第一控制信号端 CK。

在一些实施例中, 在移位寄存器单元的输出阶段, 如前所述, 第一控制节点 N1 的是低电平的, 第二控制信号 CB 也是低电平的。因此, 此时第三输出控制晶体管 T2 是导通的, 并且第一控制信号 CK 是高电平。通过 T2 可以将第一控制信号 CK 输入的高电平信号输入到第二控制节点 N2, 从而使得第二输出控制晶体管 T4 在第二控制节点 N2 的控制下关断, 不影响第一输出端 GOUT 的输出。

在另一些实施例中, 在移位寄存器单元的非输出阶段, 可以通过第一控制信号 CK 输入低电平的信号, 从而使得第一输出控制晶体管 T3 导通, 并将低电平的控制信号输入到第二控制节点 N2, 从而使得第二输出控制晶体管 T4 导通, 并将无效的高电平信号输出到第一输出端 GOUT。

因此, 利用本公开提供的输出控制子电路, 可以在移位寄存器单元的非输出阶段将无效信号输出到第一输出端 GOUT, 实现对于输出信号的更好地控制。

继续参考图 5, 复位子电路 460 可以包括第一复位晶体管 T6 和第二复位晶体管 T7。第一复位晶体管 T6 的控制极连接第二控制节点 N2, 第一极连接无效电平信号端 VH。第二复位晶体管 T7 的控制极连接第二控制信号端 CB, 第一极连接第一复位晶体管 T6 的第二极, 第二极连接第一控制节点 N1。

在一些实施例中，在移位寄存器单元的复位阶段，第一复位晶体管 T6 和第二复位晶体管 T7 可以在第二控制信号 CB 和第二控制节点 N2 的控制下导通，并将无效的高电平信号输入到第一控制节点 N1，从而实现对第一控制节点 N1 复位。

5 因此，利用本公开提供的复位子电路，可以实现对于移位寄存器单元的复位，从而使得移位寄存器单元能够正常实现下一阶段的输出。

图 6 示出了根据本公开的实施例的用于上述移位寄存器单元的驱动方法。如图 6 所示，在步骤 S602 中，移位寄存器单元处于输入阶段，可以利用如前所述的输入子电路将输入信号输出至第一控制节点。

10 在步骤 S604 中，移位寄存器单元处于输出阶段，其中在第一控制节点的控制下，第一输出子电路在第一输出端输出第一输出信号，在所述第一输出端的控制下，第二输出子电路在第二输出端输出与第一输出信号相反的第二输出信号。

15 在一些实施例中，驱动方法 600 还包括步骤 S606，其中在所述第一输出信号从有效电平变化成无效电平的同时，所述反相控制子电路在所述第三控制信号的控制下，控制所述第二输出端输出的第二输出信号从无效电平变化成有效电平，其中在所述第一输出信号从有效电平变化成无效电平的同时，所述第三控制信号从无效电平变化成有效电平。

20 在一些实施例中，驱动方法 600 还包括步骤 S608，其中，在所述第二控制节点的控制下对所述第一控制节点进行复位。

利用本公开提供的实施例，通过设置第三控制信号 CK_N，可以控制移位寄存器单元在第一输出信号 GOUT 从有效电平变化成无效电平的同时，利用反相控制子电路控制第二输出端 GOUT_N 输出的第二
25 输出信号从无效电平变化成有效电平，从而使得移位寄存器单元能够准确地输出电平相反的两个输出信号。

图 7 示出了可用于本公开的实施例的图 2 所示的移位寄存器单元的驱动信号时序。下面，以图 3 中示出的移位寄存器单元为例解释本公开的原理。

30 在 t1 输入阶段，如图 7 所示，输入端 GI 输入低电平的输入信号，

第一控制信号端 CK 输入低电平的控制信号，从而使得输入晶体管 T1 在第一控制信号 CK 的控制下导通，并将低电平的输入信号输入到第一控制节点 N1，实现对第一输出电容 C1 的充电。

5 在 t2 输出阶段，第一控制信号端 CK 输入高电平信号并控制输入晶体管 T1 关断。此时，由于第一输出电容 C1 在输入阶段被充电，因此能够维持第一控制节点 N1 在 t2 阶段保持低电平，并控制第一输出晶体管 T5 导通。第二控制信号端 CB 在 t2 阶段输出低电平信号，从而控制第一输出端 GOUT 输出低电平的信号。

10 在第一输出端 GOUT 输出的低电平信号的控制下，第一反相控制晶体管 T9 被导通。在第三信号端 CK_N 输入的高电平控制下，第二反相控制晶体管 T10 被关断。因此，此时第三控制节点 N5 的电平经由第一反相控制晶体管 T9 被拉高到无效的高电平，第三输出晶体管 T12 在第三控制节点 N5 的控制下关断。同时，第二输出晶体管 T11 在第一输出端 GOUT 输出的信号的控制下导通，并将高电平输出到第二输出端 GOUT_N。

15 在 t3 第一复位阶段，第二控制信号 CB 从低电平变化成高电平。相应地，第一输出端 GOUT 输出的信号也从低电平复位至高电平，并控制第一反相控制晶体管 T9 和第二输出晶体管 T11 关断。同时，第三控制信号 CK_N 从高电平变化成低电平，使得第二反相控制晶体管 T10 在第三控制信号 CK_N 的控制下导通，并将低电平信号输出到第三控制节点 N5，从而使得第三输出晶体管 T12 在第三控制节点 N5 的控制下导通，并将低电平的信号输出到第二输出端 GOUT_N。从图 7 中可以看出，通过如上的时序控制，本公开提供的移位寄存器单元可以准确地

20 在第一输出端和第二输出端同时输出电平相反的两个信号。

25 图 8 示出了可用于本公开的实施例的图 4 所示的移位寄存器单元的驱动信号时序。下面，以图 5 中示出的移位寄存器单元为例解释本公开的原理。

30 在 t1 输入阶段，如图 8 所示，输入端 GI 输入低电平的输入信号，第一控制信号端 CK 输入低电平的控制信号，从而使得输入晶体管 T1 在第一控制信号 CK 的控制下导通，并将低电平的输入信号输入到第

一控制节点 N1, 实现对第一输出电容 C1 的充电。

此时, 第三输出控制晶体管 T2 在第一控制节点 N1 的控制下导通, 第一输出控制晶体管 T3 在第一控制信号 CK 的控制下导通, 并将低电平信号端输入的低电平信号输入到第二控制节点 N2, 从而对输出控制电容 C2 进行充电, 并控制第二输出控制晶体管 T4 导通。经由 T4 可以向第一输出端 GOUT 输出高电平的信号。

同时, 第一反相控制晶体管 T9 在第一输出端 GOUT 的控制下关断, 第二输出晶体管 T11 在第一输出端 GOUT 的控制下关断。第三反相控制晶体管 T13 在低电平信号 VL 的控制下导通, 第二反相控制晶体管 T10 在低电平的第三控制信号 CK_N 的控制下导通, 并将低电平信号输出到第三控制节点 N5。第三输出晶体管 T12 在第三控制节点 N5 的控制下导通, 从而使得经由第二输出晶体管向第二输出端 GOUT_N 输出低电平的信号。

此外, 在第二控制节点的控制下, 第一复位晶体管 T6 导通, 在第二控制信号的控制下, 第二复位晶体管 T7 关断。

在 t2 输出阶段, 第一控制信号端 CK 输入高电平信号并控制输入晶体管 T1 关断。此时, 由于第一输出电容 C1 在输入阶段被充电, 因此能够维持第一控制节点 N1 在 t2 阶段保持低电平, 并控制第一输出晶体管 T5 导通。第二控制信号端 CB 在 t2 阶段输出低电平信号, 从而控制第一输出端 GOUT 输出低电平的信号。

在第一输出端 GOUT 输出的低电平信号的控制下, 第一反相控制晶体管 T9 被导通。在第三信号端 CK_N 输入的高电平控制下, 第二反相控制晶体管被关断。因此, 此时第三控制节点 N5 的电平经由第一反相控制晶体管 T9 被拉高到无效的高电平, 第三输出晶体管 T12 在第三控制节点 N5 的控制下关断。同时, 第二输出晶体管 T11 在第一输出端 GOUT 输出的信号的控制下导通, 并将高电平输出到第二输出端 GOUT_N。

同时, 第三输出控制晶体管 T2 在第一控制节点 N1 的控制下导通, 并将第一控制信号输入的高电平信号输入到第二控制节点 N2, 从而使得第二控制节点 N2 的电平被拉高, 第二输出控制晶体管 T4 在第二控

制节点 N2 的控制下关断。

此外，在第二控制节点的控制下，第一复位晶体管 T6 关断，在第二控制信号的控制下，第二复位晶体管 T7 导通。

在 t3 第一复位阶段，第二控制信号 CB 从低电平变化成高电平。

5 相应地，第一输出端 GOUT 输出的信号也从低电平复位至高电平，并控制第一反相控制晶体管 T9 和第二输出晶体管 T11 关断。同时，第三控制信号 CK_N 从高电平变化成低电平，使得第二反相控制晶体管 T10 在第三控制信号 CK_N 的控制下导通，并将低电平信号输出到第三控制节点 N5，从而使得第三输出晶体管 T12 在第三控制节点 N5 的控制
10 下导通，并将低电平的信号输出到第二输出端 GOUT_N。同时，可以通过第三控制节点 N5 对第二输出电容 C3 进行充电，使得能够将第三控制节点 N5 处的电平维持在低电平。从图 8 中可以看出，通过如上的时序控制，本公开提供的移位寄存器单元可以准确地在第一输出端和第二输出端同时输出电平相反的两个信号。

15 此外，在 t3 时段，第一控制信号 CK 从高电平变化成低电平，使得第一输出控制晶体管 T3 在第一控制信号的控制下导通，并将低电平输出到第二控制节点 N2 并对输出控制电容进行充电，使得第二输出控制晶体管 T4 在第二控制节点 N2 的控制下导通。经由第二输出控制晶体管 T4，高电平信号端输入的高电平信号可以经由第一输出端 GOUT
20 输出。

此外，在第二控制节点的控制下，第一复位晶体管 T6 导通，在第二控制信号的控制下，第二复位晶体管 T7 关断。

在 t4 第二复位阶段，第一控制信号端 CK 输入高电平的控制信号，第二控制信号端 CB 输入低电平的控制信号，使得输入晶体管 T1 和第一输出控制晶体管 T3 在第一控制信号的控制下关断。此时，由于输出控制电容 C2 的电荷存储功能，可以将第二控制节点 N2 处的电位维持在低电平，使得第一复位晶体管 T6 在第二控制节点的控制下导通。并且，第二复位晶体管 T7 在第二控制信号 CB 的控制下导通，因此，经由第一复位晶体管 T6 和第二复位晶体管 T7 可以对第一控制节点 N1
25 进行复位，从而使得可以对输出电容 C1 进行放电，使得第一输出子电
30

路被复位。

此时，由于第二输出电容 C3 在 t3 阶段被充电，因此可以将第三控制节点 N5 的电平维持在低电平，从而使得第三输出晶体管 T12 维持导通，使得第二输出端能够维持低电平的输出。

5 在一些实施例中，可以省略第二输出电容 C3。在省略第二输出电容 C3 的情况下，可以控制第三控制信号 CK_N 在 t4 阶段输入低电平的信号，使得第二反相控制晶体管 T10 维持导通，从而将低电平输入到第三控制节点 N5，以使得第三输出晶体管能够在第三控制节点 N5 的控制下导通，使得第二输出端能够维持低电平的输出。

10 图 9 示出了根据本公开实施例的一种栅极驱动电路的示意图。如图 9 所示，栅极驱动电路由多个级联的移位寄存器单元组成。例如，栅极驱动电路可以包括级联的 N 级移位寄存器单元，其中 N 是大于 2 的整数。

图 9 中仅示出了 3 级移位寄存器单元，然而本领域技术人员可以理解，可以根据实际情况确定栅极驱动电路中移位寄存器单元的个数。对此本公开的方案不加以限制。

如图 9 所示，对于 $1 < i \leq N$ ，第 i 级的移位寄存器单元的输入端与第 i-1 级的移位寄存器单元的输出端连接。也就是说，在由级联的移位寄存器单元构成的栅极驱动电路中，前一级移位寄存器单元的输
20 出可以是后一级移位寄存器单元的输入。对于第 1 级移位寄存器单元，其输入端连接帧输入信号控制线。

本公开至少一实施例还提供了一种显示装置，包括本公开实施例提供的上述内嵌式触摸屏，该显示装置可以为：手机、平板电脑、电视机、显示器、笔记本电脑、数码相框、导航仪等任何具有显示功能
25 的产品或部件。

本领域内的技术人员应明白，本公开的实施例可实现为方法、系统、或计算机程序产品。因此，本公开的实施例可以为硬件、软件、固件或它们任意组合的形式。而且，本公开的实施例可采用在一个或多个其中包含有计算机可用程序代码的计算机可用存储介质（包括但
30 不限于磁盘存储器、CD-ROM、光学存储器等）上实施的计算机程序

产品的形式。

本公开参照根据本公开实施例的方法、设备（系统）、和计算机程序产品的流程图和/或方框图来描述的。其应理解为可由计算机程序指令实现流程图和/或方框图中的每一流程和/或方框、以及流程图和/或方框图中的流程和/或方框的结合。可提供这些计算机程序指令到通用计算机、专用计算机、嵌入式处理机或其他可编程数据处理设备的处理器得到机器，使得通过计算机或其他可编程数据处理设备的处理器执行的指令产生用于实现在流程图一个流程或多个流程和/或方框图一个方框或多个方框中指定的功能的装置。

这些计算机程序指令也可存储在能引导计算机或其他可编程数据处理设备以特定方式工作的计算机可读存储器中，使得存储在该计算机可读存储器中的指令产生包括指令装置的制造品，该指令装置实现在流程图一个流程或多个流程和/或方框图一个方框或多个方框中指定的功能。这些计算机程序指令也可装载到计算机或其他可编程数据处理设备上，使得在计算机或其他可编程设备上执行一系列操作步骤以产生计算机实现的处理，从而在计算机或其他可编程设备上执行的指令提供用于实现在流程图一个流程或多个流程和/或方框图一个方框或多个方框中指定的功能的步骤。

除非另有定义，这里使用的所有术语（包括技术和科学术语）具有与本公开所属领域的普通技术人员共同理解的相同含义。还应当理解，诸如在通常字典里定义的那些术语应当被解释为具有与它们在相关技术的上下文中的含义相一致的含义，而不应用理想化或极度形式化的意义来解释，除非这里明确地这样定义。

上面是对本公开的说明，而不应被认为是对其的限制。尽管描述了本公开的若干示例性实施例，但本领域技术人员将容易地理解，在不背离本公开的新颖教学和优点的前提下可以对示例性实施例进行许多修改。因此，所有这些修改都意图包含在权利要求书所限定的本公开范围内。应当理解，上面是对本公开的说明，而不应被认为是限于所公开的特定实施例，并且对所公开的实施例以及其他实施例的修改意图包含在所附权利要求书的范围内。本公开由权利要求书及其等效

物限定。

权利要求书

1、一种移位寄存器单元，包括：

输入子电路，其第一端连接到输入信号端，第二端连接到第一信号控制
5 端；

第一输出子电路，其第一端连接到所述输入子电路的第三端，第二端连接到第二控制信号端，第三端连接到第一输出端；

反相控制子电路，其第一端连接所述第一输出端，第二端连接第三控制信号端；以及

10 第二输出子电路，其第一端连接到所述第一输出端，第二端连接到所述反相控制子电路的第三端，第三端连接到第二输出端；

其中，所述第二输出子电路被配置为，在所述第一输出子电路输出的信号从有效电平变化成无效电平的同时，所述第二输出子电路输出的信号从无效电平变化成有效电平。

15 2、如权利要求 1 所述的移位寄存器单元，还包括：

输出控制子电路，其第一端连接到所述输入子电路的第三端，第二端连接到第一控制信号端，第三端连接到第一输出端。

3、如权利要求 1 或 2 所述的移位寄存器单元，还包括：

20 复位子电路，其第一端连接到所述输入子电路的第三端，第二端连接到所述输出控制子电路的第四端。

4、如权利要求 1-3 任一项所述的移位寄存器单元，其中，所述反相控制子电路包括：

第一反相控制晶体管，其控制极连接到所述第一输出端，第一极连接到无效电平信号端，第二极连接到所述第二输出子电路；

25 第二反相控制晶体管，其控制极连接到所述第三控制信号端，第一极连接到所述第一反相控制晶体管的第二极，第二极连接到有效电平信号端。

5、如权利要求 1-4 任一项所述的移位寄存器单元，其中，所述输入子电路包括：

30 输入晶体管，其控制端连接到第一控制信号端，第一极连接到输入信号端，第二极连接到所述第一输出子电路的第一端。

6、如权利要求 1-5 任一项所述的移位寄存器单元，其中，所述第一输出

子电路包括：

第一输出晶体管，其控制端连接所述输入子电路的第三端，第一极连接所述第一输出端，第二极连接所述第二控制信号端；

5 第一输出电容，其第一端连接所述第一输出端，第二端连接所述第一输出晶体管的控制极。

7、如权利要求 1-6 任一项所述的移位寄存器单元，其中，所述第二输出子电路包括：

第二输出晶体管，其控制端连接到第一输出端，第一极连接无效电平信号端，第二极连接第二输出端；以及

10 第三输出晶体管，其控制极连接到所述反相控制子电路的第三端，第一极连接第二输出端，第二极连接有效电平信号端。

8、如权利要求 7 所述的移位寄存器单元，其中，所述第二输出子电路还包括：

15 第二输出电容，其第一端连接第二输出端，第二端连接所述第三输出晶体管的控制极。

9、如权利要求 2-8 任一项所述的移位寄存器单元，其中所述输出控制子电路包括：

第一输出控制晶体管，其控制极连接第一控制信号端，第一极连接有效电平信号端，第二极连接到所述输出控制子电路的第四端；

20 第二输出控制晶体管，其控制端连接所述第一输出控制晶体管的第二极，第一极连接无效电平信号端，第二极连接所述第一输出端；

输出控制电容，其第一端连接所述无效电平信号端，第二端连接所述第二输出控制晶体管的控制极；以及

25 第三输出控制晶体管，其控制极连接所述输入子电路的第三端，第一极连接所述第一输出控制晶体管的第二极，第二极连接第一控制信号端。

10、如权利要求 3-8 任一项所述的移位寄存器单元，其中所述复位子电路包括：

第一复位晶体管，其控制极连接所述输出控制子电路的第四端，第一极连接无效电平信号端；以及

30 第二复位晶体管，其控制极连接第二控制信号端，第一极连接第一复位

晶体管的第二极，第二极连接所述输入子电路的第三端。

11、一种栅极驱动电路，包括级联的 N 级移位寄存器单元，所述移位寄存器单元为权利要求 1-10 任一项所述的移位寄存器单元，其中，

第 i 级的移位寄存器单元的输入信号端与第 $i-1$ 级的移位寄存器单元的第一输出端连接，其中 N 为大于 2 的整数， $1 < i \leq N$ ；

第 1 级的移位寄存器单元的输入信号端与帧输入信号控制线连接。

12、一种显示装置，包括如权利要求 11 所述的栅极驱动电路。

13、一种用于如权利要求 1-10 任一项所述的移位寄存器单元的驱动方法，包括：

10 在输入阶段，输入子电路将输入信号输出至所述第一输出子电路的第一端，并对所述第一输出子电路进行充电；

在输出阶段，

在所述输入子电路的第三端的控制下，第一输出子电路在第一输出端输出第一输出信号，

15 在所述第一输出端的控制下，第二输出子电路在第二输出端输出与第一输出信号电平相反的第二输出信号。

14、如权利要求 13 所述的驱动方法，其中所述移位寄存器单元还包括输出控制子电路，其第一端连接到所述输入子电路的第三端，第二端连接到第一控制信号端，第三端连接到第一输出端，以及复位子电路，其第一端连接到所述输入子电路的第三端，第二端连接到所述输出控制子电路的第四端，所述驱动方法还包括：

在第一复位阶段，

25 在所述第一输出信号从有效电平变化成无效电平的同时，所述反相控制子电路在所述第三控制信号的控制下，控制所述第二输出端输出的第二输出信号从无效电平变化成有效电平，其中在所述第一输出信号从有效电平变化成无效电平的同时，所述第三控制信号从无效电平变化成有效电平；

在第二复位阶段，

在所述输出控制子电路的第四端的控制下对所述第一输出子电路进行复位。

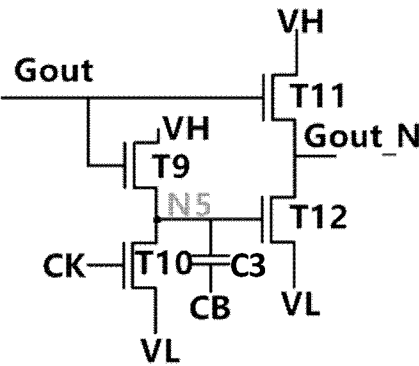


图 1A

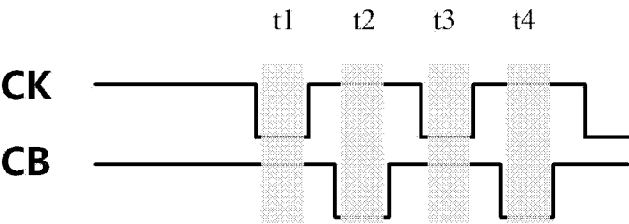


图 1B

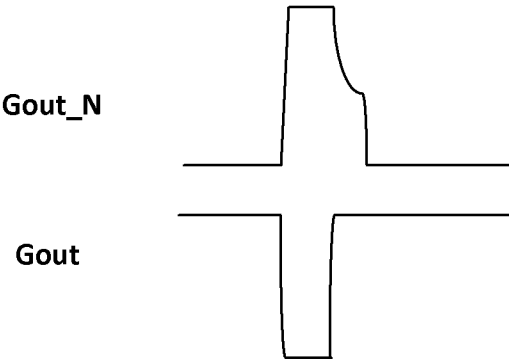


图 1C

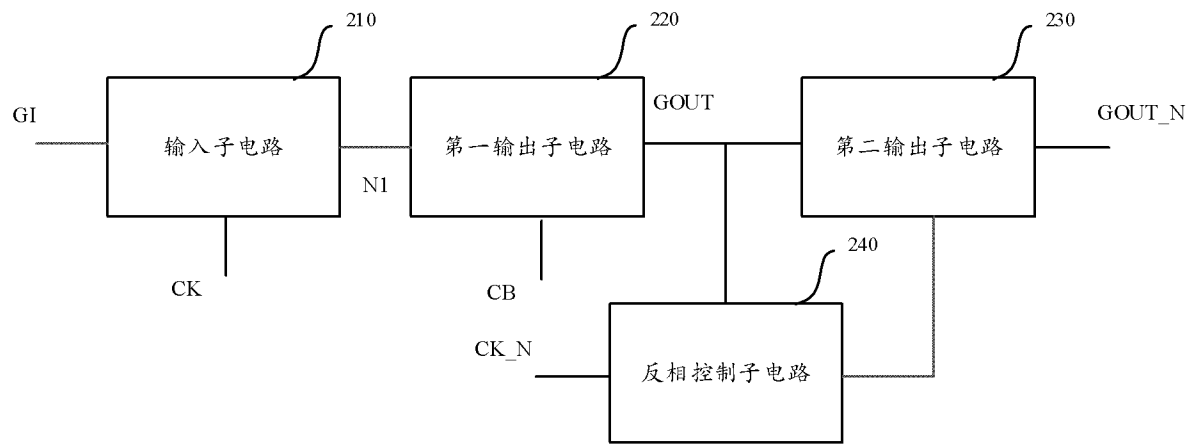


图 2

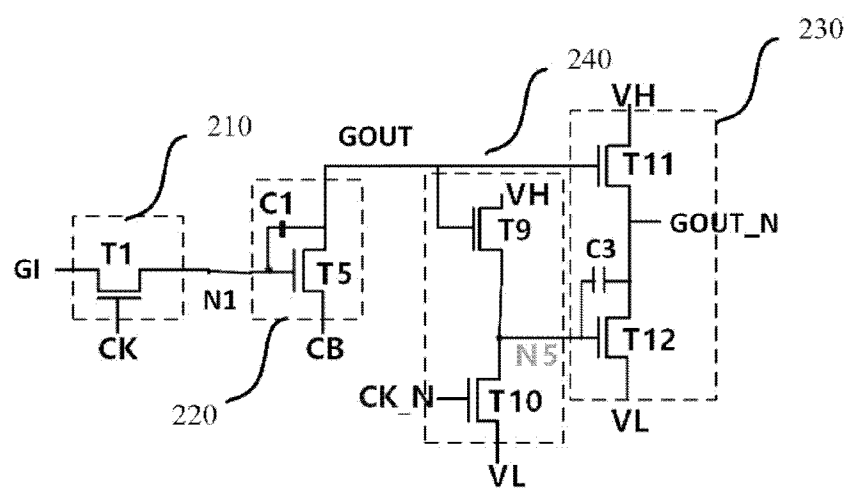


图 3

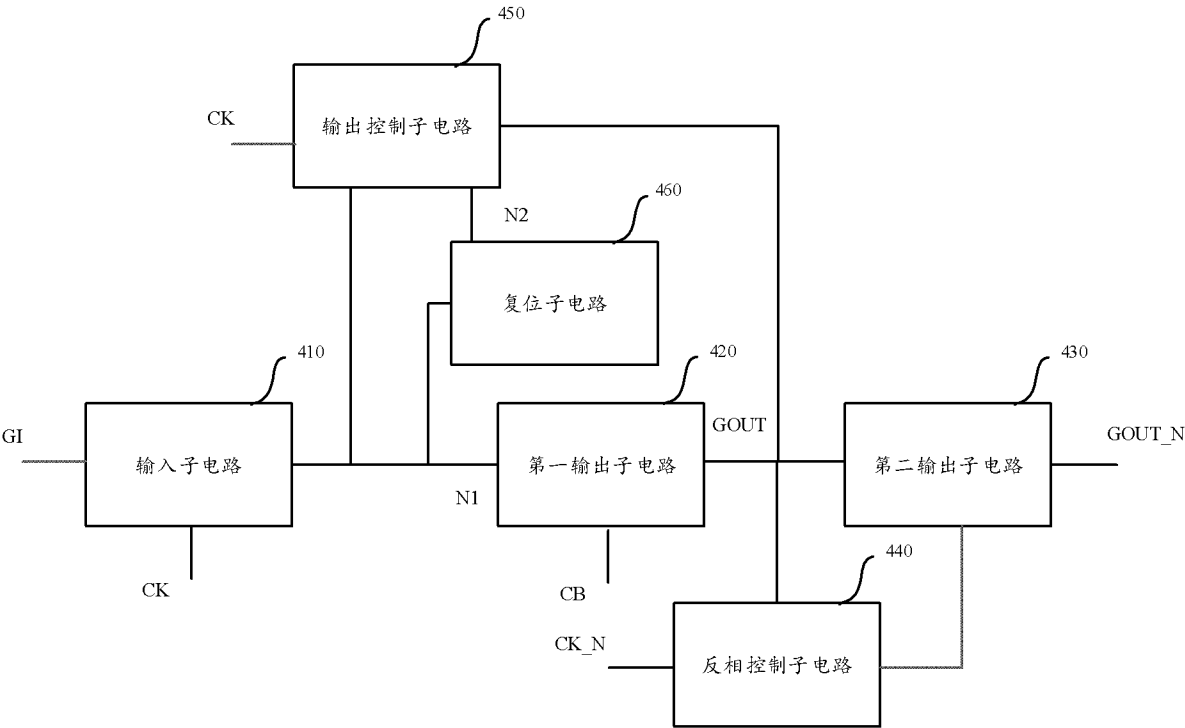


图 4

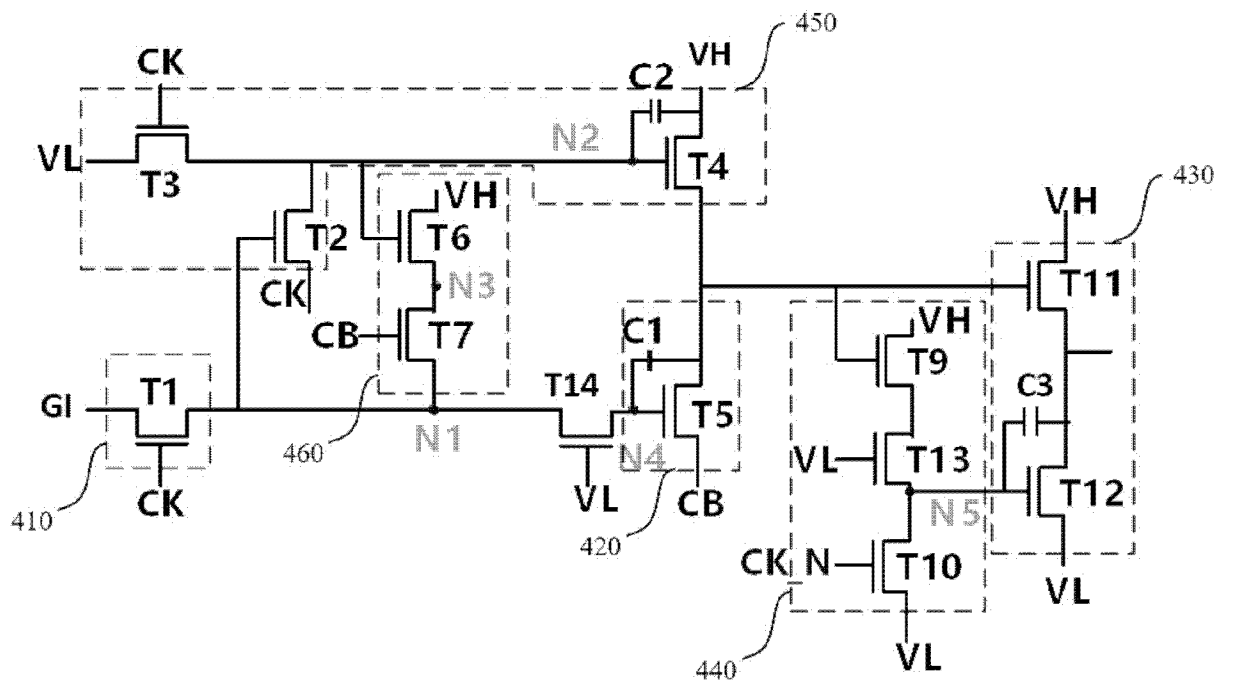


图 5

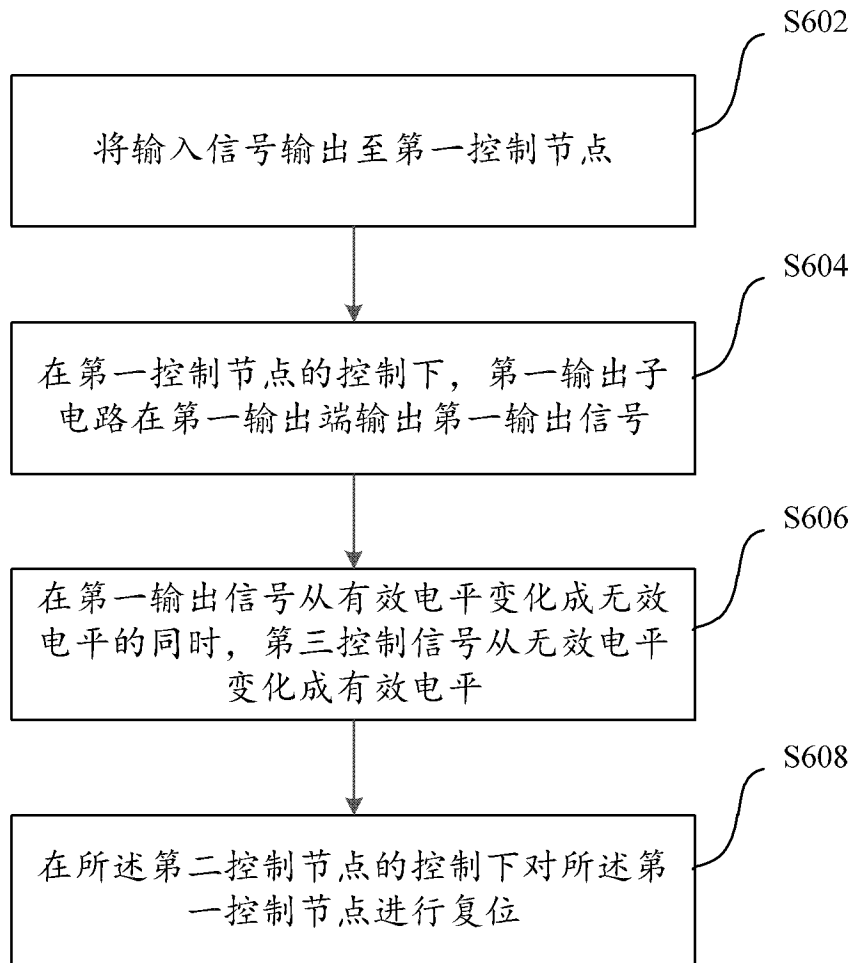


图 6

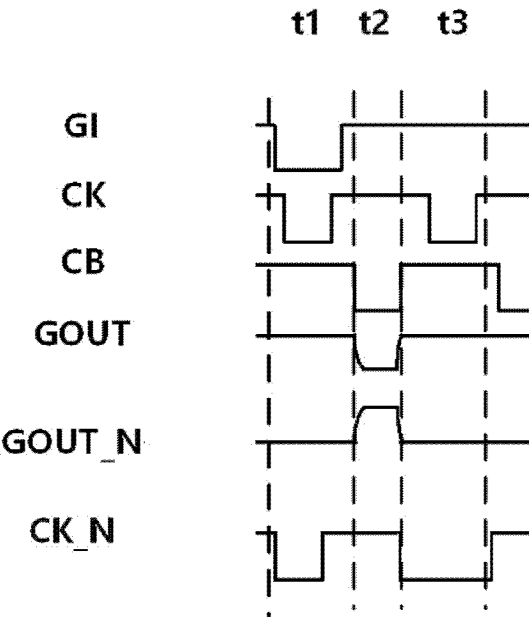


图 7

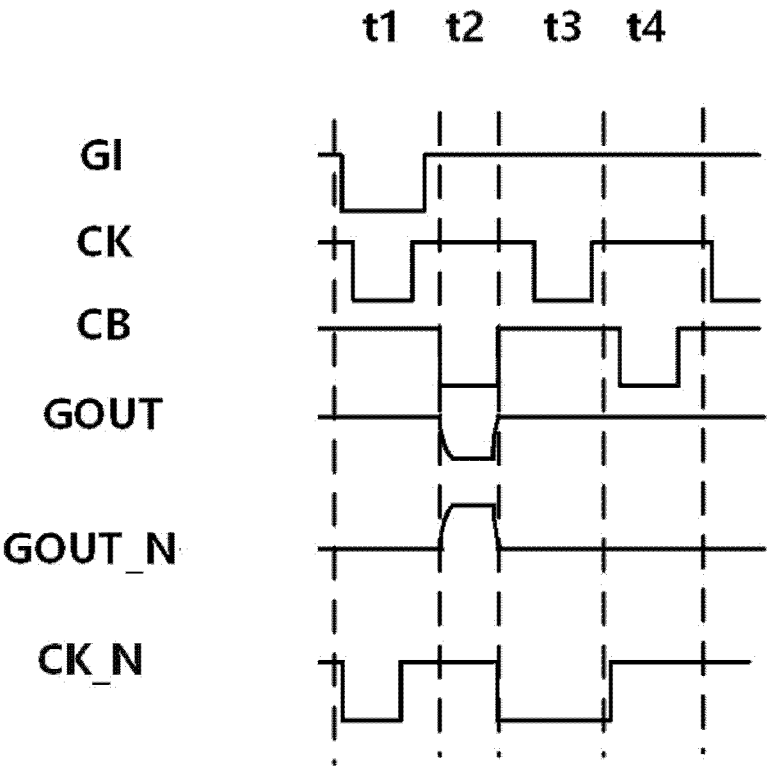


图 8

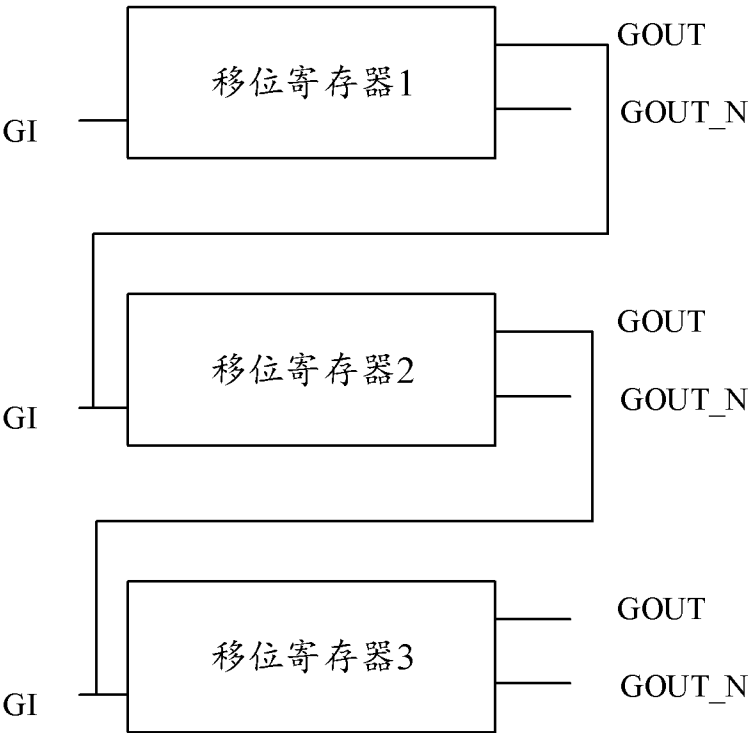


图 9

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2019/081019

A. CLASSIFICATION OF SUBJECT MATTER

G09G 3/36(2006.01)i; G11C 19/28(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G09G 3; G11C 19

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNABS; CNTXT; VEN: 第一输出, 第二输出, 反相, 有效, 无效, 移位寄存器, 电平, 同时, 输入, 输出, first, second, output, invert+, input, shift, register, level, invalid, valid

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	CN 103000155 A (BOE TECHNOLOGY GROUP CO., LTD.) 27 March 2013 (2013-03-27) description, paragraphs 0030-0094, and figures 1-7	1-14
A	CN 102654968 A (BOE TECHNOLOGY GROUP CO., LTD.; CHENGDU BOE OPTOELECTRONICS TECHNOLOGY CO., LTD.) 05 September 2012 (2012-09-05) entire document	1-14
A	JP 2004258147 A (SONY CORPORATION) 16 September 2004 (2004-09-16) entire document	1-14
A	EP 2835802 A1 (BOE TECHNOLOGY GROUP CO., LTD.) 11 February 2015 (2015-02-11) entire document	1-14



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search

26 December 2019

Date of mailing of the international search report

10 January 2020

Name and mailing address of the ISA/CN

China National Intellectual Property Administration
No. 6, Xitucheng Road, Jimenqiao Haidian District, Beijing
100088
China

Facsimile No. (86-10)62019451

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/CN2019/081019

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)
CN	103000155	A	27 March 2013	CN	103000155	B	08 October 2014
CN	102654968	A	05 September 2012	WO	2013075536	A1	30 May 2013
				CN	102654968	B	10 December 2014
JP	2004258147	A	16 September 2004	TW	200502629	A	16 January 2005
				KR	20040076605	A	01 September 2004
				TW	I288264	B	11 October 2007
				JP	3797337	B2	19 July 2006
				CN	100472664	C	25 March 2009
				KR	100999894	B1	13 December 2010
				US	7283117	B2	16 October 2007
				US	2004164947	A1	26 August 2004
				CN	1538457	A	20 October 2004
EP	2835802	A1	11 February 2015	KR	101497250	B1	04 March 2015
				JP	6043862	B2	14 December 2016
				JP	2015518624	A	02 July 2015
				WO	2013143303	A1	03 October 2013
				US	8929506	B2	06 January 2015
				KR	20130130721	A	02 December 2013
				CN	102651239	B	18 June 2014
				US	2014064436	A1	06 March 2014
				CN	102651239	A	29 August 2012
				EP	2835802	A4	19 August 2015
				EP	2835802	B1	22 February 2017

国际检索报告

国际申请号

PCT/CN2019/081019

A. 主题的分类

G09G 3/36(2006.01)i; G11C 19/28(2006.01)i

按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类

B. 检索领域

检索的最低限度文献(标明分类系统和分类号)

G09G 3; G11C 19

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用))

CNABS;CNTXT;VEN:第一输出, 第二输出, 反相, 有效, 无效, 移位寄存器, 电平, 同时, 输入, 输出, first, second, output, invert+, input, shift, register, level, invalid, valid

C. 相关文件

类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求
A	CN 103000155 A (京东方科技集团股份有限公司) 2013年 3月 27日 (2013 - 03 - 27) 说明书第0030-0094段、附图1-7	1-14
A	CN 102654968 A (京东方科技集团股份有限公司 成都京东方光电科技有限公司) 2012 年 9月 5日 (2012 - 09 - 05) 全文	1-14
A	JP 2004258147 A (SONY CORP) 2004年 9月 16日 (2004 - 09 - 16) 全文	1-14
A	EP 2835802 A1 (BOE TECHNOLOGY GROUP CO LTD) 2015年 2月 11日 (2015 - 02 - 11) 全文	1-14

☐ 其余文件在C栏的续页中列出。☒ 见同族专利附件。

* 引用文件的具体类型:

“A” 认为不特别相关的表示了现有技术一般状态的文件

“E” 在国际申请日的当天或之后公布的在先申请或专利

“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件(如具体说明的)

“O” 涉及口头公开、使用、展览或其他方式公开的文件

“P” 公布日先于国际申请日但迟于所要求的优先权日的文件

“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件

“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性

“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性

“&” 同族专利的文件

国际检索实际完成的日期

2019年 12月 26日

国际检索报告邮寄日期

2020年 1月 10日

ISA/CN的名称和邮寄地址

中国国家知识产权局(ISA/CN)

中国北京市海淀区蓟门桥西土城路6号 100088

传真号 (86-10)62019451

授权官员

孙培安

电话号码 86-(010)-62085800

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2019/081019

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
CN	103000155	A	2013年 3月 27日	CN	103000155	B	2014年 10月 8日
CN	102654968	A	2012年 9月 5日	WO	2013075536	A1	2013年 5月 30日
				CN	102654968	B	2014年 12月 10日
JP	2004258147	A	2004年 9月 16日	TW	200502629	A	2005年 1月 16日
				KR	20040076605	A	2004年 9月 1日
				TW	1288264	B	2007年 10月 11日
				JP	3797337	B2	2006年 7月 19日
				CN	100472664	C	2009年 3月 25日
				KR	100999894	B1	2010年 12月 13日
				US	7283117	B2	2007年 10月 16日
				US	2004164947	A1	2004年 8月 26日
				CN	1538457	A	2004年 10月 20日
EP	2835802	A1	2015年 2月 11日	KR	101497250	B1	2015年 3月 4日
				JP	6043862	B2	2016年 12月 14日
				JP	2015518624	A	2015年 7月 2日
				WO	2013143303	A1	2013年 10月 3日
				US	8929506	B2	2015年 1月 6日
				KR	20130130721	A	2013年 12月 2日
				CN	102651239	B	2014年 6月 18日
				US	2014064436	A1	2014年 3月 6日
				CN	102651239	A	2012年 8月 29日
				EP	2835802	A4	2015年 8月 19日
				EP	2835802	B1	2017年 2月 22日