

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2007-116834

(P2007-116834A)

(43) 公開日 平成19年5月10日(2007.5.10)

(51) Int. Cl.

H02M 3/28 (2006.01)

F I

H02M 3/28

W

テーマコード (参考)

5H730

H02M 3/28

H

審査請求 未請求 請求項の数 4 O L (全 6 頁)

(21) 出願番号 特願2005-306321 (P2005-306321)

(22) 出願日 平成17年10月20日 (2005.10.20)

(71) 出願人 000000295

沖電気工業株式会社

東京都港区虎ノ門1丁目7番12号

(74) 代理人 100115417

弁理士 鈴木 弘一

(72) 発明者 宮下 和也

東京都港区虎ノ門1丁目7番12号 沖電

気工業株式会社内

Fターム(参考) 5H730 AA14 AS01 BB13 BB82 BB88

DD04 FD01 FD31 FG05 XC12

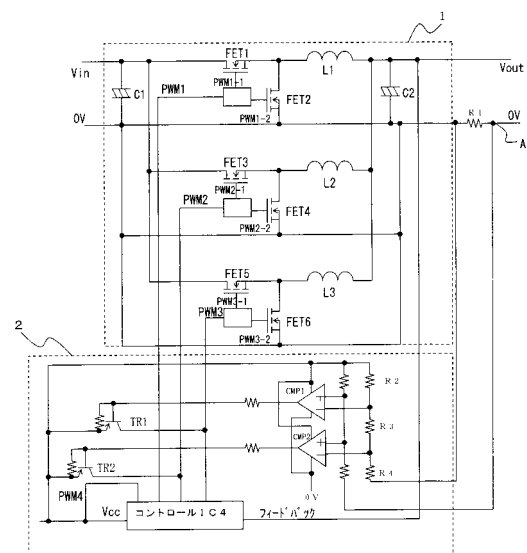
(54) 【発明の名称】 マルチフェーズ型DC/DCコンバータ回路

(57) 【要約】

【課題】従来のマルチフェーズ型DC/DCコンバータにおいては、フェーズ数が固定であり最大の効率の出力を常時得ることは困難である。

【解決手段】マルチフェーズ型DC/DCコンバータにおいて、出力負荷の大きさに動作フェーズ数がリアルタイムに切り替わる回路を設けた。また、周囲温度の変化で動作フェーズ数がリアルタイムに切り替わる回路を設けた。

【選択図】 図1



本発明の実施例1のマルチフェーズ型DC/DCコンバータの回路図

## 【特許請求の範囲】

## 【請求項 1】

複数の動作フェーズを有するマルチフェーズ型 DC / DC コンバータ回路において、前記回路の出力負荷の大きさに基づいて動作フェーズの動作数を切り替え可能なフェーズ切替回路を設けたことを特徴とするマルチフェーズ型 DC / DC コンバータ回路。

## 【請求項 2】

複数の動作フェーズを有するマルチフェーズ型 DC / DC コンバータ回路において、前記回路の周囲温度に基づいて動作フェーズの動作数を切替可能なフェーズ切替回路を設けたことを特徴とするマルチフェーズ型 DC / DC コンバータ回路。

## 【請求項 3】

前記フェーズ切替回路はサーミスタを有し、  
該サーミスタにより前記周囲温度の変化を検出することを特徴とする請求項 2 記載のマルチフェーズ型 DC / DC コンバータ回路。

## 【請求項 4】

前記フェーズ切替回路は複数のコンパレータからなることを特徴とする請求項 1 または 2 記載のマルチフェーズ型 DC / DC コンバータ回路。

## 【発明の詳細な説明】

## 【技術分野】

## 【0001】

本発明は、高効率で出力制御をおこなう制御回路を有するマルチフェーズ型 DC / DC コンバータ回路に関するものである。

## 【背景技術】

## 【0002】

IT 機器の高機能化、高速化、大規模化にともない、電源回路から供給される電流も増大している。特にパソコン場合、CPU のクロックの高速化とパソコンから電源が供給される周辺機器の多様化などにより、内蔵されるバッテリーに要求される出力性能もより強力なものが求められているが、単一の DC / DC コンバータでは大電流の供給が困難である。

## 【0003】

また、電源電圧に発生するリップル除去のために大容量または多数のコンデンサが必要となり、携帯性を重視するパソコンなどの機器では小型化の妨げになる。そこで、上記したようは課題を解決するために、DC / DC コンバータを複数並列に組み合わせ、それぞれの出力の位相をずらすことにより、大電流化、リップル率の改善を図ったマルチフェーズ型 DC / DC コンバータが使用されている。

## 【0004】

図 3 は従来のマルチフェーズ型 DC / DC コンバータの構成を示したものである。1 はマルチフェーズ型 DC / DC コンバータ回路であり、C1, C2 は電解コンデンサ、L1 ~ L3 はコイル、FET1 ~ 6 は MOS - FET である。図 3 に示すコントロール IC4 は、4 フェーズまで対応しており、使用しないフェーズのパルス幅変調器 PWM を Vcc に接続することにより、そのフェーズの動作を無効にしている。

## 【0005】

コントロール IC4 から各フェーズのドライバ IC にパルス幅変調信号がパルス幅変調器 PWM1 ~ 3 から入力される。各フェーズのドライバ IC は 2 つの MOS - FET に各々交互にオンオフするパルス幅変調信号をパルス幅変調器の端子 PWM1 - 1 ~ PWM3 - 2 により入力することで、MOS - FET がスイッチングを行っている。コントロール IC4 には検出したフィードバック信号が入力され、出力電圧を制御している。マルチフェーズ回路のフェーズ数を決定する際、出力最大負荷の大きさに合わせて採用するフェーズ数を決定する。

## 【特許文献 1】特開 2003 - 284333 号

## 【発明の開示】

10

20

30

40

50

## 【発明が解決しようとする課題】

## 【0006】

上記した従来のマルチフェーズ型DC/DCコンバータにおいては、一度フェーズ数を決定するとそのフェーズ数は固定されてしまい変更することができない構造となっている。実際の電力変換効率は、図4に示すように高負荷になるほど、フェーズのより多い回路の方が高効率となり、低負荷時にはフェーズがより少ない回路の方が高効率になる。このことからフェーズを固定してしまうと、電力変換効率が負荷の大きさに依存してしまうため常に最大の効率を得ることは不可能となり低負荷～高負荷の広い負荷範囲で高効率を得ることができない。

## 【課題を解決するための手段】

## 【0007】

上記のような課題を解決するために、本発明ではマルチフェーズ型DC/DCコンバータにおいて、出力負荷の大きさに動作フェーズ数が切り替わる回路を設けた。また、回路の周囲温度の変化で動作フェーズ数が切り替わる回路を設け、常に高効率な動作を可能とする機能を持たせるようにした。

## 【発明の効果】

## 【0008】

上記した構成により、電力変換効率が負荷の大きさに依存せず、低負荷から高負荷の広い負荷範囲で高効率を得られ、負荷の大きさに関わらず常に最大の効率を得ることが可能になる。結果として安定して高出力のマルチフェーズ型DC/DCコンバータを提供することにより、IT機器に安定して電力を供給することができる。

## 【発明を実施するための最良の形態】

## 【0009】

以下に本発明を実施するための最良の形態である実施例1乃至2について順次説明する。

## 【実施例1】

## 【0010】

本発明の実施例1の形態では、従来のマルチフェーズ型DC/DCコンバータにおいて、出力負荷の大きさに動作フェーズ数が切り替わるフェーズ切替回路を設けるようにしたものである。

## 【0011】

## (構成)

次に本発明の実施例1の構成を説明する。図1はこの発明の第1の実施例を示す回路である。1はマルチフェーズ型DC/DCコンバータの回路であり各フェーズの回路、電圧の制御方法は従来の回路と同様である。2は、マルチフェーズ回路の動作フェーズ数を切り替えるフェーズ切替回路であり、出力負荷の大きさによってフェーズ数がリアルタイムに切り替わる特性を有し、電流検出抵抗R1とコンパレータCMP1及びCMP2、トランジスタTR1及びTR2からなる。電流検出抵抗R1によって出力負荷の大きさを常に検出する。出力負荷の大きさに比例したポイントAの電位がコンパレータCMP1のプラス端子及びコンパレータCMP2のプラス端子にセットされる。

## 【0012】

ここでフェーズ切替電圧を生成し、コンパレータCMP1のマイナス端子とコンパレータCMP2のマイナス端子にセットする。ここでフェーズ切替電圧とは、図2に示す1フェーズと2フェーズの効率が切り替わるポイントXをコンパレータCMP2のマイナス端子、2フェーズと3フェーズの効率が切り替わるポイントYをコンパレータCMP1のマイナス端子とする。

## 【0013】

## (動作)

次に実施例1の回路の動作について説明する。出力負荷が小さい場合は、電流検出抵抗1によって生じたポイントAの電位がコンパレータCMP1、コンパレータCMP2のい

10

20

30

40

50

ずれのフェーズ切替電圧より低いことからコンパレータCMP1、コンパレータCMP2の出力が'L'レベルとなり、トランジスタTR1、トランジスタTR2のE-B間に電圧が発生することで、トランジスタ1及び2はON状態となる。これによりパルス幅変調器PWM2の信号とVcc間、パルス幅変調器PWM3の信号とVccが導通し'H'レベルに固定されるため、1フェーズとして動作する。

【0014】

出力負荷が少し大きい場合は、電流検出抵抗R1によって生じたポイントAの電位がコンパレータCMP1のフェーズ切替電圧より低く、コンパレータCMP2のフェーズ切替電圧より高くなることで、コンパレータCMP1の出力が'L'レベルにままだ、コンパレータCMP2の出力が'H'レベルになり、トランジスタTR1はON状態、トランジスタTR2はOFF状態となることでパルス幅変調器PWM2の信号とVcc間が切り離され2フェーズとして動作する。

10

【0015】

出力が大きい場合は、電流検出抵抗R1によって生じたポイントAの電位がコンパレータCMP1、コンパレータCMP2のフェーズ切替電圧より高くなることでコンパレータCMP1、コンパレータCMP2の出力が'H'レベルとなり、トランジスタTR1、トランジスタTR2はOFF状態となる。これによりパルス幅変調器PWM2の信号と電源電圧Vcc、パルス幅変調器PWM3の信号と電源電圧Vccが切り離され3フェーズとして動作する。

【0016】

20

上記したように、実施例1によれば、電気検出抵抗R1に流れる電流の大きさによってフェーズ数が切り替わる。これにより負荷の大きさを問わず、常に高効率な動作が可能となり電力損失が削減される。

【実施例2】

【0017】

次に実施例2の構成について説明する。図2は本発明の実施例2を示す回路である。1はマルチフェーズ回路であり各フェーズの回路、電圧の制御方法は従来の回路と同様である。3は、サーミスタを用いることでFET付近の周囲温度を検知し、その温度によってマルチフェーズ回路1の動作フェーズ数を切り替える機能を持つフェーズ切替回路である。出力負荷が大きくなるとFETの温度が高くなり、FETの付近の周囲の温度が高くなる。この場合、出力負荷の大きさをFETの周囲温度で検出することで、フェーズ数がリアルタイムに切り替わる。本実施例では、FETの周囲温度によって1～3フェーズに切り替わるようにしている。

30

【0018】

まず、図2のサーミスタr1によってFET付近の周囲温度を検出する。サーミスタr1は温度によって抵抗値が変化するため、温度に比例した電位がコンパレータCMP1、コンパレータCMP2のマイナス端子に入力される。またサーミスタr1は実際の回路では、FET1～3の近傍に位置するように設置されるものとする。

【0019】

一方、電源電圧Vccから電圧を分圧抵抗R2、R3、R4によって、最大効率が得られるようにフェーズ切替電圧を生成し、コンパレータCMP1のプラス端子とコンパレータCMP2のプラス端子にセットする。ここでフェーズ切替電圧とは、図2に示す1フェーズと2フェーズの効率が切り替わるポイントXをコンパレータCMP2のプラス端子とし、2フェーズと3フェーズの効率が切り替わるポイントをコンパレータCMP1のプラス端子とする。

40

【0020】

上記回路の動作について説明する。周囲温度が低いとサーミスタは抵抗値が高くなるため、ポイントAの電位がCMP1、CMP2のいずれのフェーズ切り替え電圧より高くなる。そうするとCMP1、CMP2の出力が'L'レベルになり、TR1、TR2のE-B間に電圧が発生することで、TR1、TR2はON状態となる。これによりパルス幅変

50

調器 P W M 2 信号 - V c c 間、パルス幅変調器 P W M 3 信号 - V c c 間が導通し ' H ' レベルに固定されるため 1 フェーズとして動作する。

【 0 0 2 1 】

検出された F E T の周囲温度が少し高い場合は、周囲温度が高くなるにつれ、サーミスタの抵抗値が少し低くなり、ポイント A の電位が C M P 1 のフェーズ切り替え電圧より低く、C M P 2 のフェーズ切り替え電圧より高くなることで、C M P 2 の出力は ' L ' レベルのまま、C M P 1 の出力が ' H ' レベルになり、T R 2 は O N 状態、T R 1 は O F F 状態となる。よって T R 1 のみが O F F 状態になることでパルス幅変調器 P W M 3 信号 - V c c 間が切り離され 2 フェーズとして動作する。

【 0 0 2 2 】

検出された F E T の周囲温度が高い場合は、サーミスタの抵抗値がさらに低くなり、ポイント A の電位が C M P 1、C M P 2 のフェーズ切り替え電圧より低くなることで、C M P 1、C M P 2 の出力が ' H ' レベルとなり、T R 1、T R 2 は O F F 状態となる。これによりパルス幅変調器 P W M 2 信号 - V c c 間、パルス幅変調器 P W M 3 信号 - V c c 間が切り離され 3 フェーズとして動作する。

上記したように実施例 2 によると、サーミスタを用いて F E T 周辺の温度変化を検知することで出力負荷の増減を判断して、リアルタイムにフェーズ数が切り替わる。これにより、負荷の大きさを問わず、常に高効率な動作が可能となり、電力損失が削減される。

【 図面の簡単な説明 】

【 0 0 2 3 】

【 図 1 】 本発明の実施例 1 のマルチフェーズ型 D C / D C コンバータの構成図である。

【 図 2 】 本発明の実施例 2 のマルチフェーズ型 D C / D C コンバータの構成図である。

【 図 3 】 従来のマルチフェーズ型 D C / D C コンバータの構成図である。

【 図 4 】 マルチフェーズ型 D C / D C コンバータの消費電流と効率の関係図である。

【 符号の説明 】

【 0 0 2 4 】

1 マルチフェーズ型 D C / D C コンバータ

2 フェーズ切替回路

3 フェーズ切替回路

4 コントロール I C

C M P 1 ~ 2 コンパレータ

R 1 電流検出抵抗

R 2 ~ 4 分圧抵抗

F E T 1 ~ 6 M O S - F E T

T R 1 ~ 2 トランジスタ

P W M 1 ~ 3 パルス幅変調器

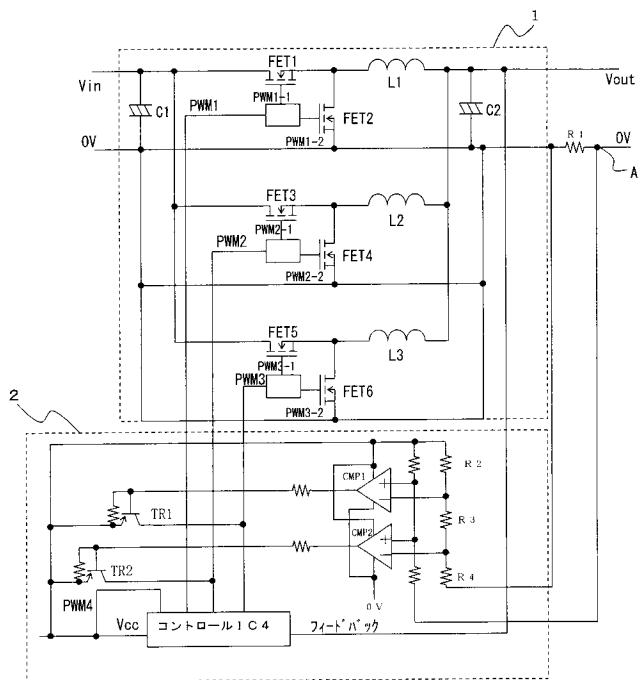
r 1 サーミスタ

10

20

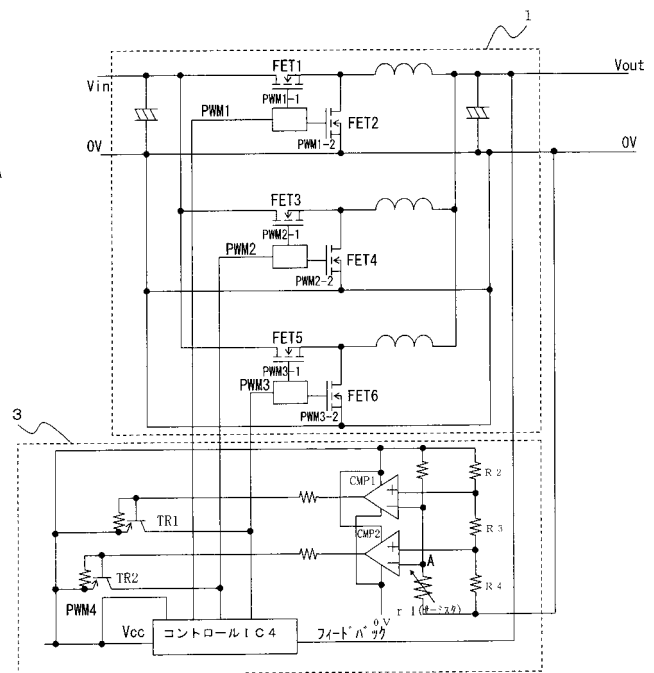
30

【図 1】



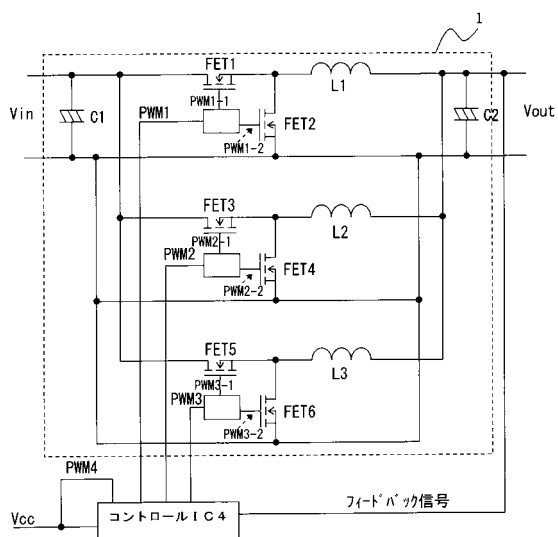
本発明の実施例 1 のマルチフェーズ型 DC/DC コンバータの回路図

【図 2】



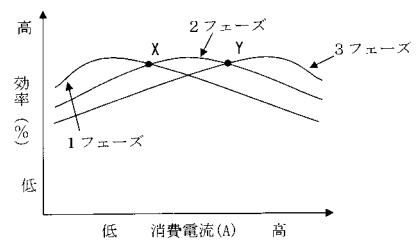
本発明の実施例 2 のマルチフェーズ型 DC/DC コンバータの回路図

【図 3】



従来のマルチフェーズ型 DC/DC コンバータの回路図

【図 4】



マルチフェーズ型 DC/DC コンバータの消費電流と効率の関係図