

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4064595号  
(P4064595)

(45) 発行日 平成20年3月19日(2008.3.19)

(24) 登録日 平成20年1月11日(2008.1.11)

(51) Int.Cl.

F I

H O 1 L 21/3205 (2006.01)

H O 1 L 21/88

R

H O 1 L 23/52 (2006.01)

請求項の数 2 (全 10 頁)

(21) 出願番号 特願2000-89289(P2000-89289)  
 (22) 出願日 平成12年3月28日(2000.3.28)  
 (65) 公開番号 特開2001-274159(P2001-274159A)  
 (43) 公開日 平成13年10月5日(2001.10.5)  
 審査請求日 平成16年6月24日(2004.6.24)

(73) 特許権者 000003078  
 株式会社東芝  
 東京都港区芝浦一丁目1番1号  
 (74) 代理人 100058479  
 弁理士 鈴江 武彦  
 (74) 代理人 100084618  
 弁理士 村松 貞男  
 (74) 代理人 100092196  
 弁理士 橋本 良郎  
 (74) 代理人 100091351  
 弁理士 河野 哲  
 (74) 代理人 100088683  
 弁理士 中村 誠  
 (74) 代理人 100070437  
 弁理士 河井 将次

最終頁に続く

(54) 【発明の名称】 半導体装置の製造方法

(57) 【特許請求の範囲】

【請求項1】

半導体基板上の絶縁層上に導電層を形成する工程と、  
 前記導電層及び絶縁層に溝を形成する工程と、  
 前記導電層及び溝の表面に沿って第1のバリアメタル層を形成する工程と、  
 第1のバリアメタル層上に、前記溝内を埋め込むように、配線層を形成する工程と、  
 少なくとも前記絶縁層上で前記導電層が連続的に残置しうる範囲で、前記配線層の表面  
 に対して平坦化处理を行い、前記溝内に配線層を埋め込み形成する工程と、  
 前記配線層の表面を前記絶縁層の表面より後退させて凹部を形成する工程と、  
 前記導電層及び前記配線層上に、前記絶縁層上に残置する導電層を用いた電解メッキ法  
 によって第2のバリアメタル層を形成する工程と、  
 第2のバリアメタル層及び導電層の表面を、前記絶縁層の表面が露出するまで平坦化する  
 工程とを含むことを特徴とする半導体装置の製造方法。

10

【請求項2】

前記配線層は、電解メッキ法により形成されることを特徴とする請求項1に記載の半導  
 体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、多層配線技術に係わり、特に配線層の全面をバリアメタルで覆った半導体装置

20

の製造方法に関する。

【0002】

【従来の技術】

Cuはシリコンデバイスのライフタイムキラーとなるため、CuをLSI配線として適用するには層間膜中へのCuの拡散を抑えることが必須である。それに加え、配線上部バリア層にはプロセス中にCu配線表面が酸化されることを防止する機能が要求される。

【0003】

従来、Cu配線上部バリア層としては窒化シリコン層が用いられてきたが、誘電率が高いために配線間容量を増大させてしまう問題があった。これを解決するためにCu配線上面に側面や底面に用いられていると同じかあるいは同等のバリア層を形成して配線を完全に包囲することが提案されている。

10

【0004】

この構造の形成方法としては、Cuダマシンプ配線を形成した後、Cu配線表面を絶縁膜表面より後退させるいわゆるリセスエッチング処理を行い、その後ウエハ全面にバリア層を成膜して化学的機械的研磨(CMP)により配線上にのみバリア層を残存させる方法が考案されている。

【0005】

配線間容量を抑えるためにはリセス量を小さくすることが望ましいが、その場合には化学的機械的研磨(CMP)の研磨速度の面内バラつきやディッシングによりウエハ全面のパターンにおいて十分な膜厚のバリア層を残存させることが困難である。

20

【0006】

一方配線間容量は増加するものの、リセス量を大きくすることにより化学的機械的研磨(CMP)における上記の問題は解決できるが、バリア層形成後も絶縁膜表面との段差が大きいため、その後工程において酸化膜等の成膜時に十分なカバレッジが得られない等の問題が生じてしまう。

【0007】

ところで、ダマシンププロセスを用いて形成される配線の上部をバリアメタルで覆う試みは種々なされている。最も一般的な方法は、PVDやCVDによる金属膜堆積である。しかし、配線上部にバリアメタルを残すためには、いわゆる「リセス工程」を用いることになり、配線表面を下部に持つ凹部への膜堆積を行う必要があり、PVDやCVDの段差被覆性が不十分だとバリアメタルの機能が十分に果たせなくなる。

30

【0008】

また、配線上部へのバリアメタル形成工程は、配線のCMP、配線のリセス、(必要に応じて)クリーニング、バリアメタル形成、余分なバリアメタルのCMP、(必要に応じて)CMPという工程順序を辿る。ここで、バリアメタル形成以外は湿式処理が一般的で、バリアメタル形成工程を湿式化出来れば、一連の工程が全て湿式装置内で連続的に行える可能性もある。以上のように湿式のメッキ法は段差被覆性良く、工程の連続性も確保できることから都合が良い。

【0009】

そこで湿式のバリアメタル形成方法として、無電解メッキが試みられている。この方法は分断された配線に対して選択的に金属膜形成が可能のため一見有望と思われるが、大きな制約がある。無電解メッキは、その原理から金属配線表面に膜形成の出来る金属種が限られてしまうのである。実際、ダマシンプ法によって形成された銅配線の上部へのバリアメタル形成を念頭に置いた場合適切な金属膜の形成が出来ない。

40

【0010】

一方、電解メッキは、電氣的にメタルイオンを導電膜表面に電着させることからメッキ材料の制約を受けにくい。ところが、電解メッキは配線層にメッキのための電位を与えずにはならず、通常の工程では配線へのメタル形成の時点で配線は分断されておりメッキ電流を流すことが不可能である。

【0011】

50

## 【発明が解決しようとする課題】

上述したように、配線層上のバリアメタル層を埋め込み形成するための凹部を形成するためにリセス量を小さくすると、十分な膜厚のバリアメタル層を残存させることが困難であるという問題があった。リセス量を大きくすると、バリアメタル層形成後の絶縁膜表面との段差が大きいため、その後の工程において酸化膜等の成膜時に十分なカバレッジが得られない、配線間容量がその分増大してしまう等の問題があった。

## 【0012】

また、配線層上に形成するバリアメタル層の形成方法として、電解メッキ法を用いることが望まれているが、絶縁層上に導電層が形成されていないために、メッキ電流を流すことができず、電解メッキ法によりバリアメタル層を形成することができないという問題があった。

10

## 【0014】

本発明の目的は、電解メッキ法により配線層の表面を覆うバリアメタルを形成し得る半導体装置の製造方法を提供することにある。

## 【0015】

## 【課題を解決するための手段】

## 〔構成〕

本発明は、上記目的を達成するために以下のように構成されている。

## 【0018】

本発明の半導体装置の製造方法は、半導体基板上の絶縁層上に導電層を形成する工程と、前記導電層及び絶縁層に溝を形成する工程と、前記導電層及び溝の表面に沿って第1のバリアメタル層を形成する工程と、第1のバリアメタル層上に、前記溝内を埋め込むように、配線層を形成する工程と、少なくとも前記絶縁層上で前記導電層が連続的に残置する範囲で、前記配線層の表面に対して平坦化処理を行い、前記溝内に配線層を埋め込み形成する工程と、前記配線層の表面を前記絶縁層の表面より後退させて凹部を形成する工程と、前記導電層及び前記配線層上に、前記絶縁層上に残置する導電層を用いた電解メッキ法によって第2のバリアメタル層を形成する工程と、第2のバリアメタル層及び導電層の表面を、前記絶縁層の表面が露出するまで平坦化する工程とを含むことを特徴とする。

20

## 【0019】

上記に記載した発明において、前記配線層は、電解メッキ法により形成されることが好ましい。

30

## 【0020】

## 〔作用〕

本発明は、上記構成によって以下の作用・効果を有する。

## 【0023】

配線層の平坦化工程において絶縁層上に配線の側部を覆うバリアメタル層或いは導電層を連続的に残存させることによって、安価で高速な電解メッキプロセスで、配線上のバリアメタル形成が可能となり、形成可能な金属種は無電解法に較べきわめて広い。また、ダマシン法による配線形成プロセスを全て湿式で行えるため連続して同一装置での処理が可能になり、速く安価、単純な工程を実現できる。

40

## 【0024】

## 【発明の実施の形態】

本発明の実施の形態を以下に図面を参照して説明する。

## 【0025】

## 〔第1実施形態〕

図1は、本発明の第1の実施形態に係わる半導体装置の製造工程を示す工程断面図である。

先ず、図1(a)に示すように、Si基板(半導体基板)11上に熱酸化膜12を100nm形成した後、CVD法により窒化シリコン膜13を30nm、CVD法により酸化シリコン膜14を400nm堆積する。酸化シリコン膜14上にカーボン膜(中間層)15

50

を100nm堆積する。

【0026】

次いで、図1(b)に示すように、通常のPEP及びエッチングにより、カーボン膜15をパターンングした後、このカーボン膜15をマスクとしてRIEにより溝16を形成する。溝16は、長さ3 $\mu\text{m}$ 、L/S=0.2/0.2 $\mu\text{m}$ の、配線両端が電極パッドに接続されるパターンである。

【0027】

次いで、図1(c)に示すように、スパッタリング法により膜厚20nmの第1のTa<sub>2</sub>N<sub>5</sub>膜(第1のバリアメタル層)17を形成する。更に、第1のTa<sub>2</sub>N<sub>5</sub>膜17上に膜厚200nmのCu膜を堆積した後、硫酸銅を用いた電解メッキ法によりさらにCu膜の形成を行って、溝16内を埋め込むようにCu配線層18を堆積する。次いで、図1(d)に示すように、第1のTa<sub>2</sub>N<sub>5</sub>膜17をエッチングストップパに用いて、Cu配線層18の表面に対してCMP処理を行い、第1のTa<sub>2</sub>N<sub>5</sub>膜17を露出させる。

10

【0028】

次いで、図1(e)に示すように、このウエハをスピネッチャ装置にてウエハを高速回転させながら酸を用いてリセス処理を行ってCu配線層18の表面を後退させて、凹部19を形成する。リセス処理後、純水で5分間リンスした後乾燥させる。Cu配線層18のリセス量は150nmであり、試料の断面形状は良好であった。

【0029】

次いで、図1(f)に示すように、スパッタリング法により全面に第2のTa<sub>2</sub>N<sub>5</sub>膜20を50nm形成する。そして、図1(g)に示すように、化学的機械的研磨(CMP)処理によりカーボン膜15上の第2のTa<sub>2</sub>N<sub>5</sub>膜20及び第1のTa<sub>2</sub>N<sub>5</sub>膜17を除去し、ウエハ全面でフィールド上のカーボン膜15を露出させる。第2のTa<sub>2</sub>N<sub>5</sub>膜20の膜厚に比べてCu配線層18のリセス量が大きいため、Cu配線層18の上部に第2のTa<sub>2</sub>N<sub>5</sub>膜20はウエハ全面に十分な膜厚残存していた。

20

【0030】

この後、図1(h)に示すように、O<sub>2</sub>ガスを用いたCDEにより、カーボン膜15を除去する。凹部の側壁に形成されていたTa<sub>2</sub>N<sub>5</sub>膜の残存分を除去するため、Ta<sub>2</sub>N<sub>5</sub>膜の化学的機械的研磨(CMP)に用いるスラリーにより10秒間研磨を行った。この処理は通常の化学的機械的研磨(CMP)に比べて時間が短いため、残存しているTa<sub>2</sub>N<sub>5</sub>膜を除去するのみで、Cu配線上のTa<sub>2</sub>N<sub>5</sub>膜には何ら影響は見られなかった。

30

【0031】

本実施形態ではリセス処理前の化学的機械的研磨(CMP)をTa<sub>2</sub>N<sub>5</sub>膜17を露出させる段階で停止したが、酸化シリコン膜14を露出させた後リセスエッチング処理を行っても構わない。

【0032】

こうして形成したウエハをブローバにより配線抵抗を測定した後、内部が300 $\text{mmHg}$ の大気雰囲気であるオープン中で1時間放置する加速試験を行った。加速試験後、再びブローバによりCu配線の抵抗を測定したところ、加速試験の前後で変化がなかったことから、バリア層が酸化防止層として機能していることが確認された。また、配線パターンが多数形成されたウエハ上に塗布により絶縁膜を形成した後、450 $\text{mmHg}$  60時間のアニールを施した。塗布絶縁膜を溶解してCu濃度を測定したところ、アニールの有無で有意差はなかった。このことにより上部バリア層がCu拡散防止層として機能していることが確認された。

40

【0033】

同様にして作成したウエハ上に酸化シリコン膜を成膜して上層配線を形成したところ、従来の工程により問題なく所望の性能を得ることができた。

【0034】

なお、中間層としては、カーボン膜以外に、窒化シリコン膜、酸化シリコン膜等を用いることができる。

50

## 【 0 0 3 5 】

## [ 第 2 実施形態 ]

図 2 は、本発明の第 1 の実施形態に係わる半導体装置の製造工程を示す工程断面図である。

先ず、図 2 ( a ) に示すように、S i 基板 ( 半導体基板 ) 1 1 上に熱酸化膜 1 2 を 1 0 0 n m 形成した後、C V D 法により窒化シリコン膜 1 3 を 3 0 n m、さらに塗布により低誘電率絶縁膜 2 4 を 4 0 0 n m 堆積した。この低誘電率絶縁膜 2 4 は、酸化シリコンの骨格内にメチル基を多数含有したもので、フッ酸に対して耐性がある。低誘電率絶縁膜 2 4 上に C V D 法により酸化シリコン膜 ( 中間層 ) 2 5 を 1 0 0 n m 堆積する。

## 【 0 0 3 6 】

次いで、図 2 ( b ) に示すように、通常の P E P 及びエッチングにより、酸化シリコン膜 2 5 及び低誘電率絶縁層 2 4 に溝 1 6 を形成する。溝 1 6 は、長さ 3 μ m、L / S = 0 . 2 / 0 . 2 μ m の、配線両端が電極パッドに接続されるパターンである。

## 【 0 0 3 7 】

次いで、図 2 ( c ) に示すように、スパッタリング法により膜厚 2 0 n m の第 1 の T a N 膜 ( 第 1 のバリアメタル層 ) 1 7 を形成する。更に、第 1 の T a N 膜 1 7 上に膜厚 2 0 0 n m の C u 膜を堆積した後、硫酸銅を用いた電解メッキ法により C u 膜の形成を行って、溝 1 6 内を埋め込むように C u 配線層 1 8 を堆積する。次いで、図 2 ( d ) に示すように、第 1 の T a N 膜 1 7 をエッチングストッパに用いて、C u 配線層 1 8 の表面に対して C M P 処理を行い、第 1 の T a N 膜 1 7 を露出させた後、さらに別の C M P 処理により酸化シリコン膜 2 5 を露出させる。

## 【 0 0 3 8 】

次いで、図 2 ( e ) に示すように、このウエハをスピネッチャ装置にてウエハを高速回転させながら酸を用いてリセス処理を行って C u 配線層 1 8 の表面を後退させて、凹部 1 9 を形成する。リセス処理後、純水で 5 分間リンスした後乾燥させる。C u 配線層 1 8 のリセス量は 1 5 0 n m であり、試料の断面形状は良好であった。

## 【 0 0 3 9 】

次いで、図 2 ( f ) に示すように、スパッタリング法により全面に第 2 の T a N 膜 2 0 を 5 0 n m 形成する。そして、図 2 ( g ) に示すように、化学的機械的研磨 ( C M P ) 処理により酸化シリコン膜 2 5 上の第 2 の T a N 膜 2 0 を除去し、ウエハ全面でフィールド上の酸化シリコン膜 2 5 を露出させる。第 2 の T a N 膜 2 0 の膜厚に比べて C u 配線層 1 8 のリセス量が大きいため、C u 配線層 1 8 の上部に第 2 の T a N 膜 2 0 はウエハ全面に十分な膜厚残存していた。

## 【 0 0 4 0 】

次いで、図 2 ( h ) に示すように、フッ酸により、酸化シリコン膜 2 5 を除去する。凹部の側壁に形成されていた T a N 膜の残存分を除去するため、T a N 膜の化学的機械的研磨 ( C M P ) に用いるスラリーにより 1 0 秒間研磨を行った。この処理は通常の化学的機械的研磨 ( C M P ) に比べて時間が短いため、残存している T a N 膜を除去するのみで、C u 配線層 1 8 上の第 2 の T a N 膜 2 0 には何ら影響は見られなかった。

## 【 0 0 4 1 】

第 1 の実施形態と同様の試験を行った結果、良好な酸化耐性、C u バリア性、及び後工程との整合性が確認された。

## 【 0 0 4 2 】

## [ 第 3 実施形態 ]

本実施形態は、工程途中で配線の下に形成されるバリアメタルを電解メッキの導電体層として用いたものである。また、本実施形態では、銅配線を用いた。図 3 , 4 は、本発明の第 3 実施形態に係わる半導体装置の製造工程を示す工程断面図である。

## 【 0 0 4 3 】

先ず、図 3 ( a ) に示すように、S i 基板 3 1 上に形成された層間絶縁膜 3 2 に溝 ( 深さ 4 5 0 n m ) ・孔 3 3 を形成する。次いで、図 3 ( b ) に示すように、バリア層として膜

10

20

30

40

50

厚20nmのTa<sub>2</sub>N(窒化タンタル)膜(第1のバリアメタル層)34をスパッタ法で形成する。更に、膜厚100nmのスパッタ銅膜35をスパッタ法で形成した後、スパッタ銅膜35を導電層として膜厚900nmの電解メッキ銅膜36を形成する。以下では、スパッタ銅膜35と電解メッキ銅膜36とを銅配線層35,36と記す。

【0044】

次いで、図3(c)に示すように、CMPによって、Ta<sub>2</sub>N膜34上の余分な銅配線層35,36を除去する(ダマシン法)。このCMP工程でのスラリーは、酸化珪素が砥粒として用いられると共に、過硫酸アンモニウム等の添加が行われている。このCMP工程において、Ta<sub>2</sub>Nの除去速度は銅のそれに較べて10分の1と遅いため、Ta<sub>2</sub>N膜34を残したままスパッタ銅膜35及び電解メッキ銅膜36の除去が終了する。

10

【0045】

次いで、図4(d)に示すように、塩酸と過酸化水素水の混液を用いて、銅のみ選択的にリセスエッチングし、銅配線層35,36の表面を約100nm後退させる。

【0046】

この状態で、銅配線層35,36の間に残置されたTa<sub>2</sub>N膜34を導電層として用い、ウエハの外周部付近からマイナス電位を印可しながら、塩化ルテニウム五水和塩の水溶液からなるメッキ液にて電解メッキを行う。メッキ液中の陽極は、ルテニウムのプレートを用いた。電解メッキにより、図4(e)に示すように、ウエハ表面には一様に膜厚50nmのルテニウム膜(第2のバリアメタル層)37が形成される。ルテニウムは、銅の拡散障壁(バリア膜)として有効に機能することが知られており、これを銅配線層35,36上に形成することで銅の層間絶縁膜32への熱拡散を防ぐことが出来る。

20

【0047】

図4(f)に示すように、形成されたルテニウム膜37とTa<sub>2</sub>N膜34の内、層間絶縁膜32上のものは、この後にCMPにより除去することで下部、側壁をTa<sub>2</sub>N膜34、上部をルテニウム膜37で囲んだ銅配線35,36を形成することが出来る。

【0048】

なお、ルテニウムの表面および内部は必要に応じて窒素プラズマなどで窒化処理、硼化処理、炭化処理、珪化処理などすることでさらにバリア性能を向上させることも可能である。又、酸化ルテニウムは導電性であるため、酸化処理も可能である。

【0049】

30

[第4の実施形態]

図5,6は、本発明の第4実施形態に係わる半導体装置の製造工程を示す工程断面図である。

【0050】

先ず、図5(a)に示すように、層間絶縁膜に溝(深さ1400nm)を形成するに先立ち、層間絶縁膜32の上部に導電性のハードマスクとして膜厚80nmのタングステン膜を形成する。タングステン膜41の形成後、通常のリソグラフィ法で図示されないフォトレジストに溝のパターンを形成し、これをマスクにタングステン41及び層間絶縁膜32にドライエッチング法で溝・孔33を形成する。このドライエッチングの途中でフォトレジストが失われる場合は、パターン形成されたタングステン41をマスクに層間絶縁膜の溝加工を行う。そして、ドライエッチング終了後、フォトレジストが残存している場合には、フォトレジストを除去する。

40

【0051】

次いで、図5(b)に示すように、バリア層として膜厚50nmのTiN(窒化チタン)膜54をスパッタ法で形成する。更に、膜厚200nmのスパッタ銅膜35をスパッタ法で形成した後、スパッタ銅膜35を導電層として膜厚1700nmの電解メッキ銅膜36を形成する。

【0052】

次いで、図5(c)に示すように、CMPによって、TiN膜54上の余分なスパッタ銅膜35及び電解メッキ銅膜36を除去する(ダマシン法)。このCMP工程でのスラリー

50

は、酸化珪素が砥粒として用いられると共に、過硫酸アンモニウム等の添加が行われている。このCMP工程において、タングステンの除去速度は銅のそれに較べて20分の1と遅いため、タングステン膜41を残したままスパッタ銅膜35及び電解メッキ銅膜36の除去が終了する。ここでTiN膜の一部が残っても良い。

【0053】

次いで、図6(d)に示すように、塩酸と過酸化水素水の混液を用いて、銅の部分のみ選択的にリセスエッチングし、スパッタ銅膜35及び電解メッキ銅膜36の表面を約300nm後退させる。

【0054】

この状態で、銅配線の間に残置されたタングステン膜41を導電層として使い、ウエハの外周部付近からマイナス電位を印可しながら、硫酸ロジウム塩の水溶液にて電解メッキを行う。メッキ液中の陽極は、白金のプレートを用いた。これにより、図6(e)に示すように、ウエハ表面には一様に膜厚50nmのロジウム膜57が形成される。ロジウムは、銅の拡散障壁(バリア膜)として有効に機能することが知られており、これを銅配線上部に形成することで銅の層間絶縁膜への熱拡散を防ぐことが出来る。

【0055】

次いで、図6(f)に示すように、層間絶縁膜上のロジウム膜57、タングステン膜41とTiN膜54をCMPにより除去することで下部、側壁をTiN膜54、上部をロジウム膜57で囲んだ銅配線を形成することが出来る。

【0056】

ロジウムの表面および内部は必要に応じて窒素プラズマなどで窒化処理、硼化処理、炭化処理、珪化処理などすることでさらにバリア性能を向上させることも可能である。

【0057】

なお、本発明は、上記実施形態に限定されるものではなく、その要旨を逸脱しない範囲で、種々変形して実施することが可能である。

【0058】

【発明の効果】

以上説明したように本発明によれば、配線層表面を絶縁膜表面より後退させるリセスエッチング処理を行い、バリア層を成膜して化学的機械的研磨により配線上部にのみバリア層を残存させる工程において、バリア層の残存膜厚を確保するためにリセス量を大きくした場合にも、絶縁膜表面に絶縁膜とは異なるプロセスで除去可能な中間層をあらかじめ形成しておいて、化学的機械的研磨後に除去することにより、配線表面と絶縁膜表面の段差を改善し、後工程において絶縁膜の被覆不足等の段差に起因する問題を回避することが可能となる。

【0059】

また、配線層の平坦化工程において絶縁層上に配線の側部を覆うバリアメタル層或いは導電層を連続的に残存させることによって、安価で高速な電解メッキプロセスで、配線上のバリアメタル形成が可能となり、形成可能な金属種は無電解法に較べきわめて広い。また、ダマシン法による配線形成プロセスを全て湿式で行えるため連続して同一装置での処理が可能になり、速く安価、単純な工程を実現できる。

【図面の簡単な説明】

【図1】第1の実施形態に係わる半導体装置の製造工程を示す工程断面図。

【図2】第2の実施形態に係わる半導体装置の製造工程を示す工程断面図。

【図3】第3の実施形態に係わる半導体装置の製造工程を示す工程断面図。

【図4】第3の実施形態に係わる半導体装置の製造工程を示す工程断面図。

【図5】第4の実施形態に係わる半導体装置の製造工程を示す工程断面図。

【図6】第4の実施形態に係わる半導体装置の製造工程を示す工程断面図。

【符号の説明】

11... Si基板(半導体基板)

12... 熱酸化膜

10

20

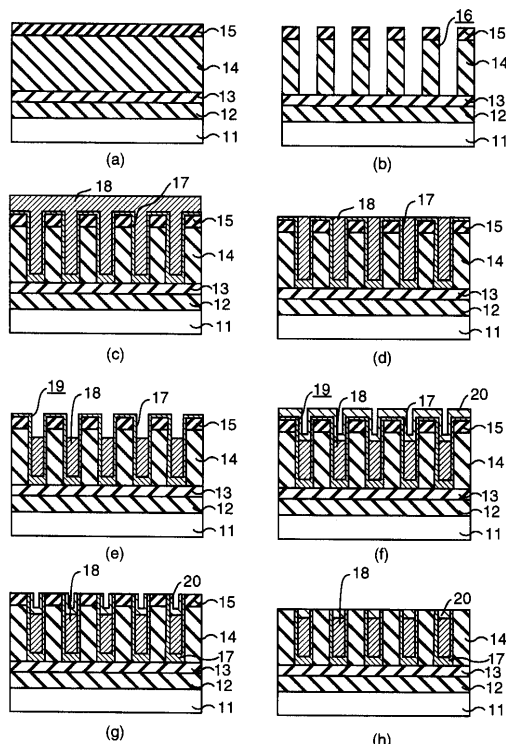
30

40

50

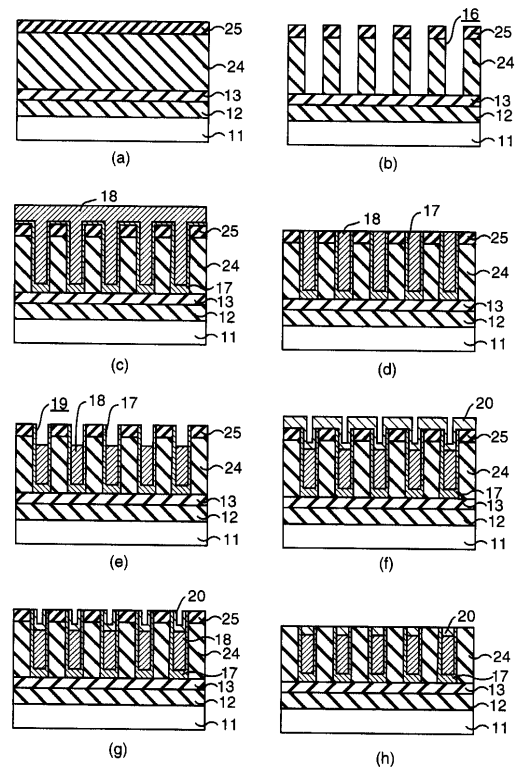
- 1 3 ...窒化シリコン膜
- 1 4 ...酸化シリコン膜
- 1 5 ...カーボン膜 (中間層)
- 1 6 ...溝
- 1 7 ...T a N膜 (第 1 のバリアメタル層)
- 1 8 ...C u 配線層
- 1 9 ...凹部
- 2 0 ...第 2 のT a N膜 (第 2 のバリアメタル層)
- 3 1 ...S i 基板 (半 導 体 基 板)
- 3 2 ...層間絶縁膜
- 3 3 ...溝・孔
- 3 4 ...T a N膜 (第 1 のバリアメタル層)
- 3 5 ...スパッタ銅膜
- 3 6 ...電解メッキ銅膜
- 3 7 ...ルテニウム膜 (第 2 のバリアメタル層)
- 4 1 ...タンゲステン膜
- 5 4 ...T i N膜
- 5 7 ...ロジウム膜

【 図 1 】



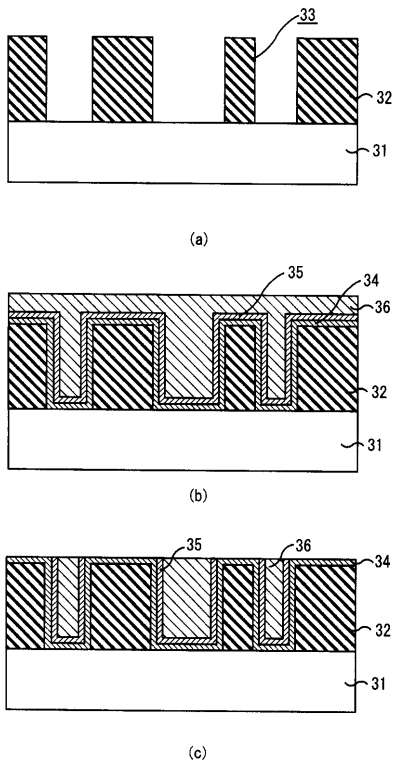
11...Si基板, 12...熱酸化膜, 13...窒化シリコン膜, 14...酸化シリコン膜,  
 15...カーボン膜, 16...溝, 17...第1のTaN膜, 18...Cu配線層, 19...凹部,  
 20...第2のTaN膜

【 図 2 】

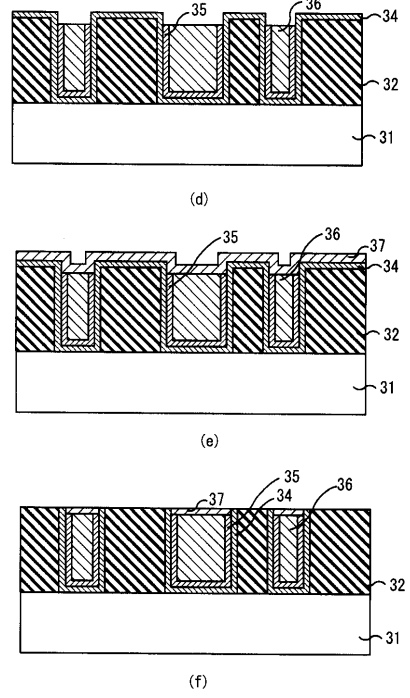


(g) (h)

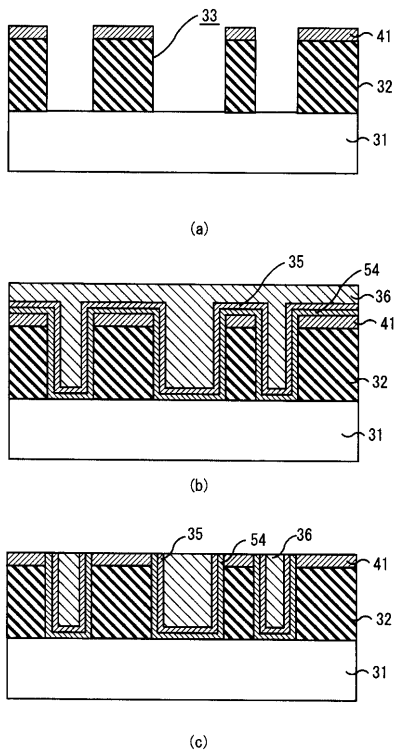
【 図 3 】



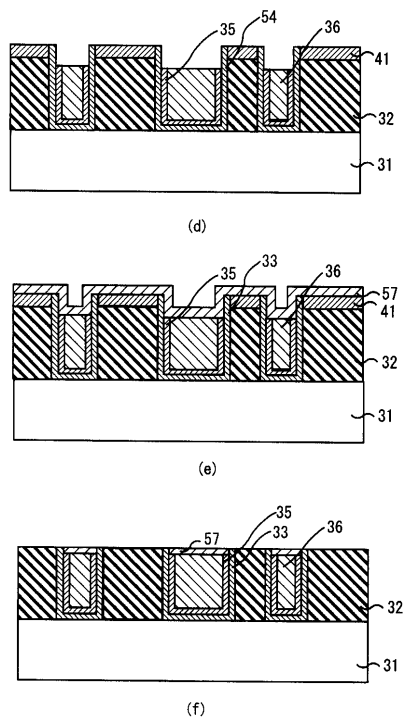
【 図 4 】



【 図 5 】



【 図 6 】



## フロントページの続き

- (72)発明者 豊田 啓  
神奈川県横浜市磯子区新杉田町8番地 株式会社東芝横浜事業所内
- (72)発明者 松田 哲朗  
神奈川県横浜市磯子区新杉田町8番地 株式会社東芝横浜事業所内
- (72)発明者 金子 尚史  
神奈川県横浜市磯子区新杉田町8番地 株式会社東芝横浜事業所内

審査官 辻 弘輔

- (56)参考文献 特表2003-501833(JP,A)  
特開平09-064034(JP,A)  
特開平08-222568(JP,A)  
特開平08-264538(JP,A)  
特開平06-120219(JP,A)  
特開平06-275612(JP,A)  
特開平09-283520(JP,A)  
特開平10-261635(JP,A)  
特開平11-045887(JP,A)

(58)調査した分野(Int.Cl., DB名)

H01L 21/3205  
H01L 21/3213  
H01L 21/768  
H01L 23/52