

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2019 年 10 月 31 日 (31.10.2019)



(10) 国际公布号
WO 2019/205236 A1

- (51) 国际专利分类号:
G09G 3/3225 (2016.01) **G09G 3/36** (2006.01)
- (21) 国际申请号: PCT/CN2018/090428
- (22) 国际申请日: 2018 年 6 月 8 日 (08.06.2018)
- (25) 申请语言: 中文
- (26) 公布语言: 中文
- (30) 优先权:
201810375329.4 2018年4月24日 (24.04.2018) CN
- (71) 申请人: 武汉华星光电半导体显示技术有限公司(WUHAN CHINA STAR OPTOELECTRONICS SEMICONDUCTOR DISPLAY TECHNOLOGY CO., LTD.) [CN/CN]; 中国湖北省武汉市东湖新技术开发区高新大道 666 号光谷生物创新园 C5 栋 305 室, Hubei 430070 (CN)。
- (72) 发明人: 沈利军(SHEN, Lijun); 中国湖北省武汉市东湖新技术开发区高新大道 666 号光谷生物创新园 C5 栋 305 室, Hubei 430070 (CN)。
- (74) 代理人: 深圳市铭粤知识产权代理有限公司(MING & YUE INTELLECTUAL PROPERTY LAW FIRM); 中国广东省深圳市南山区南山街道前海路泛海城市广场 2 栋 604 室, Guangdong 518066 (CN)。
- (81) 指定国(除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK,

(54) Title: DRIVING APPARATUS, DRIVING METHOD AND DISPLAY SYSTEM

(54) 发明名称: 驱动装置、驱动方法及显示系统

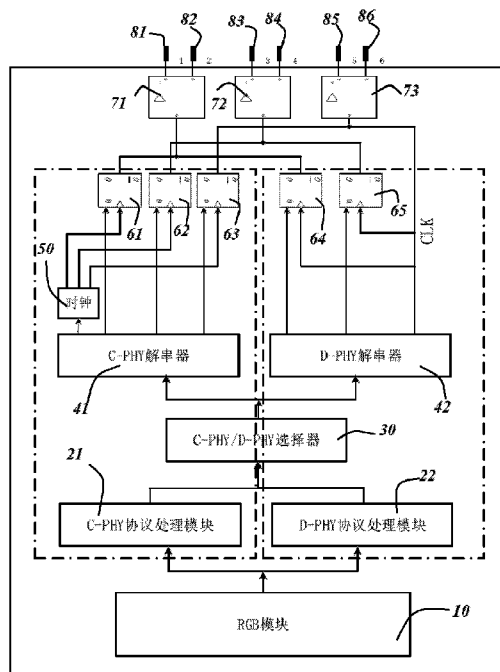


图 1

- 10 RGB module
- 21 C-PHY protocol processing module
- 22 D-PHY protocol processing module
- 30 C-PHY/D-PHY selector
- 41 C-PHY deserializer
- 42 D-PHY deserializer
- 50 Clock

(57) Abstract: A driving apparatus (100), a driving method and a display system, wherein same can use two communication modes to realize driving, and can reduce the number of communication interfaces and the circuit scale and reduce the cost. The driving apparatus (100) comprises: an RGB module (10), a C-PHY protocol processing module (21) and a D-PHY protocol processing module (22), a C-PHY/D-PHY selector (30), a C-PHY deserializer (41) and a D-PHY deserializer (42), several transmitters (71, 72, 73) and several connection terminals (81, 82, 83, 84, 85, 86).

LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX,
MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL,
PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL,
SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG,
US, UZ, VC, VN, ZA, ZM, ZW。

(84) 指定国 (除另有指明, 要求每一种可提供的地区
保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ,
NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM,
AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG,
CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU,
IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT,
RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI,
CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布:

— 包括国际检索报告 (条约第21条(3))。

(57) 摘要: 一种驱动装置 (100)、驱动方法及显示系统, 能够利用两种通信方式实现驱动, 减少了通信接口和电路规模, 降低了成本。其中, 驱动装置 (100) 包括: RGB模块 (10)、C-PHY协议处理模块 (21) 及D-PHY协议处理模块 (22)、C-PHY/D-PHY选择器 (30)、C-PHY解串器 (41) 及D-PHY解串器 (42)、若干发射器 (71, 72, 73) 及若干连接端子 (81, 82, 83, 84, 85, 86)。

驱动装置、驱动方法及显示系统

技术领域

- 5 本发明涉及驱动显示技术领域，特别是涉及一种驱动装置、驱动方法及显示系统。

背景技术

MIPI 联盟，即移动产业处理器接口（Mobile Industry Processor Interface 简称 MIPI）联盟，由其确定的通信接口标准被用于主机和外围设备之间的通信。

- 10 目前便携式终端设备和显示模块的通信最典型的为 MIPI D-PHY（Mobile Industry Processor Interface D-PHY）（Mobile Industry Processor Interface D-PHY），其由一对差分时钟信号和一对以上四对以下差分数据信号进行通信，按照 1.5Gbps/Lane 计算，MIPI D-PHY 1 Port 可支持到分辨率为 1080*3*1920 的显示模块。

- 15 MIPI C-PHY（Mobile Industry Processor Interface C-PHY）是近年来满足高分辨率的显示模块的驱动而新规定的高速通信接口，其使用三条信号线来进行通信，三条信号线分别传输高、中、低三值信号，时钟信号被埋入到三值信号中。MIPI C-PHY 每通道（Lane）的传输速率（data rate）可达到 2.85 Gbps，每通道的速率约是 MIPI D-PHY 的 2 倍，可支持到更高分辨率的显示模块。

- 20 对于高分辨率的显示模块驱动来说，IC 供应商也在积极的开发 MIPI C-PHY 和 MIPI D-PHY 1 port 以上的 Driver IC，以应对高精细化的显示模块。所以，需要利用 MIPI D-PHY 和 MIPI C-PHY 通信的驱动装置来灵活应对。最简单的方法是利用 MIPI D-PHY 通信的驱动装置和利用 MIPI C-PHY 通信的驱动装置独立驱动显示模块，或者将这二者的通信模块独立的集成到驱动装置
25 中。但上述方法中电路规模大，成本高。

因此，针对上述技术问题，有必要提供一种驱动装置、驱动方法及显示系统。

发明内容

为克服现有技术的不足，本发明的目的在于提供一种驱动装置、驱动方法及显示系统。

为了实现上述目的，本发明一实施例提供的技术方案如下：

5 一种驱动装置，所述驱动装置包括：

RGB 模块，用于接收图像数据并转换为 RGB 信号；

第一协议处理模块及第二协议处理模块，分别与所述 RGB 模块相连，所述
10 第一协议处理模块接收 RGB 信号后按照第一协议标准处理后输出第一信号，
所述第二协议处理模块接收 RGB 信号后按照第二协议标准处理后输出第二信号；

选择器，与所述第一协议处理模块及第二协议处理模块相连，选择性接收
第一信号和第二信号并输出；

第一解串器及第二解串器，与所述选择器相连，所述第一解串器用于对第
15 一信号进行解码并输出二值信号数据列，所述第二解串器用于对第二信号进行
解码并输出二值信号数据列；

若干发射器及若干连接端子，发射器与第一解串器及第二解串器相连，连
接端子与发射器相连，用于接收二值信号数据列并输出驱动信号。

作为本发明的进一步改进，所述驱动装置包括：

RGB 模块，用于接收图像数据并转换为 RGB 信号；

20 C-PHY 协议处理模块及 D-PHY 协议处理模块，分别与所述 RGB 模块相
连，所述 C-PHY 协议处理模块接收 RGB 信号后按照 MIPI C-PHY 的协议标准
处理后输出 MIPI C-PHY 信号，所述 D-PHY 协议处理模块接收 RGB 信号后按
照 MIPI D-PHY 的协议标准处理后输出 MIPI D-PHY 信号；

C-PHY/D-PHY 选择器，与所述 C-PHY 协议处理模块及 D-PHY 协议处理
25 模块相连，选择性接收 MIPI C-PHY 信号和 MIPI D-PHY 信号并输出；

C-PHY 解串器及 D-PHY 解串器，与所述 C-PHY/D-PHY 选择器相连，所述 C-PHY 解串器用于对 MIPI C-PHY 信号进行解码并输出二值信号数据列，所述 D-PHY 解串器用于对 MIPI D-PHY 信号进行解码并输出二值信号数据列；

若干发射器及若干连接端子，发射器与 C-PHY 解串器及 D-PHY 解串器相连，连接端子与发射器相连，用于接收二值信号数据列并输出驱动信号。

作为本发明的进一步改进，所述驱动装置还包括：

时钟模块，与 C-PHY 解串器及 D-PHY 解串器相连，用于生成时钟信号。

作为本发明的进一步改进，所述驱动装置还包括：

若干触发器，所述触发器与时钟模块、C-PHY 解串器及 D-PHY 解串器相连，触发器结合时钟信号对 C-PHY 解串器及 D-PHY 解串器输出的二值信号数据列进行同步锁存，

第一触发器、第二触发器及第三触发器，分别与 C-PHY 解串器及时钟模块相连，用于生成触发器时钟信号对 C-PHY 解串器输出的二值信号数据列进行同步锁存；

15 第四触发器及第五触发器，分别与 D-PHY 解串器及时钟模块相连，用于生成触发器时钟信号对 D-PHY 解串器输出的二值信号数据列进行同步锁存。

作为本发明的进一步改进，所述发射器包括：

第一发射器，与第一触发器和第四触发器相连；

第二发射器，与第二触发器和第五触发器相连；

20 第三发射器，与第三触发器和时钟信号相连；

其中，所述第一发射器、第二发射器、第三发射器用于传输 C-PHY 解串器输出的二值信号数据列、以及将 D-PHY 解串器输出的二值信号数据列转化为差分信号并传输。

作为本发明的进一步改进，所述连接端子包括：

设于第一发射器上的第一连接端子和第二连接端子；

设于第二发射器上的第三连接端子和第四连接端子；

设于第三发射器上的第五连接端子和第六连接端子；

其中，MIPI C-PHY 信号通过第一连接端子、第三连接端子和第五连接端
5 子进行传输，MIPI D-PHY 信号通过第一连接端子、第二连接端子、第三连接
端子、第四连接端子、第五连接端子和第六连接端子进行传输。

作为本发明的进一步改进，所述发射器中设有放大器。

本发明另一实施例提供的技术方案如下：

一种驱动方法，所述驱动方法包括：

10 S1、RGB 模块接收图像数据并转换为 RGB 信号；

S2、第一协议处理模块接收 RGB 信号后按照第一协议标准处理后输出第
一信号，或，第二协议处理模块接收 RGB 信号后按照第二协议标准处理后输
出第二信号；

S3、选择器选择性接收第一信号和第二信号并输出；

15 S4、第一解串器对第一信号进行解码并输出二值信号数据列，或，第二解
串器对第二信号进行解码并输出二值信号数据列；

S5、发射器接收第一解串器输出的二值信号数据列并通过连接端子输出二
值信号，或，发射器接收第二解串器输出的二值信号数据列并转化为差分信号
后输出。

20 作为本发明的进一步改进，所述驱动方法具体为：

S1、RGB 模块接收图像数据并转换为 RGB 信号；

S2、C-PHY 协议处理模块接收 RGB 信号后按照 MIPI C-PHY 的协议标准
处理后输出 MIPI C-PHY 信号，或，D-PHY 协议处理模块接收 RGB 信号后按
照 MIPI D-PHY 的协议标准处理后输出 MIPI D-PHY 信号；

S3、C-PHY/D-PHY 选择器选择性接收 MIPI C-PHY 信号和 MIPI D-PHY 信号并输出；

S4、C-PHY 解串器对 MIPI C-PHY 信号进行解码并输出二值信号数据列，或，D-PHY 解串器对 MIPI D-PHY 信号进行解码并输出二值信号数据列；

- 5 S5、发射器接收 C-PHY 解串器输出的二值信号数据列并通过连接端子输出二值信号，或，发射器接收 D-PHY 解串器输出的二值信号数据列并转化为差分信号后输出，触发器结合时钟信号对 C-PHY 解串器及 D-PHY 解串器输出的二值信号数据列进行同步锁存。

本发明再一实施例提供的技术方案如下：

- 10 一种显示系统，所述显示系统包括：

驱动装置，所述驱动装置为上述的驱动装置；

连接模块，所述连接模块与驱动装置中的连接端子电性连接；

显示模块，所述显示模块与连接模块相连，用于显示驱动装置提供的数据。

- 15 本发明能够利用 MIPI D-PHY 通信和 MIPI C-PHY 通信实现驱动，减少了通信接口和电路规模，降低了成本。

附图说明

- 为了更清楚地说明本发明实施例或现有技术中的技术方案，下面将对实施例或现有技术描述中所需要使用的附图作简单地介绍，显而易见地，下面描述中的附图仅仅是本发明中记载的一些实施例，对于本领域普通技术人员来讲，
20 在不付出创造性劳动的前提下，还可以根据这些附图获得其他的附图。

图 1 为本发明实施例 1 中驱动装置的模块示意图。

图 2 为本发明实施例 2 中 MIPI C-PHY 通信框图。

图 3 为本发明实施例 2 中 MIPI D-PHY 通信框图。

图 4 为本发明实施例 3 中显示系统的结构示意图。

具体实施方式

为了使本技术领域的人员更好地理解本发明中的技术方案，下面将结合本发明实施例中的附图，对本发明实施例中的技术方案进行清楚、完整地描述，显然，所描述的实施例仅仅是本发明一部分实施例，而不是全部的实施例。基于本发明中的实施例，本领域普通技术人员在没有做出创造性劳动前提下所获得的所有其他实施例，都应当属于本发明保护的范围。

本发明公开了一种驱动装置，包括：

一种驱动装置，驱动装置包括：

RGB 模块，用于接收图像数据并转换为 RGB 信号；

10 第一协议处理模块及第二协议处理模块，分别与 RGB 模块相连，第一协议处理模块接收 RGB 信号后按照第一协议标准处理后输出第一信号，第二协议处理模块接收 RGB 信号后按照第二协议标准处理后输出第二信号；

选择器，与第一协议处理模块及第二协议处理模块相连，选择性接收第一信号和第二信号并输出；

15 第一解串器及第二解串器，与选择器相连，第一解串器用于对第一信号进行解码并输出二值信号数据列，第二解串器用于对第二信号进行解码并输出二值信号数据列；

若干发射器及若干连接端子，发射器与第一解串器及第二解串器相连，连接端子与发射器相连，用于接收二值信号数据列并输出驱动信号。

20 优选地，本发明中的驱动装置包括：

RGB 模块，用于接收图像数据并转换为 RGB 信号；

C-PHY 协议处理模块及 D-PHY 协议处理模块，分别与 RGB 模块相连，C-PHY 协议处理模块接收 RGB 信号后按照 MIPI C-PHY 的协议标准处理后输出 MIPI C-PHY 信号，D-PHY 协议处理模块接收 RGB 信号后按照 MIPI D-PHY 的协议标准处理后输出 MIPI D-PHY 信号；

25

C-PHY/D-PHY 选择器，与 C-PHY 协议处理模块及 D-PHY 协议处理模块相连，选择性接收 MIPI C-PHY 信号和 MIPI D-PHY 信号并输出；

C-PHY 解串器及 D-PHY 解串器，与 C-PHY/D-PHY 选择器相连，C-PHY 解串器用于对 MIPI C-PHY 信号进行解码并输出二值信号数据列，D-PHY 解串器用于对 MIPI D-PHY 信号进行解码并输出二值信号数据列；

若干发射器及若干连接端子，发射器与 C-PHY 解串器及 D-PHY 解串器相连，连接端子与发射器相连，用于接收二值信号数据列并输出驱动信号。

优选地，本发明中的驱动装置还包括：

时钟模块，与 C-PHY 解串器及 D-PHY 解串器相连，用于生成时钟信号；

若干触发器，触发器与时钟模块、C-PHY 解串器及 D-PHY 解串器相连，触发器结合时钟信号对 C-PHY 解串器及 D-PHY 解串器输出的二值信号数据列进行同步锁存。

本发明还公开了一种驱动方法，包括：

S1、RGB 模块接收图像数据并转换为 RGB 信号；

S2、第一协议处理模块接收 RGB 信号后按照第一协议标准处理后输出第一信号，或，第二协议处理模块接收 RGB 信号后按照第二协议标准处理后输出第二信号；

S3、选择器选择性接收第一信号和第二信号并输出；

S4、第一解串器对第一信号进行解码并输出二值信号数据列，或，第二解串器对第二信号进行解码并输出二值信号数据列；

S5、发射器接收第一解串器输出的二值信号数据列并通过连接端子输出二值信号，或，发射器接收第二解串器输出的二值信号数据列并转化为差分信号后输出。

优选地，本发明中的驱动方法具体为：

S1、RGB 模块接收图像数据并转换为 RGB 信号；

S2、C-PHY 协议处理模块接收 RGB 信号后按照 MIPI C-PHY 的协议标准处理后输出 MIPI C-PHY 信号，或，D-PHY 协议处理模块接收 RGB 信号后按照 MIPI D-PHY 的协议标准处理后输出 MIPI D-PHY 信号；

5 S3、C-PHY/D-PHY 选择器选择性接收 MIPI C-PHY 信号和 MIPI D-PHY 信号并输出；

S4、C-PHY 解串器对 MIPI C-PHY 信号进行解码并输出二值信号数据列，或，D-PHY 解串器对 MIPI D-PHY 信号进行解码并输出二值信号数据列；

10 S5、发射器接收 C-PHY 解串器输出的二值信号数据列并通过连接端子输出二值信号，或，发射器接收 D-PHY 解串器输出的二值信号数据列并转化为差分信号后输出。

进一步地，步骤 S4 后还包括：

触发器结合时钟信号对 C-PHY 解串器及 D-PHY 解串器输出的二值信号数据列进行同步锁存。

15 另外，本发明还公开了一种显示系统，包括：

驱动装置，驱动装置为上述的驱动装置；

连接模块，连接模块与驱动装置中的连接端子电性连接；

显示模块，显示模块与连接模块相连，用于显示驱动装置提供的数据。

以下结合具体实施例对本发明作进一步说明。

20 实施例 1：

参图 1 所示，本实施例中的驱动装置包括：

RGB 模块 10，用于接收图像数据并转换为 RGB 信号。处理器可以为 FPGA/PSOC 等。

C-PHY 协议处理模块 21 及 D-PHY 协议处理模块 22, 分别与 RGB 模块 10 相连, C-PHY 协议处理模块 21 接收 RGB 信号后按照 MIPI C-PHY 的协议标准处理后输出 MIPI C-PHY 信号, D-PHY 协议处理模块 22 接收 RGB 信号后按照 MIPI D-PHY 的协议标准处理后输出 MIPI D-PHY 信号。

5 C-PHY/D-PHY 选择器 30, 与 C-PHY 协议处理模块 21 及 D-PHY 协议处理模块 22 相连, 选择性接收 MIPI C-PHY 信号和 MIPI D-PHY 信号并输出。

C-PHY 解串器 41 及 D-PHY 解串器 42, 与 C-PHY/D-PHY 选择器 30 相连, C-PHY 解串器 41 用于对 MIPI C-PHY 信号进行解码并输出二值信号数据列, D-PHY 解串器 42 用于对 MIPI D-PHY 信号进行解码并输出二值信号数据列。

10 时钟模块 50, 与 C-PHY 解串器及 D-PHY 解串器相连, 用于生成时钟信号;

若干触发器, 触发器与时钟模块 50、C-PHY 解串器 41 及 D-PHY 解串器 42 相连, 触发器结合时钟信号对 C-PHY 解串器及 D-PHY 解串器输出的二值信号数据列进行同步锁存。

15 若干发射器及若干连接端子, 发射器与 C-PHY 解串器 41 及 D-PHY 解串器 42 相连, 连接端子与发射器相连, 用于接收二值信号数据列并输出驱动信号。

其中, 本实施例中的触发器包括:

第一触发器 61、第二触发器 62 及第三触发器 63, 分别与 C-PHY 解串器 41 及时钟模块 50 相连, 用于生成触发器时钟信号对 C-PHY 解串器 41 输出的
20 二值信号数据列进行同步锁存;

第四触发器 64 及第五触发器 65, 分别与 D-PHY 解串器 42 及时钟模块 50 相连, 用于生成触发器时钟信号对 D-PHY 解串器 42 输出的二值信号数据列进行同步锁存。

本实施例中的发射器中设有放大器, 其中发射器包括:

25 第一发射器 71, 与第一触发器 61 和第四触发器 64 相连;

第二发射器 72，与第二触发器 62 和第五触发器 65 相连；

第三发射器 73，与第三触发器 63 和时钟信号 50 相连；

其中，第一发射器 71、第二发射器 72、第三发射器 73 用于传输 C-PHY 解串器输出的二值信号数据列、以及将 D-PHY 解串器输出的二值信号数据列
5 转化为差分信号并传输。

驱动装置中的信号通过连接端子将驱动信号传输至外部显示模块，连接端子包括：

设于第一发射器 71 上的第一连接端子 81 和第二连接端子 82；

设于第二发射器 72 上的第三连接端子 83 和第四连接端子 84；

10 设于第三发射器 73 上的第五连接端子 85 和第六连接端子 86；

其中，MIPI C-PHY 信号通过第一连接端子 81、第三连接端子 83 和第五连接端子 85 进行传输，MIPI D-PHY 信号通过第一连接端子 81、第二连接端子 82、第三连接端子 83、第四连接端子 84、第五连接端子 85 和第六连接端子 86 进行传输。

15 本实施例中以 5 个触发器、3 个发射器、6 个连接端子为例进行说明，在其他实施例中，根据 MIPI D-PHY 的数据通道不同，可相应地增加触发器和连接端子的数量，此处不再详细举例说明。

实施例 2：

本实施例中的驱动方法，以实施例 1 中的驱动装置为例，该驱动方法包括：

20 1、RGB 模块接收图像数据并转换为 RGB 信号；

2、C-PHY 协议处理模块接收 RGB 信号后按照 MIPI C-PHY 的协议标准处理后输出 MIPI C-PHY 信号，或，D-PHY 协议处理模块接收 RGB 信号后按照 MIPI D-PHY 的协议标准处理后输出 MIPI D-PHY 信号；

3、C-PHY/D-PHY 选择器选择性接收 MIPI C-PHY 信号和 MIPI D-PHY 信

号并输出；

4、C-PHY 解串器对 MIPI C-PHY 信号进行解码并输出二值信号数据列，或，D-PHY 解串器对 MIPI D-PHY 信号进行解码并输出二值信号数据列；

5、触发器结合时钟信号对 C-PHY 解串器及 D-PHY 解串器输出的二值信号数据列进行同步锁存。

6、发射器接收 C-PHY 解串器输出的二值信号数据列并通过连接端子输出二值信号，或，发射器接收 D-PHY 解串器输出的二值信号数据列并转化为差分信号后输出。

本实施例中的驱动方法包括 MIPI C-PHY 通信和 MIPI D-PHY 通信两种方式。

参图 2 所示，MIPI C-PHY 通信时，C-PHY/D-PHY 选择器选择 MIPI C-PHY 信号并传送到 MIPI C-PHY 解串器。MIPI C-PHY 解串器解码 MIPI C-PHY 信号输出二值信号数据列，此时 MIPI D-PHY 解串器是没有数据列输出的。二值信号数据列被第一触发器、第二触发器和第三触发器接收，与时钟模块接收的解串器时钟进行时钟再生，生成触发器时钟信号对数据列进行同步锁存。触发器生成的二值信号数据列传送到发射器，第一至第三发射器将数据列传送到第一连接端子、第三连接端子和第五连接端子，进而传输到显示模块进行驱动。

参图 3 所示，MIPI D-PHY 通信时，C-PHY/D-PHY 选择器选择 MIPI D-PHY 信号并传送到 MIPI D-PHY 解串器。MIPI D-PHY 解串器解码 MIPI D-PHY 信号输出二值信号数据列，此时 MIPI C-PHY 解串器是没有数据列输出的。二值信号的数据列被第四触发器和第五触发器接收，与 CLK 对数据列进行同步锁存。触发器生成的二值信号数据列传送到发射器，第一至第三发射器将接收的二值信号转化为差分信号，连接端子将信并通过第一连接端子至第六连接端子传输到显示模块。

实施例 3：

参图 4 所示，本实施中的显示系统包括：

驱动装置 100，驱动装置可以为实施例 1 中的驱动装置，此处不再进行赘述。驱动装置提供显示需要的图像/音视频数据和电压；

连接模块 200，连接模块 200 与驱动装置 100 中的连接端子电性连接。连接模块可以是 FPCA 或者连接线缆，连接端子可以是 ZIF/BTB/DIP 等接口模式；

5 显示模块 300，显示模块 300 与连接模块 200 相连，用于显示驱动装置提供的图像/音视频数据。显示模块可以是液晶显示面板或者 AMOLED 显示面板等，显示驱动装置提供的图像/音视频等数据。

应当理解的是，上述各实施例中协议处理模块以 C-PHY 协议处理模块及 D-PHY 协议处理模块为例进行说明，C-PHY 协议处理模块及 D-PHY 协议处理模块分别按照 MIPI C-PHY 的协议标准及 MIPI D-PHY 的协议标准对 RGB 信号进行处理后输出 MIPI C-PHY 信号及 MIPI D-PHY 信号；选择器采用 C-PHY/D-PHY 选择器选择性接收 MIPI C-PHY 信号和 MIPI D-PHY 信号并输出；解串器包括 C-PHY 解串器及 D-PHY 解串器，分别对 MIPI C-PHY 信号及 MIPI D-PHY 信号进行解码并输出二值信号数据列。在其他实施方式中，可以根据不同的通信协议及信号选择不同的协议处理模块、选择器、及解串器，此
10 处不再一一进行赘述。

本发明实施例还提供一种电子设备。所述电子设备包括至少一个处理器和与至少一个处理器连接的存储器，所述存储器用于存储可被至少一个处理器执行的指令，所述指令被至少一个处理器执行时，使至少一个处理器执行上述实施例中的驱动方法。
20

本发明实施例还提供了一种非暂态存储介质，存储有计算机可执行指令，所述计算机可执行指令设置为执行上述的驱动方法。

本发明实施例还提供了一种计算机程序产品，所述计算机程序产品包括存储在非暂态计算机可读存储介质上的计算机程序，所述计算机程序包括程序指令，当所述程序指令被计算机执行时，使所述计算机执行上述的驱动方法。
25

本发明实施例提供的驱动装置可执行本发明任意实施例所提供的驱动方法，具备执行方法相应的功能模块和有益效果。未在上述实施例中详尽描述的

技术细节，可参见本发明任意实施例所提供的驱动方法。

与现有技术相比，本发明具有以下有益效果：

本发明能够利用 MIPI D-PHY 通信和 MIPI C-PHY 通信实现驱动，减少了通信接口和电路规模，降低了成本。

- 5 对于本领域技术人员而言，显然本发明不限于上述示范性实施例的细节，而且在不背离本发明的精神或基本特征的情况下，能够以其他的具体形式实现本发明。因此，无论从哪一点来看，均应将实施例看作是示范性的，而且是非限制性的，本发明的范围由所附权利要求而不是上述说明限定，因此旨在将落在权利要求的等同要件的含义和范围内的所有变化囊括在本发明内。不应将权
10 利要求中的任何附图标记视为限制所涉及的权利要求。

此外，应当理解，虽然本说明书按照实施方式加以描述，但并非每个实施方式仅包含一个独立的技术方案，说明书的这种叙述方式仅仅是为清楚起见，本领域技术人员应当将说明书作为一个整体，各实施例中的技术方案也可以经适当组合，形成本领域技术人员可以理解的其他实施方式。

权利要求书

1、一种驱动装置，其中，所述驱动装置包括：

RGB 模块，用于接收图像数据并转换为 RGB 信号；

5 第一协议处理模块及第二协议处理模块，分别与所述 RGB 模块相连，所述第一协议处理模块接收 RGB 信号后按照第一协议标准处理后输出第一信号，所述第二协议处理模块接收 RGB 信号后按照第二协议标准处理后输出第二信号；

选择器，与所述第一协议处理模块及第二协议处理模块相连，选择性接收
10 第一信号和第二信号并输出；

第一解串器及第二解串器，与所述选择器相连，所述第一解串器用于对第一信号进行解码并输出二值信号数据列，所述第二解串器用于对第二信号进行解码并输出二值信号数据列；

若干发射器及若干连接端子，发射器与第一解串器及第二解串器相连，连
15 接端子与发射器相连，用于接收二值信号数据列并输出驱动信号。

2、根据权利要求 1 所述的驱动装置，其中，所述驱动装置包括：

RGB 模块，用于接收图像数据并转换为 RGB 信号；

C-PHY 协议处理模块及 D-PHY 协议处理模块，分别与所述 RGB 模块相连，所述 C-PHY 协议处理模块接收 RGB 信号后按照 MIPI C-PHY 的协议标准
20 处理后输出 MIPI C-PHY 信号，所述 D-PHY 协议处理模块接收 RGB 信号后按照 MIPI D-PHY 的协议标准处理后输出 MIPI D-PHY 信号；

C-PHY/D-PHY 选择器，与所述 C-PHY 协议处理模块及 D-PHY 协议处理模块相连，选择性接收 MIPI C-PHY 信号和 MIPI D-PHY 信号并输出；

C-PHY 解串器及 D-PHY 解串器，与所述 C-PHY/D-PHY 选择器相连，所
25 述 C-PHY 解串器用于对 MIPI C-PHY 信号进行解码并输出二值信号数据列，

所述 D-PHY 解串器用于对 MIPI D-PHY 信号进行解码并输出二值信号数据列；

若干发射器及若干连接端子，发射器与 C-PHY 解串器及 D-PHY 解串器相连，连接端子与发射器相连，用于接收二值信号数据列并输出驱动信号。

3、根据权利要求 2 所述的驱动装置，其中，所述驱动装置还包括：

5 时钟模块，与 C-PHY 解串器及 D-PHY 解串器相连，用于生成时钟信号。

4、根据权利要求 3 所述的驱动装置，其中，所述驱动装置还包括：

若干触发器，所述触发器与时钟模块、C-PHY 解串器及 D-PHY 解串器相连，触发器结合时钟信号对 C-PHY 解串器及 D-PHY 解串器输出的二值信号数据列进行同步锁存，所述触发器包括：

10 第一触发器、第二触发器及第三触发器，分别与 C-PHY 解串器及时钟模块相连，用于生成触发器时钟信号对 C-PHY 解串器输出的二值信号数据列进行同步锁存；

第四触发器及第五触发器，分别与 D-PHY 解串器及时钟模块相连，用于生成触发器时钟信号对 D-PHY 解串器输出的二值信号数据列进行同步锁存。

15 5、根据权利要求 4 所述的驱动装置，其中，所述发射器包括：

第一发射器，与第一触发器和第四触发器相连；

第二发射器，与第二触发器和第五触发器相连；

第三发射器，与第三触发器和时钟信号相连；

20 其中，所述第一发射器、第二发射器、第三发射器用于传输 C-PHY 解串器输出的二值信号数据列、以及将 D-PHY 解串器输出的二值信号数据列转化为差分信号并传输。

6、根据权利要求 5 所述的驱动装置，其中，所述连接端子包括：

设于第一发射器上的第一连接端子和第二连接端子；

设于第二发射器上的第三连接端子和第四连接端子；

设于第三发射器上的第五连接端子和第六连接端子；

其中，MIPI C-PHY 信号通过第一连接端子、第三连接端子和第五连接端子进行传输，MIPI D-PHY 信号通过第一连接端子、第二连接端子、第三连接
5 端子、第四连接端子、第五连接端子和第六连接端子进行传输。

7、根据权利要求 5 所述的驱动装置，其中，所述发射器中设有放大器。

8、一种驱动方法，其中，所述驱动方法包括：

S1、RGB 模块接收图像数据并转换为 RGB 信号；

S2、第一协议处理模块接收 RGB 信号后按照第一协议标准处理后输出第
10 一信号，或，第二协议处理模块接收 RGB 信号后按照第二协议标准处理后输出第二信号；

S3、选择器选择性接收第一信号和第二信号并输出；

S4、第一解串器对第一信号进行解码并输出二值信号数据列，或，第二解串器对第二信号进行解码并输出二值信号数据列；

15 S5、发射器接收第一解串器输出的二值信号数据列并通过连接端子输出二值信号，或，发射器接收第二解串器输出的二值信号数据列并转化为差分信号后输出。

9、根据权利要求 8 所述的驱动方法，其中，所述驱动方法具体为：

S1、RGB 模块接收图像数据并转换为 RGB 信号；

20 S2、C-PHY 协议处理模块接收 RGB 信号后按照 MIPI C-PHY 的协议标准处理后输出 MIPI C-PHY 信号，或，D-PHY 协议处理模块接收 RGB 信号后按照 MIPI D-PHY 的协议标准处理后输出 MIPI D-PHY 信号；

S3、C-PHY/D-PHY 选择器选择性接收 MIPI C-PHY 信号和 MIPI D-PHY 信号并输出；

S4、C-PHY 解串器对 MIPI C-PHY 信号进行解码并输出二值信号数据列，或，D-PHY 解串器对 MIPI D-PHY 信号进行解码并输出二值信号数据列，触发器结合时钟信号对 C-PHY 解串器及 D-PHY 解串器输出的二值信号数据列进行同步锁存；

- 5 S5、发射器接收 C-PHY 解串器输出的二值信号数据列并通过连接端子输出二值信号，或，发射器接收 D-PHY 解串器输出的二值信号数据列并转化为差分信号后输出。

10、一种显示系统，其中，所述显示系统包括：

驱动装置，所述驱动装置为权利要求 1 所述的驱动装置；

- 10 连接模块，所述连接模块与驱动装置中的连接端子电性连接；

显示模块，所述显示模块与连接模块相连，用于显示驱动装置提供的数据。

11、根据权利要求 10 所述的显示系统，其中，所述驱动装置包括：

RGB 模块，用于接收图像数据并转换为 RGB 信号；

- 15 C-PHY 协议处理模块及 D-PHY 协议处理模块，分别与所述 RGB 模块相连，所述 C-PHY 协议处理模块接收 RGB 信号后按照 MIPI C-PHY 的协议标准处理后输出 MIPI C-PHY 信号，所述 D-PHY 协议处理模块接收 RGB 信号后按照 MIPI D-PHY 的协议标准处理后输出 MIPI D-PHY 信号；

C-PHY/D-PHY 选择器，与所述 C-PHY 协议处理模块及 D-PHY 协议处理模块相连，选择性接收 MIPI C-PHY 信号和 MIPI D-PHY 信号并输出；

- 20 C-PHY 解串器及 D-PHY 解串器，与所述 C-PHY/D-PHY 选择器相连，所述 C-PHY 解串器用于对 MIPI C-PHY 信号进行解码并输出二值信号数据列，所述 D-PHY 解串器用于对 MIPI D-PHY 信号进行解码并输出二值信号数据列；

若干发射器及若干连接端子，发射器与 C-PHY 解串器及 D-PHY 解串器相连，连接端子与发射器相连，用于接收二值信号数据列并输出驱动信号。

- 25 12、根据权利要求 11 所述的显示系统，其中，所述驱动装置还包括：

时钟模块，与 C-PHY 解串器及 D-PHY 解串器相连，用于生成时钟信号。

13、根据权利要求 12 所述的显示系统，其中，所述驱动装置还包括：

若干触发器，所述触发器与时钟模块、C-PHY 解串器及 D-PHY 解串器相连，触发器结合时钟信号对 C-PHY 解串器及 D-PHY 解串器输出的二值信号数据列进行同步锁存，所述触发器包括：

第一触发器、第二触发器及第三触发器，分别与 C-PHY 解串器及时钟模块相连，用于生成触发器时钟信号对 C-PHY 解串器输出的二值信号数据列进行同步锁存；

第四触发器及第五触发器，分别与 D-PHY 解串器及时钟模块相连，用于生成触发器时钟信号对 D-PHY 解串器输出的二值信号数据列进行同步锁存。

14、根据权利要求 13 所述的显示系统，其中，所述发射器包括：

第一发射器，与第一触发器和第四触发器相连；

第二发射器，与第二触发器和第五触发器相连；

第三发射器，与第三触发器和时钟信号相连；

其中，所述第一发射器、第二发射器、第三发射器用于传输 C-PHY 解串器输出的二值信号数据列、以及将 D-PHY 解串器输出的二值信号数据列转化为差分信号并传输。

15、根据权利要求 14 所述的显示系统，其中，所述连接端子包括：

设于第一发射器上的第一连接端子和第二连接端子；

设于第二发射器上的第三连接端子和第四连接端子；

设于第三发射器上的第五连接端子和第六连接端子；

其中，MIPI C-PHY 信号通过第一连接端子、第三连接端子和第五连接端子进行传输，MIPI D-PHY 信号通过第一连接端子、第二连接端子、第三连接端子、第四连接端子、第五连接端子和第六连接端子进行传输。

16、根据权利要求 15 所述的显示系统，其中，所述发射器中设有放大器。

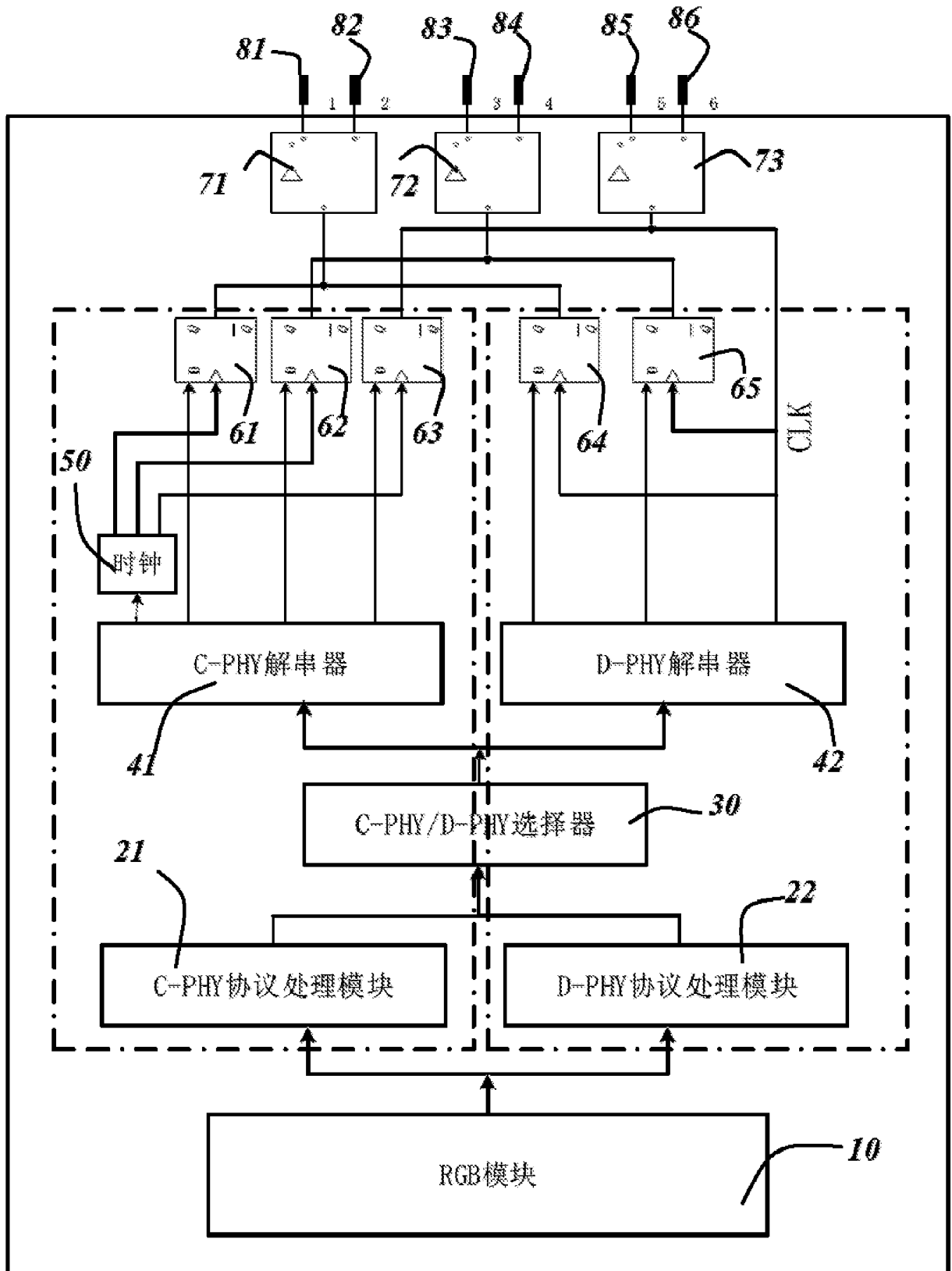


图 1

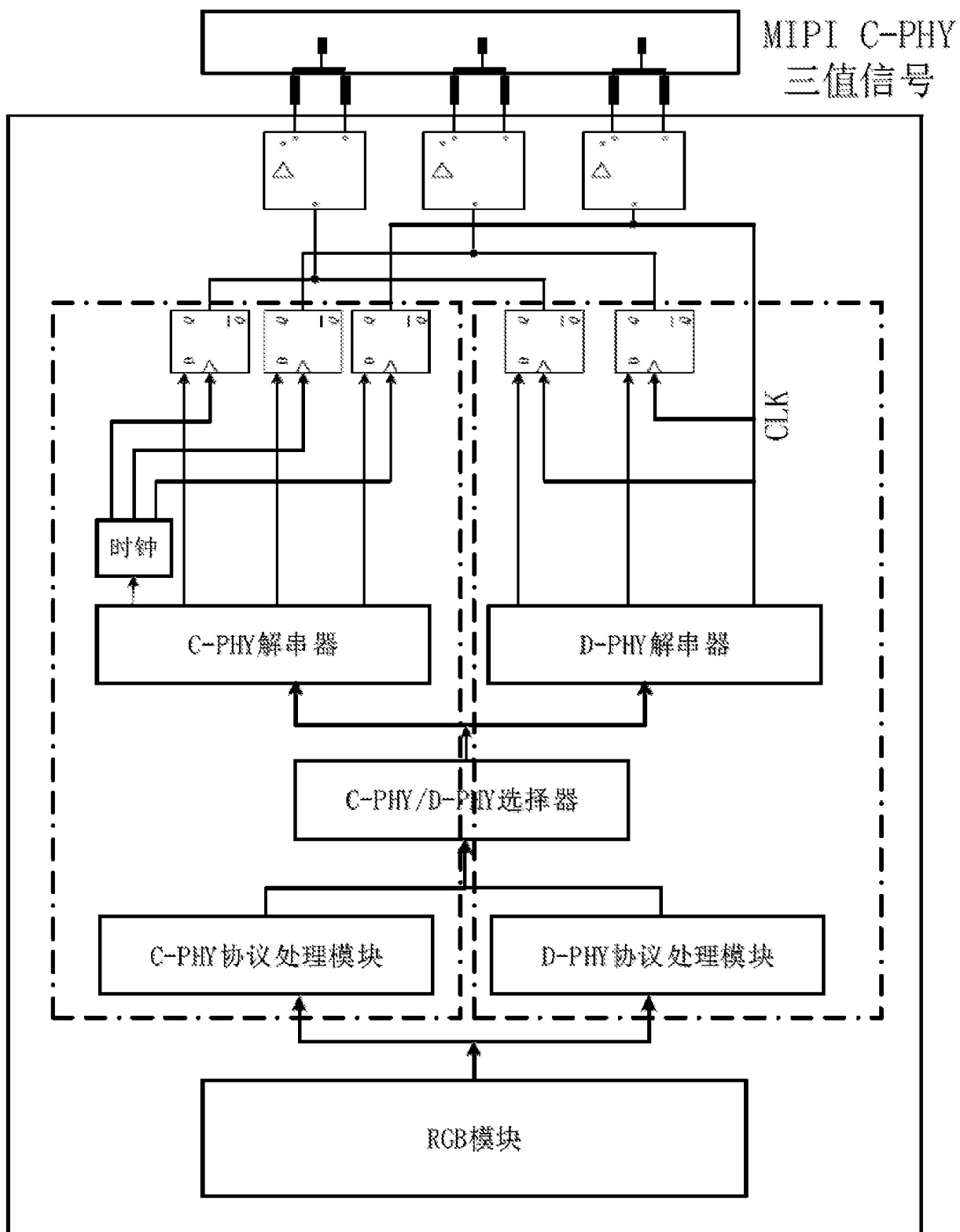


图 2

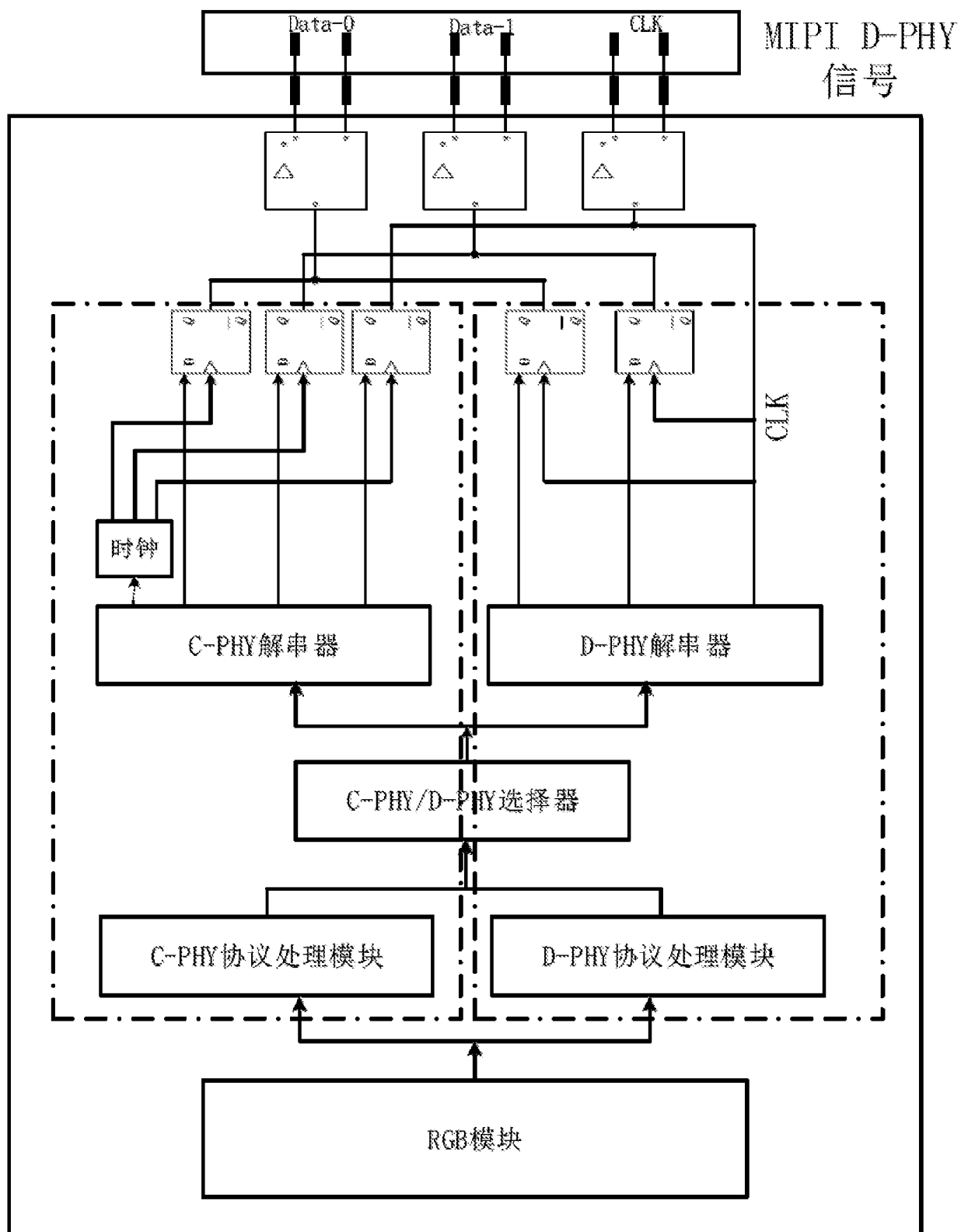


图 3

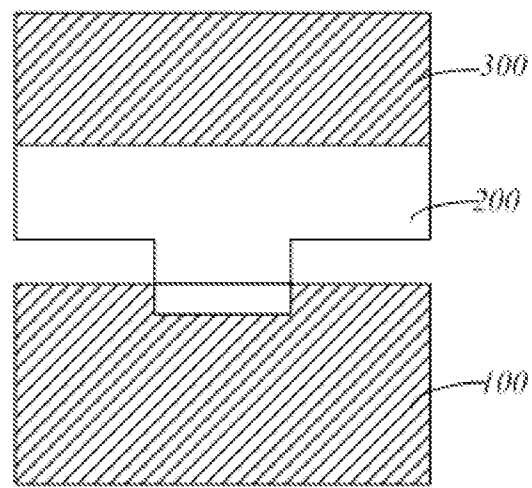


图 4

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2018/090428

A. CLASSIFICATION OF SUBJECT MATTER

G09G 3/3225(2016.01)i; G09G 3/36(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G09G; G06F; H04N; H04L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNPAT, CNKI, WPI, EPODOC: 华星, 沈利军, 物理层, 协议, 解串, 二值, 二进制, arasan, MIPI, Mobile w Industry w Processor w Interface, phy, c-phy, CPHY, D-phy, DPHY, both, mix+, comb+, deseriali+

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	CN 106409202 A (SYNAPTICS JAPAN GK) 15 February 2017 (2017-02-15) description, paragraphs [0051]-[0070], and figures 1-3B	1-16
A	CN 107924376 A (QUALCOMM INC.) 17 April 2018 (2018-04-17) entire document	1-16
A	CN 107197238 A (HANGZHOU ZITENG AUTOMATIC TECHNOLOGY CO., LTD.) 22 September 2017 (2017-09-22) entire document	1-16
A	CN 107645487 A (SAMSUNG ELECTRONICS CO., LTD.) 30 January 2018 (2018-01-30) entire document	1-16
A	US 2017286327 A1 (INTEL CORPORATION) 05 October 2017 (2017-10-05) entire document	1-16

☐ Further documents are listed in the continuation of Box C.☒ See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search

27 November 2018

Date of mailing of the international search report

09 January 2019

Name and mailing address of the ISA/CN

State Intellectual Property Office of the P. R. China
No. 6, Xitucheng Road, Jimenqiao Haidian District, Beijing
100088
China

Facsimile No. (86-10)62019451

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/CN2018/090428

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)
CN	106409202	A	15 February 2017	JP	2017026936	A	02 February 2017
				US	2017032757	A1	02 February 2017
				US	9959805	B2	01 May 2018
CN	107924376	A	17 April 2018	EP	3326072	A1	30 May 2018
				US	9584227	B2	28 February 2017
				US	2017019186	A1	19 January 2017
				KR	20180011330	A	31 January 2018
				JP	2018522484	A	09 August 2018
				TW	201707427	A	16 February 2017
				WO	2017014880	A1	26 January 2017
				TW	I615008	B	11 February 2018
				KR	101840620	B1	20 March 2018
				IN	201727042378	A	22 December 2017
CN	107197238	A	22 September 2017	None			
CN	107645487	A	30 January 2018	US	2018026748	A1	25 January 2018
				KR	20180010359	A	31 January 2018
US	2017286327	A1	05 October 2017	WO	2017171967	A1	05 October 2017

国际检索报告

国际申请号

PCT/CN2018/090428

A. 主题的分类

G09G 3/3225(2016.01)i; G09G 3/36(2006.01)i

按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类

B. 检索领域

检索的最低限度文献(标明分类系统和分类号)

G09G; G06F; H04N; H04L

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用))

CNPAT, CNKI, WPI, EPODOC: 华星, 沈利军, 物理层, 协议, 解串, 二值, 二进制, arasan, MIPI, Mobile w Industry w Processor w Interface, phy, c-phy, CPHY, D-phy, DPHY, both, mix+, comb+, deseriali+

C. 相关文件

类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求
A	CN 106409202 A (辛纳普蒂克斯日本合同会社) 2017年 2月 15日 (2017 - 02 - 15) 说明书第[0051]-[0070]段, 图1-3B	1-16
A	CN 107924376 A (高通股份有限公司) 2018年 4月 17日 (2018 - 04 - 17) 全文	1-16
A	CN 107197238 A (杭州柴滕自动化科技有限公司) 2017年 9月 22日 (2017 - 09 - 22) 全文	1-16
A	CN 107645487 A (三星电子株式会社) 2018年 1月 30日 (2018 - 01 - 30) 全文	1-16
A	US 2017286327 A1 (INTEL CORPORATION) 2017年 10月 5日 (2017 - 10 - 05) 全文	1-16

☐ 其余文件在C栏的续页中列出。☒ 见同族专利附件。

* 引用文件的具体类型:

“A” 认为不特别相关的表示了现有技术一般状态的文件

“E” 在国际申请日的当天或之后公布的在先申请或专利

“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件 (如具体说明的)

“O” 涉及口头公开、使用、展览或其他方式公开的文件

“P” 公布日先于国际申请日但迟于所要求的优先权日的文件

“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件

“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性

“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性

“&” 同族专利的文件

国际检索实际完成的日期

2018年 11月 27日

国际检索报告邮寄日期

2019年 1月 9日

ISA/CN的名称和邮寄地址

中华人民共和国国家知识产权局(ISA/CN)
中国北京市海淀区蓟门桥西土城路6号 100088

传真号 (86-10)62019451

受权官员

李小兰

电话号码 86-(10)-53962509

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2018/090428

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
CN	106409202	A	2017年 2月 15日	JP	2017026936	A	2017年 2月 2日
				US	2017032757	A1	2017年 2月 2日
				US	9959805	B2	2018年 5月 1日
CN	107924376	A	2018年 4月 17日	EP	3326072	A1	2018年 5月 30日
				US	9584227	B2	2017年 2月 28日
				US	2017019186	A1	2017年 1月 19日
				KR	20180011330	A	2018年 1月 31日
				JP	2018522484	A	2018年 8月 9日
				TW	201707427	A	2017年 2月 16日
				WO	2017014880	A1	2017年 1月 26日
				TW	I615008	B	2018年 2月 11日
				KR	101840620	B1	2018年 3月 20日
				IN	201727042378	A	2017年 12月 22日
CN	107197238	A	2017年 9月 22日	无			
CN	107645487	A	2018年 1月 30日	US	2018026748	A1	2018年 1月 25日
				KR	20180010359	A	2018年 1月 31日
US	2017286327	A1	2017年 10月 5日	WO	2017171967	A1	2017年 10月 5日

表 PCT/ISA/210 (同族专利附件) (2015年1月)