(19)日本国特許庁(JP)　(12)公開特許公報(A)　(11)公開番号
特開2025-9736
(P2025-9736A)
(43)公開日　令和7年1月20日(2025.1.20)

(51)国際特許分類		FI			テーマコード（参考）
H01L	*21/3065(2006.01)*	H01L	21/302	101R	4K030
H01L	*21/683(2006.01)*	H01L	21/68	R	5F004
C23C	*16/458(2006.01)*	H01L	21/302	101C	5F131
C23C	*16/50 (2006.01)*	H01L	21/302	101G	
		C23C	16/458		

審査請求　未請求　請求項の数　15　ＯＬ　外国語出願　（全32頁）　最終頁に続く

(21)出願番号　特願2023-216455(P2023-216455)
(22)出願日　令和5年12月22日(2023.12.22)
(31)優先権主張番号　2310034.0
(32)優先日　令和5年6月30日(2023.6.30)
(33)優先権主張国・地域又は機関
英国(GB)

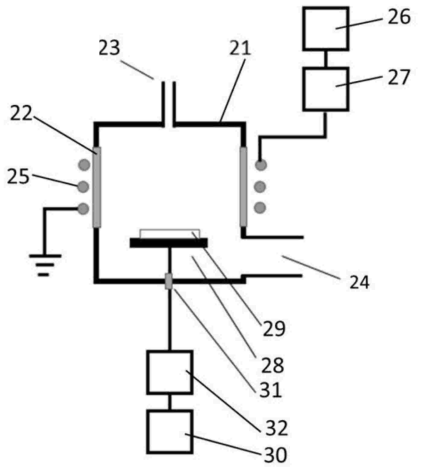
(71)出願人　512221197
エスピーティーエス テクノロジーズ リミティド
イギリス国， エヌピー１８　２ティーエー， ニューポート， リングランド ウェイ， コーエド レディン
(74)代理人　110001210
弁理士法人ＹＫＩ国際特許事務所
(72)発明者　アダム エス ビーチー
イギリス国 ニューポート リングランド ウェイ コーエド レディン エスピーティーエス テクノロジーズ リミティド内

Ｆターム（参考）　4K030　FA01 GA02
5F004　BB13 BB22 BB25 BB26 BB29 CA06 CA08

最終頁に続く

(54)【発明の名称】　プラズマエッチング方法及び装置

(57)【要約】
【課題】プラズマエッチング処理の終わりから、基板がＥＳＣから持ち上げ可能になる時点までのデチャック時間を短縮する。
【解決手段】半導体基板をプラズマエッチングする方法は、チャンバ内で、半導体基板を、少なくとも第１電極及び第２電極を備えるバイポーラ静電チャック（「ＥＳＣ」）と、対応する圧力で半導体基板の下面に冷却ガスを供給する冷却ガスシステムとを備える基板支持器上に、半導体基板の上面がプラズマエッチングに曝露され得、半導体基板の下面が基板支持器に支持されるように配置するステップと、半導体基板をプラズマエッチングするステップと、プラズマエッチングステップが終了すると、半導体基板を基板支持器から取り除くステップとを含む。
【選択図】図２



【特許請求の範囲】
【請求項１】
半導体基板をプラズマエッチングする方法であって、
チャンバ内で、半導体基板を、少なくとも第１電極及び第２電極を備えるバイポーラ静電チャック（「ＥＳＣ」）と、対応する圧力で前記半導体基板の下面に冷却ガスを供給する冷却ガスシステムとを備える基板支持器上に、前記半導体基板の上面が前記プラズマエッチングに曝露され得、前記半導体基板の前記下面が前記基板支持器に支持されるように配置するステップと、
前記半導体基板をプラズマエッチングするステップと、
前記プラズマエッチングステップが終了すると、前記半導体基板を前記基板支持器から取り除くステップと、を含み、
前記プラズマエッチングステップ中に、冷却ガスが対応する圧力で前記半導体基板の前記下面に供給され、前記ＥＳＣは、前記第１電極に正圧が印加され、第２電極に負圧が印加される第１バイポーラ動作モードと、前記第１電極に負圧が印加され、第２電極に正圧が印加される第２バイポーラ動作モードとの間で切り替えられ、前記ＥＳＣの前記第１及び前記第２バイポーラ動作モード間での切り替え時に、前記冷却ガスの前記圧力が、前記プラズマエッチングステップ中のその他時間での前記圧力よりも下げられることで前記基板支持器上での前記半導体基板の配置が維持されることを特徴とする方法。
【請求項２】
前記冷却ガスの前記圧力は、前記ＥＳＣの前記第１及び前記第２バイポーラ動作モード間での切り替え時に、１Ｔｏｒｒ未満の圧力まで低減されることを特徴とする、請求項１に記載の方法。
【請求項３】
前記プラズマエッチングステップ中に、前記ＥＳＣは、複数回、前記第１及び第２バイポーラ動作モード間で切り替えられることを特徴とする、請求項１又は２に記載の方法。
【請求項４】
前記プラズマエッチングステップ中に、前記ＥＳＣは、少なくとも３回、前記第１及び第２バイポーラ動作モード間で切り替えられることを特徴とする、請求項３に記載の方法。
【請求項５】
前記半導体基板は、前記プラズマエッチングステップ中に、少なくとも１４０℃の温度を実現することを特徴とする、請求項１から４のいずれか１項に記載の方法。
【請求項６】
不活性ガス又は不活性ガス状混合物内で形成されたプラズマに、前記半導体基板を曝露する更なるステップを含み、当該更なるステップは、前記半導体基板をプラズマエッチングするステップと、前記半導体基板を前記基板支持器から取り除くステップとの間に実行されることを特徴とする、請求項１から５のいずれか１項に記載の方法。
【請求項７】
前記不活性ガス又は不活性ガス状混合物は、Ｈｅ及び／又はＡｒを含むことを特徴とする、請求項６に記載の方法。
【請求項８】
前記冷却ガスの前記圧力を下げることなく、前記第１及び第２バイポーラ動作モード間で前記ＥＳＣが切り替えられた場合に、前記冷却ガスにより前記半導体基板が動かされることを特徴とする、請求項１から７のいずれか１項に記載の方法。
【請求項９】
前記半導体基板は、ＩｎＰ半導体基板であることを特徴とする、請求項１から８のいずれか１項に記載の方法。
【請求項１０】
前記ＥＳＣは、誘電体材料を含み、前記ＥＳＣの前記第１及び第２バイポーラ動作モード間での切り替え時に、前記誘電体材料の抵抗は、10^{12}から10^{13}オームセンチメ

ートルの範囲内であることを特徴とする、請求項１から９のいずれか１項に記載の方法。
【請求項１１】
請求項１から１０のいずれか１項に記載の方法を使用して、半導体基板をプラズマエッチングする装置であって、
チャンバと、
前記チャンバ内に配置され、少なくとも第１電極及び第２電極を備えるバイポーラ静電チャック（「ＥＳＣ」）と、対応する圧力で前記半導体基板の下面に冷却ガスを供給する冷却ガスシステムとを備える基板支持器と、
前記半導体基板をエッチングするために、前記チャンバ内にプラズマを維持する、プラズマ発生装置と、
前記基板支持器から前記半導体基板を取り除く機構と、
前記半導体基板をプラズマエッチングするステップを実行するために、前記装置を制御するように構成されたコントローラと、を備え、同ステップにおいて、前記ＥＳＣは、前記第１電極に正圧が印加され、第２電極に負圧が印加される第１バイポーラ動作モードと、前記第１電極に負圧が印加され、第２電極に正圧が印加される第２バイポーラ動作モードとの間で切り替えられ、前記ＥＳＣの前記第１及び前記第２バイポーラ動作モード間での切り替え時に、前記冷却ガスの前記圧力が、前記プラズマエッチングステップ中のその他時間での前記圧力よりも下げられることで前記基板支持器上での前記半導体基板の配置が維持されることを特徴とする装置。
【請求項１２】
前記プラズマ発生装置は、誘導結合プラズマ（ＩＣＰ）装置であることを特徴とする、請求項１１に記載の装置。
【請求項１３】
前記冷却ガスシステムに流体連通するバイパス弁と、ガスポンプと、を更に備え、前記コントローラは、前記ガスポンプにより、冷却ガスを排出するために、前記バイパス弁を開くことで、前記ＥＳＣの前記第１及び第２バイポーラ動作モード間での切り替え時に、前記冷却ガスの前記圧力が下がるように、前記バイパス弁を開閉するように構成されることを特徴とする、請求項１１又は１２に記載の装置。
【請求項１４】
前記ＥＳＣの前記電極は、非　　型であることを特徴とする、請求項１１から１３のいずれか１項に記載の装置。
【請求項１５】
前記ＥＳＣは、Al_2O_3を含むことを特徴とする、請求項１１から１４のいずれか１項に記載の装置。
【発明の詳細な説明】
【技術分野】
【０００１】
本発明は、半導体基板をプラズマエッチングする方法に関する。本発明は更に、半導体基板をプラズマエッチングする対応する装置に関する。
【背景技術】
【０００２】
半導体製造業界における真空型プラズマエッチング及び蒸着ツールでは、プロセスチャンバ内が大気圧以下の圧力となることで、ウェハ移動を防止し、更にプラズマ又は発熱処理による熱をウェハ又は基板から取り除くのは困難である。圧力減が生じると、滞留不良及び基板から基板支持器への熱の直接伝導により、熱伝達が制限される。基板温度の理想的な制御を実現するため、静電チャック、すなわち「ＥＳＣ」が、真空システム内の基板の温度制御に使用される。ＥＳＣと基板との間の静電引力により、基板とＥＳＣの表面との間の窪み又は経路を、Ｈｅ等の不活性ガスで、十分に高い圧力で加圧できる。これにより、基板と熱制御されたＥＳＣとの間の良好な熱伝導が促進される。この処理は、バックサイドプレッシャ方式として知られている。ＥＳＣと基板との間の圧力よりもかなり低い

圧力でプロセスチャンバが動作されたとしても、基板の静電クランプを維持することができ、これにより、精密な温度制御が可能となる。

【０００３】

一般的に、真空システムにおいて基板をクランプするのに使用されるＥＳＣは２種類に大別される。具体的には、バイポーラ（「クーロン」）、及びモノポーラ（「ジョンセン・ラーベック」）ＥＳＣである。いずれの種類でも、誘電体構造が金属製電極又は複数の電極を封入し、その後、金属製基板支持器に取り付けられる。これを図１に示す。通常、アルミニウム又はステンレス鋼で製造される基板支持器２は、ＲＦ供給源４に接続され、静電チャックＥＳＣ６が基板支持器２の上面に取り付けられる。ＥＳＣ６は、２層の誘電体材料に挟まれた金属製電極を有する。これらの電極が、高電圧ＤＣ電力源８に取り付けられる。同電力源は、最高±９ｋＶまでを、厚さ０．５ｍｍを超える比較的厚いセラミック層に供給可能である。ポリイミド等のより薄いポリマ層については、層厚は０．１ｍｍ未満となり得、一般的に、±２ｋＶ未満のＤＣ電力が供給される。基板支持器２内のパイプ２０により、一般的にＨｅ又はＡｒである冷媒ガスのバックサイドガス侵入が実現され、これにより、ガスが基板１２と、ＥＳＣ６の表面との間に注入可能となる。冷却材経路１０は、基板支持器２からの熱を取り除く冷媒流を可能とする。その間、抵抗ヒータ（不図示）が、高温動作を促進し得る。リフトアセンブリ１８を利用して、コーティング１４付きの基板１２の上げ下ろしが実現される。典型的にはセラミック製の、シールドリング１６が、プラズマから基板支持器２を保護し、基板１２近傍でのプラズマ成形に寄与する。

【０００４】

バイポーラＥＳＣでは、基板の背面で静電界を生成する、極性が逆の少なくとも２つの電極が存在する。この場合、基板は充電運動に対応する必要がある。したがって、基板は半導体又は金属材料製である必要がある。半導体及び光電気産業で処理される基板の多くはそのものが半導体であるため、バイポーラＥＳＣが広く利用されている。

【０００５】

モノポーラＥＳＣでは、１又は複数の電極が、単一の電位に維持され、静電界生成については、外部電子源に依存する。一般的にプラズマチャンバによるプラズマ生成は、接地への電流路を生成し、これにより、モノポーラＥＳＣが基板を基板支持器にクランプ可能とする。この種の動作に対応するために、ＥＳＣで使用される絶縁性セラミック層を通じて、極少量のリーク電流が生じる。

【先行技術文献】

【特許文献】

【０００６】

【特許文献１】特開２０２１－１００１０４号公報

【発明の概要】

【発明が解決しようとする課題】

【０００７】

ＥＳＣによるクランプでは、基板及びウェハ支持器における静電荷残存により、エッチング処理完了時に問題が生じ得る。蓄積した電荷が放散するのに、数分ともなり得る、かなりの時間がかかり得る。したがって、基板が実質的にＥＳＣの表面に固定されているため、プロセスモジュール内での滞在時間が長くなる。これは、ツールのスループットを低減してしまうため、生産性の面で極めて不都合である。プラズマエッチング処理の終わりから、基板がＥＳＣから持ち上げ可能になる時点までの間は、デチャック時間として知られている。デチャック時間を短縮する、既存の手法の改善への要求がある。

【０００８】

本発明は、少なくともその一部の実施形態において、上述の問題と要求との少なくとも一部に対処することを意図する。

【課題を解決するための手段】

【０００９】

本発明の第１態様によると、半導体基板をプラズマエッチングする方法が提供され、方法は、チャンバ内で、半導体基板を、少なくとも第１電極及び第２電極を備えるバイポーラ静電チャック（「ＥＳＣ」）と、対応する圧力で半導体基板の下面に冷却ガスを供給する冷却ガスシステムとを備える基板支持器上に、半導体基板の上面がプラズマエッチングに曝露され得、半導体基板の下面が基板支持器に支持されるように配置するステップと、半導体基板をプラズマエッチングするステップと、プラズマエッチングステップが終了すると、半導体基板を基板支持器から取り除くステップと、を含み、プラズマエッチングステップ中に、冷却ガスが対応する圧力で半導体基板の下面に供給され、ＥＳＣは、第１電極に正圧が印加され、第２電極に負圧が印加される第１バイポーラ動作モードと、第１電極に負圧が印加され、第２電極に正圧が印加される第２バイポーラ動作モードとの間で切り替えられ、ＥＳＣの第１及び第２バイポーラ動作モード間での切り替え時に、冷却ガスの圧力が、プラズマエッチングステップ中のその他時間での圧力よりも下げられることで基板支持器上での半導体基板の配置が維持される。

【００１０】

冷却ガスの圧力は、ＥＳＣの第１及び第２バイポーラ動作モード間での切り替え時に、１Ｔｏｒｒ未満の圧力まで低減され得る。冷却ガスの圧力は、ＥＳＣの第１及び第２バイポーラ動作モード間での切り替え時に、０．１Ｔｏｒｒ未満の圧力まで低減され得る。更に低い圧力も利用され得るが、実際は、ＥＳＣの下面に冷却ガスを供給するガスライン内をポンプアウトすることが有利であり得る。この目的は、ＥＳＣの第１及び第２バイポーラ動作モード間での切り替え時に、半導体基板が冷却ガスにより浮き上がることを防止することである。この時、ＥＳＣによるクランプは大幅に低減するためである。

【００１１】

プラズマエッチングステップ中に、ＥＳＣは、複数回、第１及び第２バイポーラ動作モード間で切り替えられ得る。プラズマエッチングステップ中に、ＥＳＣは、少なくとも３回、第１及び第２バイポーラ動作モード間で切り替えられ得る。原則的に、任意の所与の実用途において、好ましい結果を得るのに、ＥＳＣは任意の回数、及び任意の切り替え頻度で、第１及び第２バイポーラ動作モード間で切り替えられ得る。ＥＳＣの切り替え回数は偶数又は奇数であり得る。ＥＳＣは、３０秒以上、任意で６０秒以上、任意で１８０秒以下、第１又は第２バイポーラモードで動作した後に切り替えられ得る。

【００１２】

半導体基板は、プラズマエッチングステップ中に、少なくとも１４０℃の温度を実現し得る。半導体基板は、プラズマエッチングステップ中に、少なくとも１５０℃の温度を実現し得る。半導体基板は、プラズマエッチングステップ中に、３００℃以下、任意で２５０℃以下の温度を実現し得る。驚くべきことに、本発明者らは、本発明を、比較的高温で半導体基板がプラズマエッチングされる用途に適用することで、デチャック時間が大幅に短縮可能であることを確認した。

【００１３】

半導体基板をプラズマエッチングするステップは、誘導結合プラズマ（ＩＣＰ）装置等のプラズマ発生装置を使用して実行され得る。本発明は、実行されるプラズマエッチングの種類により限定されず、非ＩＣＰプラズマエッチング技術が使用され得る。

【００１４】

半導体基板をプラズマエッチングするステップ中、及び／又は後に、基板支持器にＲＦバイアス信号が印加され得る。

【００１５】

方法は、不活性ガス又は不活性ガス状混合物内で形成されたプラズマに、半導体基板を曝露する更なるステップを含み得る。ここでは、半導体基板をプラズマエッチングするステップと、半導体基板を基板支持器から取り除くステップとの間に、更なるステップが実行される。このプラズマは、接地への電流路を提供することで、半導体基板の「デチャック」に寄与し得る、不活性で、通常は低エネルギーのプラズマである。これにより、半導体基板と、ＥＳＣ表面から、あらゆる残存電荷が除去され得る。不活性ガス又は不活性ガ

ス状混合物は、Ｈｅ及び／又はＡｒを含み得る。プラズマ発生装置及び／又は基板支持器に印加されるＲＦバイアス信号は、不活性ガス又は不活性ガス状混合物内でプラズマを形成するのに使用され得る。

【００１６】

方法において利用される状況としては、冷却ガスの圧力を下げることなく、第１及び第２バイポーラ動作モード間でＥＳＣが切り替えられた場合に、冷却ガスにより半導体基板が動かされるものが挙げられ得る。

【００１７】

半導体基板は、ＩｎＰ半導体基板であり得る。ＩｎＰ半導体基板のプラズマエッチングは、一般的に、揮発性種を取り除くために、比較的高い温度で実行され得る。ただし、本発明は任意の特定の半導体基板に限定されない。本発明は、比較的高い処理温度を要する、その他半導体基板のプラズマエッチングに特によく適することものと期待される。

【００１８】

ＥＳＣは、誘電体材料を含み得る。ＥＳＣの第１及び第２バイポーラ動作モード間での切り替え時に、誘電体材料の抵抗は、10^{12}から10^{13}オームセンチメートルの範囲内であり得る。

【００１９】

本発明の第２態様によると、半導体基板をプラズマエッチングする装置が提供され、装置は、チャンバと、チャンバ内に配置され、少なくとも第１電極及び第２電極を備えるバイポーラ静電チャック（「ＥＳＣ」）と、対応する圧力で半導体基板の下面に冷却ガスを供給する冷却ガスシステムとを備える基板支持器と、半導体基板をエッチングするために、チャンバ内にプラズマを維持する、プラズマ発生装置と、基板支持器から半導体基板を取り除く機構と、半導体基板をプラズマエッチングするステップを実行するために、装置を制御するように構成されたコントローラと、を備え、同ステップにおいて、ＥＳＣは、第１電極に正圧が印加され、第２電極に負圧が印加される第１バイポーラ動作モードと、第１電極に負圧が印加され、第２電極に正圧が印加される第２バイポーラ動作モードとの間で切り替えられ、ＥＳＣの第１及び第２バイポーラ動作モード間での切り替え時に、冷却ガスの圧力が、プラズマエッチングステップ中のその他時間での圧力よりも下げられることで基板支持器上での半導体基板の配置が維持される。

【００２０】

装置は、本発明の第１態様に記載の方法を利用して、半導体基板をプラズマエッチングする。

【００２１】

プラズマ発生装置は、誘導結合プラズマ（ＩＣＰ）装置であり得る。その他の種類のプラズマ発生装置が使用され得る。

【００２２】

装置は更に、冷却ガスシステムに流体連通するバイパス弁と、ガスポンプと、を備え得る。コントローラは、ガスポンプにより、冷却ガスを排出するために、バイパス弁を開くことで、ＥＳＣの第１及び第２バイポーラ動作モード間での切り替え時に、冷却ガスの圧力が下がるように、バイパス弁を開閉するように構成される。

【００２３】

ＥＳＣの電極は、非　　型であってもよい。例えば、電極は、半円電極であり得る。

【００２４】

ＥＳＣは、Al_2O_3を含み得る。

【００２５】

半導体基板を基板支持器から取り除く機構は、任意の適切な機構であり得る。これは、リフトピン、又はその他基板リフト構成、及びロボットアーム等の要素を採用し得る。当該機構は、当業者に公知である。

【００２６】

疑いが生じないように、「備える」、「含む」、その他同様の用語を本明細書において

記載する場合はいつでも、本発明は、「成る」及び「本質的に成る」等の、より限定的な用語を包含するものと理解されたい。

【００２７】

上述した本発明は、上記した、或いは以下の記載、図面、又は請求項に記載の特徴のあらゆる発明的な組み合わせに拡張される。例えば、本発明の第１態様に関して開示されるあらゆる特徴は、本発明の第２態様に関して開示されるあらゆる特徴に組み合わされ得る。

【図面の簡単な説明】

【００２８】

ここで、本発明の実施形態を、あくまで例示的に、以下の添付の図面を参照して説明する。

【図１】公知の基板支持器の概略図である。

【図２】誘導結合プラズマ装置の半概略的断面図である。

【図３】本発明に係る処理シーケンスを示すフローチャートである。

【図４】ＥＳＣ及び冷却ガスシステムの概略図である。

【発明を実施するための形態】

【００２９】

図２は、本発明に係る、半導体基板をプラズマエッチングするのに適切な装置２０の半概略的図である。本発明の方法を実行するのに適した装置には、適合ＳＰＴＳ Ｏｍｅｇａ（登録商標）ＩＣＰエッチングシステムがあり、これは英国サウスウェールズ、ニューポート所在のＳＰＴＳ Ｔｅｃｈｎｏｌｏｇｉｅｓ Ｌｉｍｉｔｅｄから商業的に入手することができる。後述する例示的実施形態及び比較例は皆、この装置を用い実行されたものである。

【００３０】

この装置２０は、チャンバ２１と、そのチャンバ内でプラズマを維持するためのプラズマ発生装置とを備える。チャンバ２１は、誘電体円筒形壁部２２と、ガス入口２３と、ガス出口２４とを有する。ガス入口２３を通じて、適切なガスがチャンバ２１内へと導入され得る。適切なポンプを使用して、ガス出口２４を通じて、ガスがチャンバから除去され得る。プラズマ発生装置は、インピーダンスマッチングネットワーク２７を介して、ＲＦ電源２６により電気駆動可能なコイル２５を有する。コイル２５は、誘電体壁２２の周りに配置される。一般的に、ＲＦ電源２６は、ＲＦ電力を、２から２０ＭＨｚの周波数でコイル２５に提供するが、より低い周波数も利用され得る（例えば３８０ｋＨｚ）。装置２０は更に、基板支持器２８を備え、その上に半導体基板２９が処理用に配置され得る。基板支持器２８は、エッチング中に、冷却ガスのバックプレッシャを利用する静電チャック（ＥＳＣ）を有する。基板支持器２８は、セラミックブレイク３１及びインピーダンスマッチングネットワーク３２を介して、ＲＦ電源３０に接続される。電力電源３０は、ＲＦ電気的バイアスを基板支持器２８に提供する。一般的に、ＲＦ電源３０は、２から２０ＭＨｚ、任意で１３．５６ＭＨｚの周波数で、ＲＦ電力を提供するが、より低い周波数も利用可能である（例えば３７５ｋＨｚ）。コントローラ（不図示）が、ＥＳＣの動作及び冷却ガスの供給を含む、装置制御を行うように構成される。ＥＳＣは、Al_2O_3セラミック層内に埋め込まれた、最大２ｍｍの小さな間隙により分けられた、２つの半円状金属電極を有する、バイポーラＥＳＣである。ＡｌＮ等の別のセラミック、又は薄膜ポリマ誘電体フィルムも使用できる。

【００３１】

本発明は、ＥＳＣのバイポーラ電極に印加される、電圧の極性の切り替えを利用する。特に、ＥＳＣは、第１電極に正圧が印加され、第２電極に負圧が印加される第１バイポーラ動作モードと、第１電極に負圧が印加され、第２電極に正圧が印加される第２バイポーラ動作モードとの間で切り替えられる。極性切り替え発生時に、基板支持器から離間するように半導体基板が浮くことを防止するために、冷却ガスのバックプレッシャが下げられる。バックプレッシャが下げられなければ、ウェハの移動が起こる。その後、ＥＳＣが第

１又は第２バイポーラ動作モードにある際に、バックプレッシャが「定常状態」バックプレッシャまで上げられる。このようにして、特に比較的高温プラズマエッチング処理に対して、デチャック時間の大幅短縮が図られる。

【００３２】

図３において、本発明に係る処理シーケンスが提示される。ＳＰＴＳ　Ｏｍｅｇａ（登録商標）システムは、クラスターツールであり、通常動作時に、真空下で処理モジュールが維持される。ステップ３００において、ロボットがカセット又はＦＯＵＰからウェハをピックアップし、ＩＣＰエッチングチャンバ内のＥＳＣ上のリフトピン上に載置する。ウェハをＥＳＣの表面上まで下げて、３０２において、ＥＳＣのセラミック層内に埋め込まれた２つのバイポーラ電極に高電圧（等価かつ逆の）を印加することで、静電クランプされる。３０４において、Ｈｅ等の適切な冷却ガスのバックプレッシャが、ウェハの裏に印加され、チャンバにプロセスガスが供給されて、プラズマが生成されながら、プラズマエッチング処理が開始する。バックプレッシャは、典型的には３から３０Ｔｏｒｒだが、これは具体的用途に応じる。このプラズマエッチングステップ（３０６）中に、バイポーラ電極の極性が切り替えられ、冷却ガス圧力の制御が開始する。プラズマエッチング処理が完了（例えば、時間又は終点で判定される）すると、ステップ３０８において、最終極性／冷却ガス制御ステップが完了して、プロセスガスはＡｒ等の不活性ガスに置き換えられる。続いてデチャック用プラズマが生成される（３１０）。これは、典型的には１０から６０秒である、一定時間継続する。デチャック用プラズマステップが完了すると、リフトピンにより、ＥＳＣからウェハが持ち上げられ、ロボットによりピックアップされ、チャンバから取り除かれる（３１２）。

【００３３】

図４は、ＥＳＣ及び冷却ガスシステムの概略図である。このＥＳＣ及び冷却ガスシステムは、本明細書に記載の実験に使用される適用型Ｏｍｅｇａ（登録商標）システムを提供するために、市販のＯｍｅｇａ（登録商標）システムに組み込まれる。図４は、ＥＳＣ４１、真空チャンバ４２、ＲＦ整合箱４３、窒素ガスパージライン４４、Ｈｅ弁４５、バックサイドプレッシャユニット４６、Ｈｅバイパス弁４７、及びポンプ４８を示す。図４に示す構成は、高速ガス切り替えを可能とするため有利である。特に、Ｈｅバイパス弁４７が存在することで、この弁４７と、Ｈｅ弁４５とが開くと、ＥＳＣ４１の裏へのラインが直接ポンプ可能である。これにより、半導体基板の背面でのＨｅ圧力が迅速（数秒）に制御可能となる。このようにして、Ｈｅのバックプレッシャは急速に低減され、その後通常の、定常状態Ｈｅバックプレッシャまで急速に上げられ得る。このＨｅ圧力の急速切り替えは、極性切り替えイベントに容易に同期され得る。

【００３４】

比較例

高温及び低温で動作するバイポーラＥＳＣを使用して、ＳＰＴＳ　Ｏｍｅｇａ　ＩＣＰエッチングツール内で、１５０ｍｍのＳｉウェハに対して実験が実施された。続いて、従来のエッチング及びデチャック処理が行われた。ＩＣＰ源が、１３．５６ＭＨｚで動作され、ＥＳＣに１３．でＲＦバイアスがかけられた。

【表１】

温度（℃）	ＥＳＣ電圧（±ｋＶ）	デチャック時間（秒）
３０	５	１０
１８０	５	９００
１８０	２	３００

表１：ＥＳＣ温度及び電圧に対するデチャック時間

【００３５】

表１から分かるように、±５ｋＶのクランプ用電圧で、低温度動作する場合、デチャックは最大１０秒以内に生じ得る。同じクランプ用電圧を利用して、ＥＳＣの温度を上げると、デチャック時間は最大９００秒までと大幅に延びた。表１は、クランプ用電圧を±２

ｋＶまで下げることで、デチャック時間は３００秒まで短縮できることを示す。しかし、３００秒のデチャックステップでも、実用的な手法ではない。デチャックステップ中に、基板から電荷を除去するのに、Ａｒ又はＨｅ内に形成された不活性プラズマが使用される。

【００３６】

任意の具体的な理論、又は推測に拘束されることを望まないが、温度を上げることで、導電性電極を覆うAl_2O_3セラミック層は、ρ最大10^{15}オームセンチメートルからρ最大10^{12}から10^{13}オームセンチメートルへと下がって低抵抗化するものと予想される。これは、クランプ用静電力に対する、ジョンセン・ラーベック（ＪＲ）効果による寄与であるものと考えられる。典型的には、ρが10^{13}オームセンチメートルを超える場合、クーロン力は、ＪＲ力を超え、一方でρが10^{10}オームセンチメートル未満の場合はＪＲ力の方が強くなる。この追加的セラミック帯電は、より長いデチャック時間に帰結するものと考えられる。これら比較例は、従来のエッチング及びデチャック技術が、基板から電荷を除去するのに、デチャックプラズマが使用されたとしても、望まないほどに長いデチャック時間に帰結し得ることを示す。

【実施例】

【００３７】

１８０℃のＥＳＣ温度で、本発明に応じて一連の実験が実施された。実験において、ＥＳＣ電極にかけられる高電圧の極性は、Ｈｅバックプレッシャが制御されながら、エッチングステップ中に、一定期間、交互に切り替えられる。各電圧切り替えの数秒前に、Ｈｅ冷却ガスのバックプレッシャが下げられる。これにより、対応するＪＲクランプ力が低下した際に、ウェハが動くことを防止する。印加されるＥＳＣ電圧の極性の各切り替え時に流れるＨｅを低減することで、プラズマエッチングを維持して、基板に生成される電荷を最小限に抑えることができた。これにより、比較的短いデチャックサイクルが可能となる。エッチングステップ後に、不活性デチャック用プラズマが生成された。表２に、使用されたデチャックプラズマ条件を示す。典型的に、最高１００ｓｃｃｍのＡｒ流、最高５ｍＴｏｒｒのチャンバ圧力で、最大５００ＷのＲＦ電力が、ＩＣＰコイルに１３．５６ＭＨｚで印加される。実験時間は３０秒に固定された。プラズマエッチングステップは、（ＥＳＣの切り替え、及び冷却ガスバックプレッシャを除いて）一般的な処理条件を利用する。したがって、このステップの詳細な処理を説明する必要はない。

【表２】

時間（秒）	３０
ＲＦ電力（ワット）	５００
圧力（ｍＴｏｒｒ）	5
Ａｒ流（ｓｃｃｍ）	１００

表２：デチャック用プラズマ条件

【００３８】

表３は、Ｈｅバックプレッシャ、Ｈｅ切り替え／オフ時間、各極性切り替え間の間隔、及びデチャック時間の各種組み合わせを利用した、３つの例を示す。各場合において、ウェハが適切にＥＳＣから浮かされて、プロセスチャンバから取り出される前に、デチャック用プラズマが、初期設定の３０秒間、利用される。これらの例は、３０秒以下の現実的なデチャック時間が容易に実現できることを示す。妥当な基板保持及び冷却が維持された。

【表３】

処理時間（秒）	Ｈｅ圧力（Ｔｏｒｒ）	Ｈｅオフ時間（秒）	ＥＳＣ電圧（±ｋＶ）	極性切り替え時間（秒）	デチャック時間（秒）
３００	８	１０	２．５	６０	３０
３００	５	５	２	６０	３０
４８０	５	１０	２	１２０	３０

表３：デチャック時間短縮用の極性切り替え条件

【００３９】

Al_2O_3バイポーラＥＳＣを利用して、１８０℃で試験が実施されたが、同じ原理が、プラズマ又はその他電荷源がプロセスチャンバ内に導入される際に、プラズマが存在せずＪＲ力が高い場合に、バイポーラクーロンクランプを利用するとき、広い温度範囲に適用される。Al_2O_3について、これは少なくとも１４０から３００℃の温度範囲にわたって実現されるものと予想する。他のＥＳＣ材料について、大幅なデチャック時間改善が観測される温度範囲は異なる可能性が高い。本発明は、任意の特定の動作温度に限定されない。また、本発明は、任意の１つのプラズマエッチング技術に限定されない。本明細書に記載のパラメータ及び動作条件は、任意の所与の用途に適するように変更され得る。例えば、ＥＳＣが、第１及び第２バイポーラ動作モード間で切り替えられる回数、切り替え前の各動作モードの継続時間、及び冷却ガスのバックプレッシャが下げられるタイミング及び期間の長さは、本明細書に記載の原理を利用して、当業者により決定され得る。

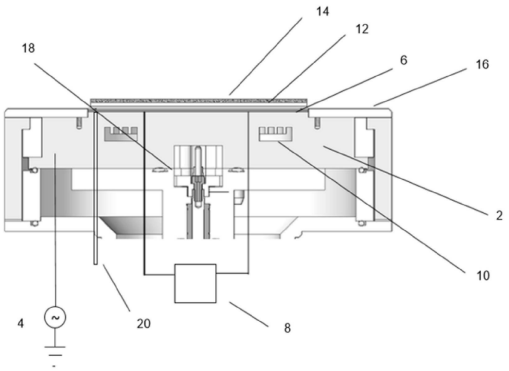
【符号の説明】

【００４０】

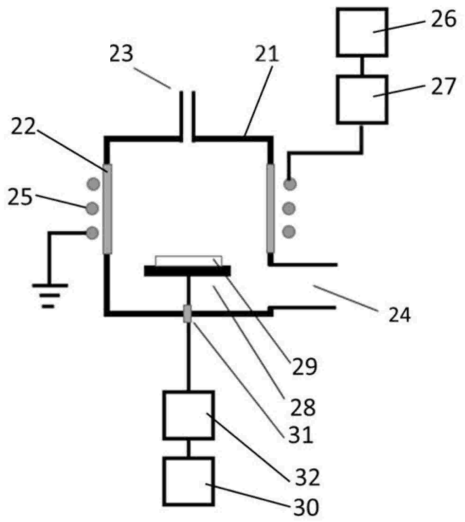
２０　装置
２１　チャンバ
２８　基板支持器
４１　ＥＳＣ
４７　Ｈｅバイパス弁
４８　ポンプ

【図面】

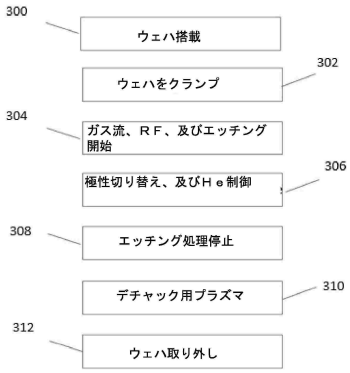
【図１】



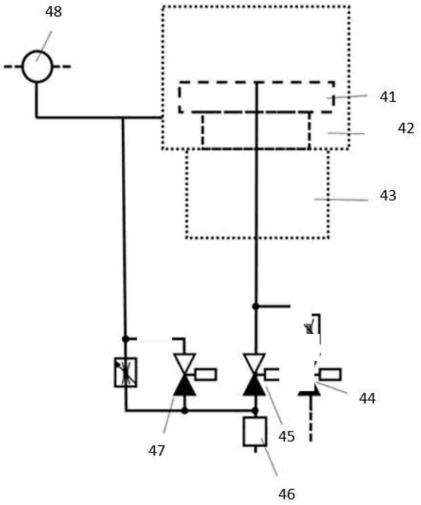
【図２】



【図３】


300
ウェハ搭載
302
ウェハをクランプ
304
ガス流、ＲＦ、及びエッチング開始
306
極性切り替え、及びＨｅ制御
308
エッチング処理停止
310
デチャック用プラズマ
312
ウェハ取り外し

【図４】


48
41
42
43
44
45
46
47

【外国語明細書】

Plasma etching method and apparatus

This invention relates to a method of plasma etching a semiconductor substrate. The invention relates also to an associated apparatus for plasma etching a semiconductor substrate.

In vacuum-based plasma etch and deposition tools in the semiconductor fabrication industry, it is challenging to avoid wafer movement and remove heat produced by a plasma or exothermic process from a wafer or substrate due to the sub-atmospheric pressure in the process chamber. The reduced pressure limits heat transfer due to poor convection and direct conduction of the heat from the substrate to the substrate support. In order to achieve optimal control of substrate temperature, electrostatic chucks or “ESCs” are used to control the temperature of a substrate in a vacuum system. Electrostatic attraction between the ESC and the substrate allows pressurization of cavities or channels between the substrate and the surface of the ESC with an inert gas such as He at a sufficiently high pressure to facilitate good thermal conduction between the substrate and the thermally controlled ESC. This process is known as backside pressurization. Even when the process chamber is operated at substantially lower pressures than the pressure between the ESC and the substrate, it is possible to maintain electrostatic clamping of the substrate and in turn tight temperature control.

There are in general two distinct varieties of ESCs used to clamp substrates in vacuum systems, namely bipolar (“Coloumb”) and monopolar (“Johnsen-Rahbek”) ESCs. In both types, a metallic electrode or multiple electrodes are encapsulated in a dielectric structure which is then attached to a metallic substrate support, as shown in Figure 1. A substrate support 2, which is typically fabricated from aluminium or stainless steel, is connected to an RF supply 4 and the electrostatic chuck ESC 6 is attached to an upper surface of the substrate support 2. The ESC 6 has metallic electrodes sandwiched between two layers of dielectric material. The electrodes are attached to high voltage DC power supplies 8 which, for relatively thick ceramic layers greater than 0.5 mm in thickness, can supply up to +/- 9 kV. For thinner polymer layers, such as polyimide, the layer thickness can be less than 0.1mm, and the DC power is typically supplied at less than +/- 2 kV. Backside gas entry for the refrigerant gas, typically He or Ar, is provided by a pipe 20 in the substrate support 2 and allows gas

to be injected between the substrate 12 and the surface of the ESC 6. Coolant channels 10 enable a flow of refrigerant to remove heat from the substrate support 2 while resistive heaters (not shown) can facilitate elevated temperature operation. Loading and unloading of the substrate 12 with coating 14 is achieved using a lift assembly 18. A shield ring 16, typically formed from ceramic, protects the substrate support 2 from the plasma and helps shape the plasma in the vicinity of the substrate 12.

In a bipolar ESC, there are at least two electrodes of opposite polarity which produce an electrostatic field at the back of the substrate. This requires the substrate to support charge movement, i.e. the substrate must be formed from a semiconductor or metallic material. As the majority of substrates processed in the semiconductor and optoelectrics industries are themselves semiconductors, bipolar ESCs are widely used.

Monopolar ESCs have an electrode or electrodes maintained at a single potential and rely on an external source of electrons to produce the electrostatic field. Generation of a plasma with the plasma chamber typically provides a current path to ground and, in turn, enables the monopolar ESC to clamp the substrate to the substrate support. To support this type of operation a very small amount of leakage current occurs through the insulating ceramic layers used in the ESC.

However, clamping with an ESC can give rise to problems when the etch process is completed, due to electrostatic charge retention in the substrate and the wafer support. The charge that has built up can take a considerable amount of time to dissipate – potentially several minutes – and as such increases the residence time in the process module as the substrate is effectively stuck to the ESC surface. This is highly undesirable for productivity reasons as it reduces the throughput of the tool. The time between the end of the plasma etch process and the point at which the substrate can be lifted from the substrate is known as the dechuck time. What is wanted is an improvement on established approaches that reduces dechuck times.

The present invention, in at least some of its embodiments, seeks to address at least some of the above-mentioned problems and wants.

According to a first aspect of the invention there is provided a method of plasma etching a semiconductor substrate comprising the steps of:

positioning a semiconductor substrate on a substrate support within a chamber so that an upper surface of the semiconductor substrate can be exposed to the plasma etching and a lower surface of the semiconductor substrate is supported by the substrate support, wherein the substrate support comprises a bipolar electrostatic chuck ("ESC") and a cooling gas system for supplying a cooling gas to the lower surface at an associated pressure, and wherein the ESC comprises at least a first electrode and a second electrode;

plasma etching the semiconductor substrate; and

removing the semiconductor substrate from the substrate support after the plasma etching step is completed;

in which, during the plasma etching step: a cooling gas is supplied to the lower surface of the semiconductor substrate at an associated pressure; the ESC is switched between a first bipolar mode of operation in which a positive voltage is applied to the first electrode and a negative voltage is applied to the second electrode, and a second bipolar mode of operation in which a negative voltage is applied to the first electrode and a positive voltage is applied to the second electrode; and the pressure of the cooling gas is reduced when the ESC is switched between the first and second bipolar modes of operation with respect to the pressure at other times during the plasma etching step so that the semiconductor substrate remains positioned on the substrate support.

The pressure of the cooling gas can be reduced to a pressure of less than 1 Torr when the ESC is switched between the first and second bipolar modes of operation. The pressure of the cooling gas can be reduced to a pressure of less than 0.1 Torr when the ESC is switched between the first and second bipolar modes of operation. Lower pressures still can be employed and in practice it can be convenient to pump out a gas line that supplies the cooling gas to the lower surface of the ESC. The purpose is to prevent the cooling gas from lifting the semiconductor substrate at the times when the ESC is switched between the first and second bipolar modes of operation, because at these times the clamping provided by the ESC is substantially reduced.

The ESC can be switched between the first and second bipolar modes of operation a plurality of times during the plasma etching step. The ESC can be switched between the first and second bipolar modes of operation at least three times during

the plasma etching step. In principle, the ESC can be switched between the first and second bipolar modes of operation any number of times and at any desired switching frequency in order to provide a favourable outcome in any given practical application. The ESC can be switched an even or an odd number of times. The ESC can be switched after operating in the first or second bipolar mode for 30 seconds or more, optionally 60 seconds or more, optionally 180 seconds or less.

The semiconductor substrate can attain a temperature of at least 140°C during the plasma etching step. The semiconductor substrate can attain a temperature of at least 150°C during the plasma etching step. The semiconductor substrate can attain a temperature of 300°C or less, optionally 250°C or less, during the plasma etching step. Surprisingly, the present inventors have found that substantial reductions in dechuck times can be realized by implementing the present invention in applications where the semiconductor substrate is plasma etched at relatively high temperatures.

The step of plasma etching the semiconductor substrate can be performed using a plasma generation device, such as an Inductively Coupled Plasma (ICP) device. The invention is not limited by the type of plasma etching performed, and non-ICP plasma etch techniques can be used.

An RF bias signal can be applied to the substrate support during and/or after the step of plasma etching the semiconductor substrate.

The method can comprise the further step of exposing the semiconductor substrate to a plasma formed in an inert gas or inert gaseous mixture, in which the further step is performed between the steps of plasma etching the semiconductor substrate and removing the semiconductor substrate from the substrate support. This plasma is an inert, typically low energy, plasma that can assist in 'dechucking' the semiconductor substrate by providing a current path to ground. In this way, any remaining charge can be removed from the semiconductor substrate and ESC surface. The inert gas or inert gaseous mixture can comprise He and/or Ar. The plasma generation device and/or the RF bias signal applied to the substrate support can be used to form the plasma in the inert gas or inert gaseous mixture.

The conditions used during the method can be such that the semiconductor substrate would be moved by the cooling gas if the ESC was switched between the first and second bipolar modes of operation without reducing the pressure of the cooling gas.

The semiconductor substrate can be an InP semiconductor substrate. Plasma etching of InP semiconductor substrates is typically performed at relatively high temperatures to remove volatile species. However, the invention is not limited to any particular semiconductor substrate. It is anticipated that the invention will be particularly well suited to the plasma etching of other semiconductor substrates that require relatively high processing temperatures.

The ESC can comprise a dielectric material. During the switching of the ESC between the first and second bipolar modes of operation the resistivity of the dielectric material can be in the range 10^{12}-10^{13} ohms-cm.

According to a second aspect of the invention there is provided an apparatus for plasma etching a semiconductor substrate comprising:

a chamber;

a substrate support disposed within the chamber, wherein the substrate support comprises a bipolar electrostatic chuck ("ESC") and a cooling gas system for supplying a cooling gas to the lower surface at an associated pressure, and wherein the ESC comprises at least a first electrode and a second electrode;

a plasma generation device for sustaining a plasma within the chamber for etching the semiconductor substrate;

a mechanism for removing the semiconductor substrate from the substrate support; and

a controller configured to control the apparatus to perform a step of plasma etching the semiconductor substrate in which the ESC is switched between a first bipolar mode of operation in which a positive voltage is applied to the first electrode and a negative voltage is applied to the second electrode, and a second bipolar mode of operation in which a negative voltage is applied to the first electrode and a positive voltage is applied to the second electrode; and the pressure of the cooling gas is reduced when the ESC is switched between the first and second bipolar modes of operation with respect to the pressure at other times during the plasma etching step so that the semiconductor substrate remains positioned on the substrate support.

The apparatus plasma etches the semiconductor substrate using a method according to the first aspect of the invention.

The plasma generation device can be an Inductively Coupled Plasma (ICP) device. Other types of plasma generation device can be used.

The apparatus can further comprise a bypass valve in fluid communication with the cooling gas system and a gas pump, wherein the controller is configured to open and shut the bypass valve so that the pressure of the cooling gas is reduced when the ESC is switched between the first and second bipolar modes of operation by opening the bypass valve to exhaust cooling gas by the gas pump.

The electrodes of the ESC can be non-interdigitated. For example, the electrodes can be semicircular electrodes.

The ESC can comprise Al_2O_3.

The mechanism for removing the semiconductor substrate from the substrate support can be any suitable mechanism, which can employ elements such as lift pins or another substrate lifting arrangement and a robotic arm. Such mechanisms are well known to the skilled reader.

For the avoidance of doubt, whenever reference is made herein to 'comprising' or 'including' and like terms, the invention is also understood to include more limiting terms such as 'consisting' and 'consisting essentially'.

Whilst the invention has been described above, it extends to any inventive combination of the features set out above, or in the following description, drawings or claims. For example, any features disclosed in relation to the first aspect of the invention can be combined with any features disclosed in relation to the second aspect of the invention.

Embodiments of the invention will now be described, by way of example only, with reference to the accompanying drawings, in which:

Figure 1 is a schematic illustration of a known substrate support;

Figure 2 is a semi-schematic cross-sectional view of an inductively coupled plasma apparatus;

Figure 3 shows a process sequence in accordance with the invention; and

Figure 4 is a schematic diagram of an ESC and a cooling gas system.

Figure 2 is a semi-schematic drawing of an apparatus 20 suitable for plasma etching a semiconductor substrate in accordance with the invention. Apparatus suitable for performing the methods of the present invention include an adapted SPTS

Omega (RTM) ICP etch system, which is commercially available from SPTS Technologies Limited, located in Newport, South Wales, UK. All exemplary embodiments and comparative examples described below were performed using this apparatus.

The apparatus 20 comprises a chamber 21 and a plasma generation device for sustaining a plasma within the chamber. The chamber 21 comprises a dielectric cylindrical wall portion 22, a gas inlet 23, through which suitable gases can be introduced into the chamber 21, and a gas outlet 24 through which gases can be removed from the chamber using a suitable pump. The plasma generation device comprises a coil 25, which can be electrically driven by an RF power supply 26 via an impedance matching network 27. The coil 25 is disposed around the dielectric wall 22. The RF power supply 26 typically provides an RF power to the coil 25 at a frequency of 2-20 MHz, although lower frequencies can be employed (e.g. 380 kHz). The apparatus 20 further comprises a substrate support 28 onto which the semiconductor substrate 29 can be positioned for processing. The substrate support 28 comprises an electrostatic chuck (ESC) which uses a back pressure of a cooling gas during etching. The substrate support 28 is connected to an RF power supply 30 via a ceramic break 31 and an impedance matching network 32. The electrical power supply 30 provides an RF electrical bias to the substrate support 28. The RF power supply 30 typically provides an RF power with a frequency of 2-20 MHz, optionally 13.56 MHz, although lower frequencies can be employed (e.g. 375 kHz). A controller (not shown) is configured to control the apparatus, including the operation of the ESC and the supply of the cooling gas. The ESC is a bipolar ESC having two semicircular metal electrodes separated by a small gap of ~ 2mm embedded in Al_2O_3 ceramic layers. Alternative ceramics such as AlN or thin film polymer dielectric films could also be used.

The present invention utilises switching of the polarity of the voltages applied to the bipolar electrodes of the ESC. In particular, the ESC is switched between a first bipolar mode of operation in which a positive voltage is applied to the first electrode and a negative voltage is applied to the second electrode, and a second bipolar mode of operation in which a negative voltage is applied to the first electrode and a positive voltage is applied to the second electrode. At the times when the switching of the polarities takes place, the back pressure of the cooling gas is reduced to prevent the semiconductor substrate from lifting away from the substrate support. If the back

pressure is not reduced then wafer movement will occur. The back pressure is then increased to a 'steady state' back pressure when the ESC is in either the first or second bipolar mode of operation. In this way, substantial reductions in the dechuck time can be realised, particularly for relatively high temperature plasma etching processes.

In Figure 3 a process sequence in accordance with the invention is presented. The SPTS Omega (RTM) system is a cluster tool and the process module is maintained under vacuum during normal operation. At step 300 a robot picks a wafer from a cassette or FOUP and places it onto lift pins on the ESC in the ICP etch chamber. The wafer is lowered onto the surface of the ESC and at 302 is electrostatically clamped by applying a high voltage (equal and opposite) to the two bipolar electrodes embedded in the ceramic layers of the ESC. At 304 a back pressure of a suitable cooling gas such as He is applied to the back of the wafer and the plasma etch process commences with process gases being supplied to the chamber and a plasma being generated. A back pressure of 3-30 Torr is typical, but this will depend on the particular application. During this plasma etch step (306) the switching of the polarity of the bipolar electrodes and the cycling of the cooling gas pressure commences. Once the plasma etch process is completed (as determined, for example, by time or end point) the final polarity / cooling gas cycling step would complete at step 308 and the process gases are replaced with an inert gas such as Ar. A dechucking plasma is then produced (310) which is continued for a fixed period of time, typically 10 to 60 seconds. After the dechucking plasma step is completed, the wafer is raised from the ESC by the lift pins to be picked up by the robot and removed from the chamber (312).

Figure 4 is a schematic diagram of an ESC and a cooling gas system. This ESC and cooling gas system was retrofitted to a commercial Omega (RTM) system to provide the adapted Omega (RTM) system used for the experiments described herein. Figure 4 shows the ESC 41, the vacuum chamber 42, the RF matching box 43, a nitrogen gas purge line 44, a He valve 45, a backside pressure unit 46, a He bypass valve 47, and a pump 48. The arrangement shown in Figure 4 is convenient since it enables fast gas switching. In particular, the presence of the He bypass valve 47 enables the line to the back of the ESC 41 to be directly pumped when this valve 47 and the He valve 45 are opened. This enables rapid (several seconds) control of the He pressure behind the semiconductor substrate. In this way, the back pressure of He

can be reduced rapidly and then increased rapidly back to the usual, steady state He back pressure. This rapid switching of the He pressure can be readily synchronised with a polarity switching event.

Comparative Examples

Experiments were conducted on 150mm Si wafers in the SPTS Omega ICP etch tool using a bipolar ESC operating at a high temperature and at a low temperature. A conventional etch and dechucking process was followed. The ICP source was operated at 13.56MHz and the ESC was RF biased at 13..

Temperature (°C)	ESC Voltage (+/- kV)	Dechuck time (sec)
30	5	10
180	5	900
180	2	300

Table 1 – Dechuck times as a function of ESC temperature and voltage.

As can be seen in Table 1, under low temperature operation at a clamping voltage of - +/- 5kV, dechucking can occur in ~10 seconds. When the temperature of the ESC was increased using the same clamping voltage, the dechucking time increases dramatically to ~900 seconds. Table 1 shows that the dechucking time can be reduced to 300 seconds by lowering the clamping voltage to +/-2kV. However, a 300 second dechucking step is still not a practical solution. During the dechucking step an inert plasma formed in Ar or He is used to help remove change from the substrate.

Without wishing to be bound by any particular theory or conjecture, it is speculated that at elevated temperatures the Al_2O_3 ceramic layer covering the conductive electrodes becomes less resistive, dropping from $\rho \sim 10^{15}$ ohms-cm to $\rho \sim 10^{12} - 10^{13}$ ohms-cm. This is believed to result in a Johnsen-Rahbek (J-R) contribution to the clamping electrostatic force. Typically, when $\rho > 10^{13}$ ohms-cm coulomb forces will be stronger than J-R forces, whilst when $\rho < 10^{10}$ ohms-cm J-R forces will dominate. This additional charging of the ceramic is believed to result in a longer dechuck time. These comparative examples demonstrate that conventional etching and dechucking

techniques can result in dechuck times that are undesirably long, even if a dechucking plasma is used to assist in the removal of charge from the substrate.

Examples

A series of experiments were carried out in accordance with the invention at an ESC temperature of 180°C. In the experiments, the polarity of the high voltage applied to the ESC electrodes was alternated for a period of time during the etch step while controlling the He back pressure. The back pressure of the He cooling gas was reduced several seconds prior to each voltage switch to avoid wafer movement when the related J-R clamping force is reduced. By reducing the He flow during each switching of the polarity of the applied ESC voltage, it was possible to maintain plasma etching and only produce minimal charging of the substrate, enabling a relatively swift dechucking cycle. After the etch step an inert dechucking plasma was generated. Table 2 describes the dechucking plasma conditions used. Typically ~ 500W RF power is applied to the ICP coil at 13.56MHz at a chamber pressure of ~5mTorr with an Ar flow of ~100sccm. The duration for the experiments was fixed at 30 seconds. The plasma etch step uses routine process conditions (with the exception of the switching of the ESC and the cooling gas back pressure) and therefore it is not necessary to provide detailed process details for this step.

Time (Secs)	30
RF Power (Watts)	500
Pressure (mTorr)	5
Ar flow (sccm)	100

Table 2. Dechucking plasma conditions

Table 3 describes three examples using various combinations of He back pressure, He switch / off times, intervals between each polarity switch, and dechuck times. In each case a default 30 second dechucking plasma was used before the wafer was successfully lifted from the ESC and handled out of the process chamber. These

examples demonstrate that a commercially viable dechuck time of 30 seconds or less is readily achievable. Acceptable substrate retention and cooling was maintained.

Process time (sec)	He pressure (Torr)	He OFF time (sec)	ESC Voltage (+/- kV)	Polarity switch time (sec)	Dechuck time (sec)
300	8	10	2.5	60	30
300	5	5	2	60	30
480	5	10	2	120	30

Table 3. Cycled polarity conditions to reduce dechuck times.

Although the tests were carried out at 180°C using an Al_2O_3 bipolar ESC the same principle would apply over a wide range of temperatures where bipolar coulombic clamping is used when no plasma is present and where J-R force is significant when a plasma or alternative source of charge is introduced into the process chamber. For Al_2O_3 we would expect this to be the case over at least a temperature range of 140-300°C. With other ESC materials, the temperature range over which a measurable improvement in dechuck time can be observed is likely to differ. The invention is not limited to any particular operating temperature. Neither is the invention limited to any one plasma etching technique. The parameters and operating conditions described herein can be varied in order to suit any given application. For example, the number of times the ESC is switched between the first and second bipolar modes of operation, the period of time spent in each mode of operation prior to switching, and the timing and duration of the periods in which the back pressure of the cooling gas is reduced can be determined by the skilled reader using the principles described herein.

Claims

1. A method of plasma etching a semiconductor substrate comprising the steps of:

positioning a semiconductor substrate on a substrate support within a chamber so that an upper surface of the semiconductor substrate can be exposed to the plasma etching and a lower surface of the semiconductor substrate is supported by the substrate support, wherein the substrate support comprises a bipolar electrostatic chuck ("ESC") and a cooling gas system for supplying a cooling gas to the lower surface at an associated pressure, and wherein the ESC comprises at least a first electrode and a second electrode;

plasma etching the semiconductor substrate; and

removing the semiconductor substrate from the substrate support after the plasma etching step is completed;

in which, during the plasma etching step: a cooling gas is supplied to the lower surface of the semiconductor substrate at an associated pressure; the ESC is switched between a first bipolar mode of operation in which a positive voltage is applied to the first electrode and a negative voltage is applied to the second electrode, and a second bipolar mode of operation in which a negative voltage is applied to the first electrode and a positive voltage is applied to the second electrode; and the pressure of the cooling gas is reduced when the ESC is switched between the first and second bipolar modes of operation with respect to the pressure at other times during the plasma etching step so that the semiconductor substrate remains positioned on the substrate support.

2. A method according to claim 1 in which the pressure of the cooling gas is reduced to a pressure of less than 1 Torr when the ESC is switched between the first and second bipolar modes of operation.

3. A method according to claim 1 or claim 2 in which the ESC is switched between the first and second bipolar modes of operation a plurality of times during the plasma etching step.

4. A method according to claim 3 in which the ESC is switched between the first and second bipolar modes of operation at least three times during the plasma etching step.

5. A method according to any one of claims 1 to 4 in which the semiconductor substrate attains a temperature of at least 140°C during the plasma etching step.

6. A method according to any one of claims 1 to 5 comprising the further step of exposing the semiconductor substrate to a plasma formed in an inert gas or inert gaseous mixture, in which the further step is performed between the steps of plasma etching the semiconductor substrate and removing the semiconductor substrate from the substrate support.

7. A method according to claim 6 in which the inert gas or inert gaseous mixture comprises He and/or Ar.

8. A method according to any previous claim in which the semiconductor substrate would be moved by the cooling gas if the ESC was switched between the first and second bipolar modes of operation without reducing the pressure of the cooling gas.

9. A method according to any previous claim in which the semiconductor substrate is an InP semiconductor substrate.

10. A method according to any previous claim in which the ESC comprises a dielectric material and during the switching of the ESC between the first and second bipolar modes of operation the resistivity of the dielectric material is in the range 10^{12}-10^{13} ohms-cm.

11. An apparatus for plasma etching a semiconductor substrate using the method according to any previous claim, the apparatus comprising:

a chamber;

a substrate support disposed within the chamber, wherein the substrate support comprises a bipolar electrostatic chuck (“ESC”) and a cooling gas system for supplying a cooling gas to the lower surface at an associated pressure, and wherein the ESC comprises at least a first electrode and a second electrode;

a plasma generation device for sustaining a plasma within the chamber for etching the semiconductor substrate;

a mechanism for removing the semiconductor substrate from the substrate support; and

a controller configured to control the apparatus to perform a step of plasma etching the semiconductor substrate in which the ESC is switched between a first bipolar mode of operation in which a positive voltage is applied to the first electrode and a negative voltage is applied to the second electrode, and a second bipolar mode of operation in which a negative voltage is applied to the first electrode and a positive voltage is applied to the second electrode; and the pressure of the cooling gas is reduced when the ESC is switched between the first and second bipolar modes of operation with respect to the pressure at other times during the plasma etching step so that the semiconductor substrate remains positioned on the substrate support.

12. An apparatus according to claim 9 in which the plasma generation device is an Inductively Coupled Plasma (ICP) device.

13. An apparatus according to claim 9 or claim 10 further comprising a bypass valve in fluid communication with the cooling gas system and a gas pump, wherein the controller is configured to open and shut the bypass valve so that the pressure of the cooling gas is reduced when the ESC is switched between the first

and second bipolar modes of operation by opening the bypass valve to exhaust cooling gas by the gas pump.

14. An apparatus according to any one of claims 11 to 13 in which the electrodes of the ESC are non-interdigitated.

15. An apparatus according to any one of claims 11 to 14 in which the ESC comprises Al_2O_3.

Abstract

According to the invention there is provided a method of plasma etching a semiconductor substrate comprising the steps of:

positioning a semiconductor substrate on a substrate support within a chamber so that an upper surface of the semiconductor substrate can be exposed to the plasma etching and a lower surface of the semiconductor substrate is supported by the substrate support, wherein the substrate support comprises a bipolar electrostatic chuck ("ESC") and a cooling gas system for supplying a cooling gas to the lower surface at an associated pressure, and wherein the ESC comprises at least a first electrode and a second electrode;

plasma etching the semiconductor substrate; and

removing the semiconductor substrate from the substrate support after the plasma etching step is completed;

in which, during the plasma etching step: a cooling gas is supplied to the lower surface of the semiconductor substrate at an associated pressure; the ESC is switched between a first bipolar mode of operation in which a positive voltage is applied to the first electrode and a negative voltage is applied to the second electrode, and a second bipolar mode of operation in which a negative voltage is applied to the first electrode and a positive voltage is applied to the second electrode; and the pressure of the cooling gas is reduced when the ESC is switched between the first and second bipolar modes of operation with respect to the pressure at other times during the plasma etching step so that the semiconductor substrate remains positioned on the substrate support.

[Figure 2]

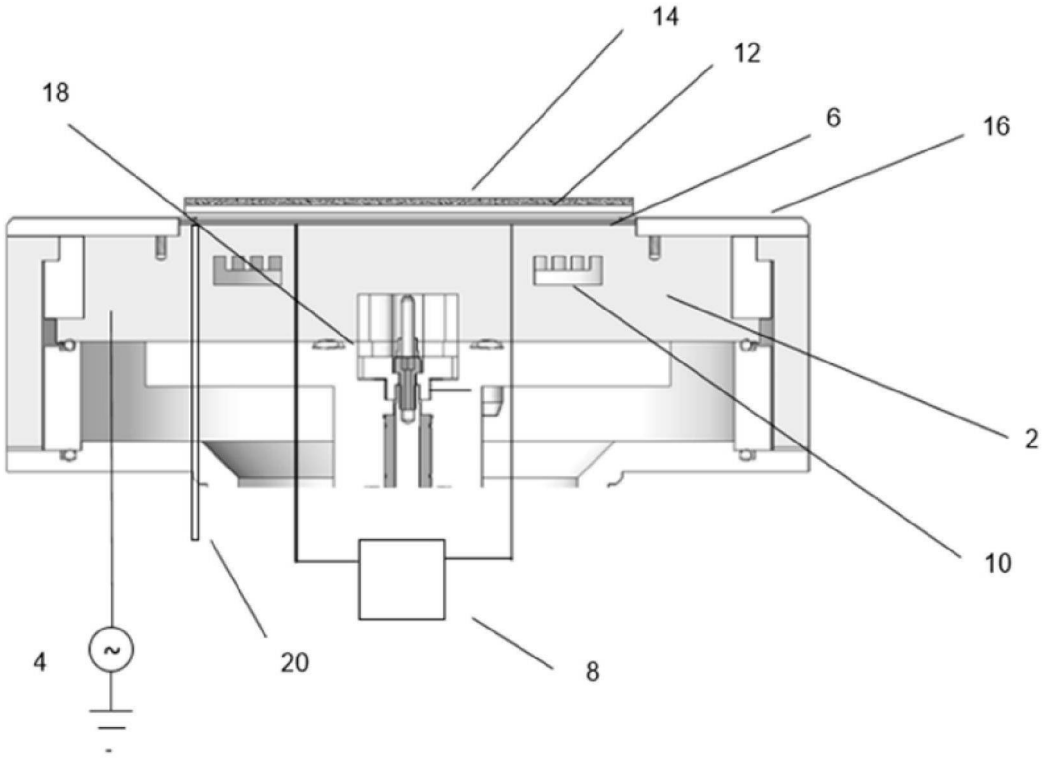


Figure 1

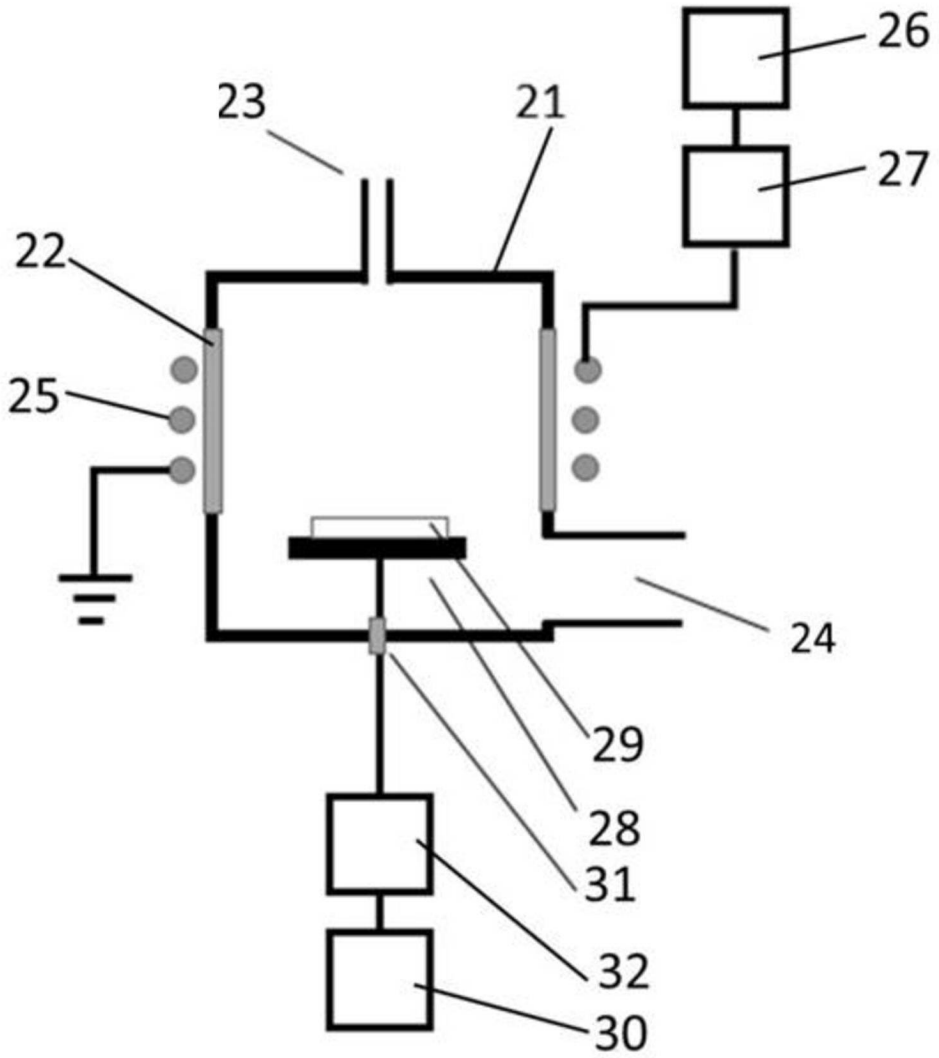


Figure 2

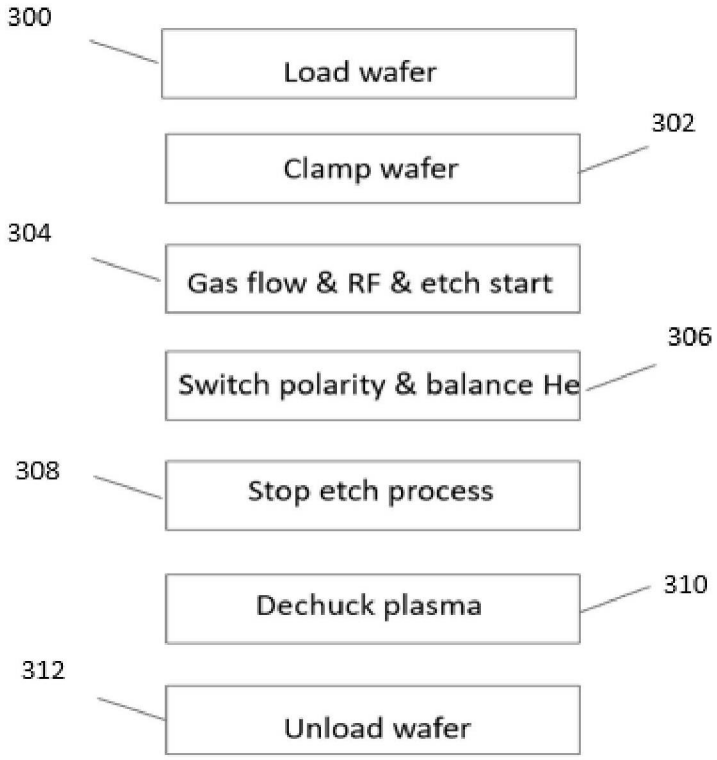

300
Load wafer
302
Clamp wafer
304
Gas flow & RF & etch start
306
Switch polarity & balance He
308
Stop etch process
310
Dechuck plasma
312
Unload wafer

Figure 3

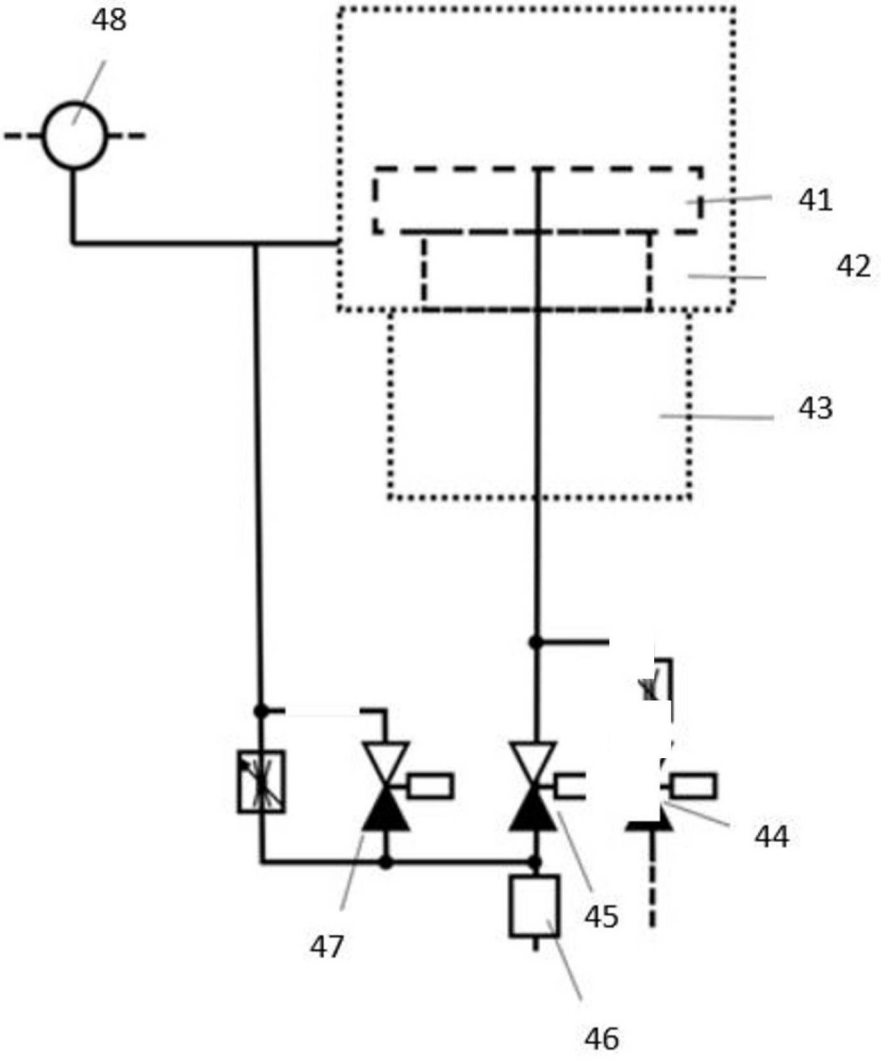


Figure 4

フロントページの続き

(51)国際特許分類	FI	テーマコード（参考）
	C23C 16/50	

Fターム（参考） 5F131 AA02 AA22 BA03 BA19 CA32 CA68 DA33 DA52 DB51 EA03
EB11 EB12 EB15 EB18 EB19 EB24 EB72 EB78 EB81 EB84