

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第6565905号
(P6565905)

(45) 発行日 令和1年8月28日(2019.8.28)

(24) 登録日 令和1年8月9日(2019.8.9)

(51) Int.Cl.

F I

HO 4 N	5/341	(2011.01)	HO 4 N	5/341
HO 4 N	5/343	(2011.01)	HO 4 N	5/343
HO 4 N	5/369	(2011.01)	HO 4 N	5/369
HO 4 N	5/372	(2011.01)	HO 4 N	5/372
HO 4 N	5/374	(2011.01)	HO 4 N	5/374

請求項の数 15 (全 28 頁) 最終頁に続く

(21) 出願番号 特願2016-517829 (P2016-517829)
 (86) (22) 出願日 平成27年2月27日 (2015.2.27)
 (86) 国際出願番号 PCT/JP2015/055801
 (87) 国際公開番号 W02015/170503
 (87) 国際公開日 平成27年11月12日 (2015.11.12)
 審査請求日 平成30年2月20日 (2018.2.20)
 (31) 優先権主張番号 特願2014-96867 (P2014-96867)
 (32) 優先日 平成26年5月8日 (2014.5.8)
 (33) 優先権主張国・地域又は機関
 日本国 (JP)

(73) 特許権者 000002185
 ソニー株式会社
 東京都港区港南1丁目7番1号
 (74) 代理人 110002147
 特許業務法人酒井国際特許事務所
 (72) 発明者 関 健三郎
 東京都港区港南1丁目7番1号 ソニー株
 式会社内
 審査官 橋 高志

最終頁に続く

(54) 【発明の名称】 情報処理装置及び情報処理方法

(57) 【特許請求の範囲】

【請求項 1】

複数の画素それぞれから出力される画素信号に基づく、第1のデータ密度で伝送された第1のデータと、前記第1のデータ密度とは異なる第2のデータ密度で伝送された第2のデータとのそれぞれを処理する処理部を備え、

前記処理部は、前記第1のデータに基づく画像を出力する出力処理と、前記第1のデータに基づく前記第2のデータに対する画像処理とのうち、少なくともいずれかを実行し、前記第1のデータに基づき、当該第1のデータの生成元となる前記画素信号と同じフレームに基づく画素信号に基づき、前記第2のデータに対して前記画像処理を施す、

情報処理装置。

10

【請求項 2】

前記処理部は、前記第1のデータに基づく画像をスルー画像として表示部に表示させ、前記第2のデータに基づく画像データを所定の記録部に記憶させる、請求項1に記載の情報処理装置。

【請求項 3】

前記処理部は、複数の前記第1のデータを取得する期間中に、前記第1のデータよりも少ない数の前記第2のデータを取得する、請求項1 または 2 に記載の情報処理装置。

【請求項 4】

前記処理部は、互いに並列して伝送される前記第1のデータと前記第2のデータとを取得する、請求項1 ~ 3 のいずれか一項に記載の情報処理装置。

20

【請求項 5】

前記処理部は、前記第 1 のデータと、当該第 1 のデータの生成元となる前記画素信号と同じフレームに基づく画素信号に基づいて、前記第 2 のデータとを時分割で取得する、請求項 1 ~ 3 のいずれか一項に記載の情報処理装置。

【請求項 6】

前記処理部は、前記第 1 のデータの取得後に、当該第 1 のデータの生成元となる前記画素信号と同じフレームに基づく画素信号に基づいて、前記第 2 のデータを取得する、請求項 5 に記載の情報処理装置。

【請求項 7】

前記処理部は、互いに異なる条件に基づき撮像された画像を示す複数の前記第 1 のデータと、当該複数の前記第 1 のデータそれぞれに対応する前記画像のうち、少なくとも一部の画像を示す前記第 2 のデータを取得する、請求項 1 ~ 6 のいずれか一項に記載の情報処理装置。

10

【請求項 8】

前記第 1 のデータ密度は、前記第 2 のデータ密度よりも粗い、請求項 1 ~ 7 のいずれか一項に記載の情報処理装置。

【請求項 9】

前記処理部は、複数の前記第 1 のデータに基づき動画像を生成し、前記第 2 のデータに基づき前記動画像よりも解像度の高い静止画像を生成する、請求項 8 に記載の情報処理装置。

20

【請求項 10】

前記処理部は、前記動画像を形成する複数フレームのうち、少なくとも一部のフレームに基づく前記画素信号に応じた前記第 2 のデータに基づき前記静止画像を生成する、請求項 9 に記載の情報処理装置。

【請求項 11】

複数の画素それぞれから出力される画素信号に基づくデータを保持する保持部と、
前記複数の画素のうち、少なくとも一部の画素から出力される画素信号に基づく第 1 のデータと、前記保持部に保持された前記画素信号に基づく第 2 のデータとを、前記第 1 のデータに基づく画像の処理と、前記第 1 のデータに基づいて行われる前記第 2 のデータに対する画像の処理との少なくともいずれかを実行する処理部に、それぞれ出力する出力部と、

30

を備え、

前記第 1 のデータに基づき、当該第 1 のデータの生成元となる前記画素信号と同じフレームに基づく画素信号に基づき、前記第 2 のデータに対して前記画像の処理が施される、
情報処理装置。

【請求項 12】

前記出力部は、1 フレーム分の前記画素信号に基づく前記第 2 のデータが前記保持部に保持される速度よりも遅い速度で、当該保持部に保持された当該第 2 のデータを出力する、請求項 11 に記載の情報処理装置。

【請求項 13】

40

前記出力部は、複数フレームの前記画素信号に基づき、当該複数フレームのうち少なくとも一部のフレームの画素信号に基づく前記第 1 のデータを出力し、当該第 1 のデータの出力後に、前記保持部に保持された当該複数フレームの画素信号に基づく複数の前記第 2 のデータを出力する、請求項 11 または 12 に記載の情報処理装置。

【請求項 14】

前記保持部は、1 フレーム以上の前記画素信号に基づく前記第 2 のデータを保持可能な空き領域が存在する限り、前記複数の画素それぞれから出力される画素信号に基づく前記第 2 のデータを保持する、請求項 13 に記載の情報処理装置。

【請求項 15】

第 1 のデータ密度で伝送された第 1 のデータと、前記第 1 のデータ密度とは異なる第 2

50

のデータ密度で伝送された第2のデータとのそれぞれを処理することと、

取得された前記第1のデータに基づく画像を出力する出力処理と、前記第1のデータに基づく前記第2のデータに対する画像処理とのうち、少なくともいずれかを実行することと、

を含み、

前記第1のデータに基づき、当該第1のデータの生成元となる画素信号と同じフレームに基づく画素信号に基づき、前記第2のデータに対して前記画像処理が施される、
情報処理方法。

【発明の詳細な説明】

10

【技術分野】

【0001】

本開示は、情報処理装置及び情報処理方法に関する。

【背景技術】

【0002】

近年では、CCD (Charge Coupled Device) やCMOS (Complementary Metal-Oxide Semiconductor) センサ等の撮像素子を備えたデジタルスチルカメラやデジタルビデオカメラが普及している。デジタルスチルカメラは静止画像を撮像するものであり、デジタルビデオカメラは動画画像を撮像するものであるが、動画画像を撮像可能なデジタルスチルカメラや静止画像を撮像可能なデジタルビデオカメラも存在する。なお、以降では、デジタルスチルカメラとデジタルビデオカメラとを特に区別しない場合には、単に「デジタルカメラ」と記載する場合がある。

20

【0003】

上記に示したようなデジタルカメラは、例えば、LCD (Liquid Crystal Display) 等で構成された表示部を備え、当該表示部に撮像された画像を表示可能に構成されている場合が少なくない。また、近年では、上記に示したデジタルカメラの中には、撮像された画像中から人間の顔の領域を検出し、検出された領域に対して色味の調整を行う等のような、撮像された画像に対して画像処理を自動で施すものもある。

【先行技術文献】

【特許文献】

30

【0004】

【特許文献1】特開2013-055589号公報

【発明の概要】

【発明が解決しようとする課題】

【0005】

また、近年のデジタルカメラの中には、撮像素子中の画素数を増やすことで、より高精細な画像（解像度の高い画像）を撮像可能としたものもある。その一方で、画像の高精細化に伴い当該画像のデータ量も増大する傾向にある。そのため、例えば、撮像された画像をユーザが確認するために表示部に表示させる処理や、撮像された画像を解析し当該画像に対して画像処理を施して出力する処理等のように、撮像された画像の出力に係る処理時間

40

【0006】

そこで、本開示では、撮像された画像の出力に係る処理時間をより短縮することが可能な、新規かつ改良された情報処理装置及び情報処理方法を提案する。

【課題を解決するための手段】

【0007】

本開示によれば、複数の画素それぞれから出力される画素信号に基づく、第1のデータ密度で伝送された第1のデータと、前記第1のデータ密度とは異なる第2のデータ密度で伝送された第2のデータとのそれぞれを処理する処理部を備え、前記処理部は、前記第1のデータに基づく画像を出力する出力処理と、前記第1のデータに基づく前記第2のデー

50

タに対する画像処理とのうち、少なくともいずれかを実行する、情報処理装置が提供される。

【 0 0 0 8 】

また、本開示によれば、複数の画素それぞれから出力される画素信号に基づくデータを保持する保持部と、

前記複数の画素のうち、少なくとも一部の画素から出力される画素信号に基づく第 1 のデータと、前記保持部に保持された前記画素信号に基づく第 2 のデータとを、前記第 1 のデータに基づく画像の処理と、前記第 1 のデータに基づいて行われる前記第 2 のデータに対する画像の処理との少なくともいずれかを実行する処理部に、それぞれ出力する出力部と、を備える、情報処理装置が提供される。

10

【 0 0 0 9 】

また、本開示によれば、第 1 のデータ密度で伝送された第 1 のデータと、前記第 1 のデータ密度とは異なる第 2 のデータ密度で伝送された第 2 のデータとのそれぞれを処理することと、取得された前記第 1 のデータに基づく画像を出力する出力処理と、前記第 1 のデータに基づく前記第 2 のデータに対する画像処理とのうち、少なくともいずれかを実行することと、を含む、情報処理方法が提供される。

【 発明の効果 】

【 0 0 1 0 】

以上説明したように本開示によれば、撮像された画像の出力に係る処理時間をより短縮することが可能な情報処理装置及び情報処理方法が提供される。

20

【 0 0 1 1 】

なお、上記の効果は必ずしも限定的なものではなく、上記の効果とともに、または上記の効果に代えて、本明細書に示されたいずれかの効果、または本明細書から把握され得る他の効果が奏されてもよい。

【 図面の簡単な説明 】

【 0 0 1 2 】

【 図 1 】 比較例に係る撮像装置の概略的な構成の一例について説明するための説明図である。

【 図 2 】 比較例 2 に係る撮像装置の処理の流れについて説明するための説明図である。

【 図 3 】 比較例 3 に係る撮像装置の処理の流れについて説明するための説明図である。

30

【 図 4 】 本開示の実施形態に係る撮像装置の概要について説明するための説明図である。

【 図 5 】 同実施形態に係るイメージセンサの一部の構成例を示すブロック図である。

【 図 6 】 同実施形態に係るイメージセンサのチップの構成の一例について説明するための説明図である。

【 図 7 】 同実施形態に係る撮像装置の構成の一例を示したブロック図である。

【 図 8 】 実施例 1 に係る撮像装置の処理の流れの一例について説明するための概略的なタイムチャートである。

【 図 9 】 実施例 2 に係る撮像装置の処理の流れの一例について説明するための概略的なタイムチャートである。

【 図 10 】 実施例 3 に係る撮像装置の処理の流れの一例について説明するための概略的なタイムチャートである。

40

【 図 11 】 同実施例に係る撮像装置の処理の流れの他の一例について説明するための概略的なタイムチャートである。

【 図 12 】 同実施形態に係るコンピュータのハードウェア構成の一例について説明するための説明図である。

【 発明を実施するための形態 】

【 0 0 1 3 】

以下に添付図面を参照しながら、本開示の好適な実施の形態について詳細に説明する。なお、本明細書及び図面において、実質的に同一の機能構成を有する構成要素については、同一の符号を付することにより重複説明を省略する。

50

【 0 0 1 4 】

なお、説明は以下の順序で行うものとする。

- 1 . 実施の形態
 - 1 . 1 . 課題の整理
 - 1 . 2 . 概要
 - 1 . 3 . イメージセンサの構成
 - 1 . 4 . 撮像装置の構成
- 2 . 実施例
 - 2 . 1 . 実施例 1 : 解像度の異なる画像を時分割で出力する場合の一例
 - 2 . 2 . 実施例 2 : 解像度の異なる画像を並列で出力する場合の一例
 - 2 . 3 . 実施例 3 : 連続撮影を行う場合の一例
- 3 . ハードウェア構成
- 4 . まとめ

10

【 0 0 1 5 】

< 1 . 実施の形態 >

[1 . 1 . 課題の整理]

本開示の実施形態に係る撮像装置についての説明にあたり、図 1 ~ 3 を参照して、従来の撮像装置の一例について比較例として説明することで、本実施形態に係る撮像装置の課題について整理する。まず、図 1 を参照して、比較例に係る撮像装置の概要について説明する。図 1 は、比較例に係る撮像装置の概略的な構成の一例について説明するための説明図である。なお、図 1 に示す例を、以降では比較例 1 と呼ぶ場合がある。

20

【 0 0 1 6 】

図 1 において、参照符号 1 0 0 a は、比較例 1 に係る撮像装置に設けられたイメージセンサを模式的に示している。イメージセンサ 1 0 0 a は、例えば、C M O S (Complementary Metal-Oxide Semiconductor) イメージセンサや C C D (Charge Coupled Device) イメージセンサ等の、被写体を撮像し、撮像画像のデジタルデータを得る撮像素子である。イメージセンサ 1 0 0 a は、複数の画素が行列 (アレイ) 状に配置された画素アレイ部 1 1 1 を含んで構成される。なお、一般的には、画素アレイ部 1 1 1 以外の回路も含むが、図 1 に示す例では、説明をわかりやすくするために、当該画素アレイ部 1 1 1 以外の回路の図示を省略している。

30

【 0 0 1 7 】

また、参照符号 2 0 0 a は、画素アレイ部 1 1 1 の各画素からの画素信号に基づき供給される画像信号に対して、所謂画像処理を施す画像処理 L S I (Large Scale Integration) を模式的に示している。画像処理としては、例えば、黒レベル補正や、混色補正、欠陥補正、デモザイク処理、マトリックス処理、ガンマ補正、および Y C 変換等が挙げられる。画像処理部 2 1 0 は、画像処理 L S I 2 0 0 a により実現される画像処理機能を模式的に示している。なお、画像処理 L S I 2 0 0 a は、画像処理以外の他の機能を実行するための構成を含んでもよいが、図 1 に示す例では、説明をわかりやすくするために、画像処理部 2 1 0 以外の構成の図示を省略している。

40

【 0 0 1 8 】

また、参照符号 n 0 は、イメージセンサ 1 0 0 a と画像処理 L S I 2 0 0 a との間の信号の流れ (ストリーム) を模式的に示している。

【 0 0 1 9 】

即ち、図 1 に示した比較例 1 に係る撮像装置では、イメージセンサ 1 0 0 a は、図示しない光学系素子を介して入射した光を光電変換し、各画素の画素値を A / D 変換することで、被写体の撮像画像を示す画像信号を生成する。そして、イメージセンサ 1 0 0 a は、生成した画像信号をストリーム n 0 として、画像処理 L S I 2 0 0 a の画像処理部 2 1 0 に出力する。

【 0 0 2 0 】

画像処理 L S I 2 0 0 a は、ストリーム n 0 として、イメージセンサ 1 0 0 a から出力

50

された画像信号を取得し、取得した画像信号に対して画像処理を施し、画像処理後の画像信号を、例えば、図視しない表示部にプレビュー画像（所謂、スルー画）として表示させる。これにより、ユーザは、撮像された画像を、表示部を介して確認することが可能となる。

【 0 0 2 1 】

次に、図 2 を参照して、図 1 に示した撮像装置において、イメージセンサ 1 0 0 a により被写体の画像が露光（撮像）され、露光された画像を示す画像信号が画像処理 L S I 2 0 0 a に読み出されるまでの処理の流れの一例について説明する。図 2 は、比較例に係る撮像装置の処理の流れについて説明するための説明図であり、機械式の先膜及び後膜を用いた所謂フォーカルプレーンシャッターを適用した場合の概略的なタイムチャートの一例を示している。なお、図 2 に示す例を、以降では比較例 2 と呼ぶ場合がある。

10

【 0 0 2 2 】

図 2 において、横軸は時間を示しており、縦軸は画素アレイ部 1 1 1 の行方向を示している。また、参照符号 d 9 1 0 及び d 9 1 1 は、画素アレイ部 1 1 1 の各画素の露光期間を模式的に示している。なお、参照符号 d 9 1 0 で示された露光期間は、参照符号 d 9 1 1 で示された露光期間以前に撮像された画像の露光期間を示しているものとする。

【 0 0 2 3 】

ここで、被写体の画像が撮像される際の一連の処理の流れについて、露光期間 d 9 1 1 に着目して説明する。まず、参照符号 d 9 0 1 に示されたタイミングで、全画素に蓄積された画素信号がリセットされる。全画素のリセットが完了すると、参照符号 d 9 2 1 に示すように、各画素への光の入射を遮蔽している先膜が行方向に移動することで、先膜により遮蔽されていた光が各画素に入射し、露光が開始される。その後、参照符号 d 9 3 1 に示すように、後膜が先行する先膜を追うように行方向に沿って移動することで、当該後膜が各画素への光の入射を遮蔽し、露光が終了する。即ち、各画素について、参照符号 d 9 2 1 と d 9 3 1 とで示された期間 T 9 3 が、当該画素における露光時間に相当し、図 2 に示す例では、行単位で、各画素の露光開始及び終了のタイミングが異なる。

20

【 0 0 2 4 】

また、図 2 における参照符号 d 9 4 1 は、各画素からの画素信号の読み出しに係る処理を模式的に示している。即ち、図 2 に示した比較例 2 では、一連の画素について露光が完了した後に、各画素から画素信号が行単位で逐次読み出される。参照符号 T 9 5 は、一連の画素からの画素信号の読み出しに係る処理の期間を示している。

30

【 0 0 2 5 】

即ち、図 2 に示す比較例 2 の場合には、一連の画素について露光が完了し、かつ、当該一連の画素から画素信号が読み出された後に、撮像された画像が生成されることとなる。換言すると、図 2 に示す比較例 2 の場合には、全画素のリセットが行われてから、一連の画素からの画像信号の読み出しが完了するまでの期間 T 9 1 a 中は、露光期間 d 9 1 1 で撮像された画像を出力することが困難である。

【 0 0 2 6 】

なお、期間 T 9 1 a 中に、露光期間 d 9 1 0 で撮像された画像を表示させることも可能である。しかしながら、以前に撮像された画像を、例えば、モニタリング画像として表示させる場合には、実際にユーザが見ている被写体よりも以前の被写体の画像を出力することとなる。リアルタイム性に乏しい。

40

【 0 0 2 7 】

次に、図 3 を参照して、図 1 に示した撮像装置における、イメージセンサ 1 0 0 a により被写体の画像が露光（撮像）され、露光された画像を示す画像信号が画像処理 L S I 2 0 0 a に読み出されるまでの処理の流れの他の一例について説明する。図 3 は、比較例に係る撮像装置の処理の流れについて説明するための説明図であり、機械式の先膜及び後膜を用いずに、電子的に各画素の露光期間を制御する場合の概略的なタイムチャートの一例を示している。なお、図 3 に示す例を、以降では比較例 3 と呼ぶ場合がある。

【 0 0 2 8 】

50

図 3 において、横軸は時間を示しており、縦軸は画素アレイ部 1 1 1 の行方向を示している。また、参照符号 d 9 1 0 及び d 9 1 1 は、図 2 と同様に、画素アレイ部 1 1 1 の各画素の露光期間を模式的に示している。参照符号 d 9 1 0 で示された露光期間は、参照符号 d 9 1 1 で示された露光期間以前に撮像された画像の露光期間を示しているものとする。

【 0 0 2 9 】

図 3 に示す比較例 3 では、各画素に蓄積された画素信号のリセットと、当該画素の露光開始とが同期している。即ち、参照符号 d 9 0 1 に示すように、各画素のリセットが行単位で逐次実行され、各画素のリセットが完了すると、速やかに当該画素の露光が開始される。また、各画素の露光終了と、当該画素からの画素信号の読み出しとが同期している。即ち、参照符号 d 9 4 1 に示すように、各画素の露光が終了すると、速やかに当該画素からの画素信号の読み出しが開始される。

10

【 0 0 3 0 】

このような構成により、図 3 に示す比較例 3 では、全画素の露光の完了を待たずに、各画素からの画素信号の読み出しを開始することが可能となる。そのため、図 3 に示す比較例 3 では、図 2 に示す比較例 2 に比べて、露光が開始されてから一連の画素からの画素信号の読み出しが完了するまでの期間 T 9 1 b を短縮することが可能な場合がある。

【 0 0 3 1 】

一方で、図 3 に示す比較例 3 では、各画素間の走査速度が、参照符号 d 9 4 1 で示された各画素からの画像信号の読み出しに係る速度に依存する。そのため、例えば、図 1 に示す、ストリーム n 0 の伝送速度が制限されている場合には、撮像される画像の解像度が大きいほど、走査スピードが遅くなり、例えば、フォーカルプレーン歪みが発生する場合がある。なお、ストリーム n 0 の伝送速度が制限される場合の一例としては、イメージセンサ 1 0 0 a と画像処理 L S I 2 0 0 a との間のバスの帯域が制限されている場合が挙げられる。

20

【 0 0 3 2 】

また、上記に示した比較例 2 及び比較例 3 のいずれにおいても、撮像された画像に対して画像処理を施す場合には、一連の画素からの画素信号の読み出しが完了し、当該画素信号に基づく画像を解析した後、当該解析結果に基づき画像処理を施すこととなる。そのため、比較例 2 及び比較例 3 においては、撮像される画像の解像度が高くなるほど、露光から画素信号の読み出しに係る処理と、画素信号に基づく画像の解析に係る処理との処理時間が増大し、結果として、画像の出力に要する時間が増大することとなる。

30

【 0 0 3 3 】

そこで、本実施形態に係る撮像装置は、撮像された画像をユーザが確認するために表示部に表示させる処理や、撮像された画像を解析し当該画像に対して画像処理を施して出力する処理等の、撮像された画像の出力に係る処理時間をより短縮することを目的とする。

【 0 0 3 4 】

[1 . 2 . 概要]

次に、図 4 を参照して、本実施形態に係る撮像装置の概要について説明する。図 4 は、本開示の実施形態に係る撮像装置の概要について説明するための説明図である。なお、図 4 は、本実施形態に係る撮像装置の概略的な構成について、イメージセンサ 1 0 0 と画像処理 L S I 2 0 0 とに着目して示しており、その他の構成については図示を省略している。

40

【 0 0 3 5 】

図 4 に示すように、本実施形態にイメージセンサ 1 0 0 は、フレームメモリ 1 9 0 を含む点で、図 1 に示した比較例 1 に係るイメージセンサ 1 0 0 a と異なる。参照符号 n 1 及び n 2 は、イメージセンサ 1 0 0 と画像処理 L S I 2 0 0 との間の信号の流れ（ストリーム）を模式的に示している。

【 0 0 3 6 】

また、本実施形態に係る撮像装置は、図 3 に基づき説明した比較例 3 と同様に、機械式

50

の先膜及び後膜を用いずに、電子的に各画素の露光期間を制御する。そのため、本実施形態に係る撮像装置は、全画素の露光完了を待たずに、露光が完了した画素から画素信号を逐次読み出し可能に構成されている。

【0037】

具体的には、図4に示す本実施形態に係る撮像装置では、イメージセンサ100は、図示しない光学系素子を介して入射した光を光電変換し、各画素の画素値をA/D変換することで、被写体の撮像画像を示す画像信号を生成する。このとき、イメージセンサ100は、画素アレイ部111を構成する複数の画素のうち、少なくとも一部の画素からの画素信号に基づく画像信号を、ストリームn1として画像処理LSI200に出力する。

【0038】

また、イメージセンサ100は、画素アレイ部111を構成する複数の画素それぞれからの画素信号をフレームメモリ190に一時的に記録する。そして、イメージセンサ100は、フレームメモリ190に記録された各画素の画素信号を逐次読み出し、読み出された画素信号に基づく画像信号を、ストリームn2として画像処理LSI200に出力する。

【0039】

このような構成より、イメージセンサ100は、例えば、一部の画素からの画素信号に基づく低解像度の画像（即ち、間引き画像）をストリームn1とし、全画素からの画素信号に基づく高解像度の画像をストリームn2として、画像処理LSI200に出力することが可能となる。

【0040】

なお、イメージセンサ100は、全画素からの画素信号をフレームメモリ190に一時的に保持させることが可能なため、ストリームn1とストリームn2とを、必ずしも同じタイミングで並列に画像処理LSI200に出力する必要はない。即ち、イメージセンサ100は、ストリームn1の出力後にストリームn2を出力することも可能である。もちろん、イメージセンサ100は、ストリームn1とストリームn2とを並列に画像処理LSI200に出力してもよいことは言うまでもない。

【0041】

そのため、例えば、画像処理LSI200は、イメージセンサ100からストリームn1として先行して出力される画像信号（低解像度の画像）をプレビュー画像として表示部に表示させ、ストリームn2として出力される画像信号（高解像度の画像）を画像データとして記録することも可能である。このような構成により、本実施形態に係る撮像装置は、イメージセンサ100と画像処理LSI200との間の伝送速度が制限されている場合においても、前述した各比較例に比べて、露光の完了からプレビュー画像を表示するまでの時間（換言すると、画像の撮像後における画面が表示されない時間）を短縮することが可能となる。

【0042】

また、他の一例として、画像処理LSI200は、イメージセンサ100からストリームn1として先行して出力される画像信号（低解像度の画像）を解析し、当該解析の結果に基づき、ストリームn2として出力される画像信号（高解像度の画像）に対して画像処理を施すことも可能となる。

【0043】

即ち、画像処理LSI200は、ストリームn1として出力される画像信号の解析と、ストリームn2として出力される画像信号の取得とを並行して実行することが可能となる。また、ストリームn1として低解像度の画像の画像信号を取得するため、全画素の画像信号を解析する場合に比べて、解析の対象となる画像信号の取得に係る時間と、当該解析自体に係る時間との双方を短縮することも可能となる。そのため、本実施形態に係る撮像装置は、露光の完了から、撮像された画像を解析し、当該解析結果に基づき撮像された画像に対して画像処理を施したうえで、画像処理後の画像を出力するまでの時間を短縮することが可能となる。

10

20

30

40

50

【 0 0 4 4 】

また、前述した構成により、画像処理 L S I 2 0 0 は、ストリーム n 1 及び n 2 を時分割で取得することが可能なため、当該ストリーム n 1 及び n 2 として、同じフレームで撮像された画像の画像信号を使用することが可能となる。そのため、本実施形態に係る撮像装置は、異なるフレームで撮像された画像信号の解析結果に基づき画像処理を施す場合に比べて、画像処理の精度を向上させることが可能となる。

【 0 0 4 5 】

また、他の一例として、画像処理 L S I 2 0 0 は、ストリーム n 1 として低解像度の画像の画像信号をイメージセンサ 1 0 0 から逐次取得し、取得した当該画像に基づき動画を生成してもよい。また、このとき、画像処理 L S I 2 0 0 は、所望のフレーム（例えば、ユーザから指定されたフレーム）に対応する高解像度の画像の画像信号をストリーム n 2 として取得し、取得した画像信号に基づき静止画像を生成してもよい。

10

【 0 0 4 6 】

このような構成により、本実施形態に係る撮像装置は、動画像と静止画像との双方を同時に撮像し、かつ、静止画像として動画像よりも解像度の高い画像を記録することが可能となる。また、このとき、イメージセンサ 1 0 0 からは、所望のフレームについてのみ高解像度の画像の画像信号が出力される。そのため、本実施形態に係る撮像装置は、イメージセンサ 1 0 0 と画像処理 L S I 2 0 0 との間で伝送される画像信号の容量を最小限に抑えることが可能となり、ひいては、各画像の出力に要する時間を短縮することが可能となる。

20

【 0 0 4 7 】

なお、イメージセンサ 1 0 0 と、画像処理 L S I 2 0 0 とは、必ずしも同一筐体内に設けられている必要はない。その場合には、画像処理 L S I 2 0 0 が設けられた装置が、「情報処理装置」の一例に相当する。また、ストリーム n 1 が「第 1 のデータ密度」で伝送される「第 1 のデータ」の一例に相当し、ストリーム n 2 が「第 2 のデータ密度」で伝送される「第 2 のデータ」の一例に相当する。また、画像処理部 2 1 0 のうち、ストリーム n 1 及び n 2 を取得する構成が「取得部」の一例に相当し、ストリーム n 1 及び n 2 に基づき各画像（例えば、プレビュー画像や画像処理後の画像）を出力する構成が「処理部」の一例に相当する。

【 0 0 4 8 】

30

以上、図 4 を参照しながら、本実施形態に係る撮像装置の概要について説明した。次いで、以降では、本実施形態に係る撮像装置についてさらに詳しく説明する。

【 0 0 4 9 】

〔 1 . 3 . イメージセンサの構成 〕

まず、図 5 を参照して、本実施形態に係るイメージセンサの構成の一例について、特に、図示しない光学系素子を介して入射した光を光電変換し、各画素の画素値を A / D 変換することで画素信号を生成して出力する構成に着目して説明する。図 5 は、本実施形態に係るイメージセンサの一部の構成例を示すブロック図である。図 5 に示されるイメージセンサ 1 0 0 は、例えば、C M O S (Complementary Metal Oxide Semiconductor) イメージセンサや C C D (Charge Coupled Device) イメージセンサ等の、被写体を撮像し、撮像画像のデジタルデータを得る撮像素子である。

40

【 0 0 5 0 】

図 5 に示されるように、イメージセンサ 1 0 0 は、制御部 1 0 1 、画素アレイ部 1 1 1 、選択部 1 1 2 、A / D 変換部 (A D C (Analog Digital Converter)) 1 1 3 、及び定電流回路部 1 1 4 を有する。

【 0 0 5 1 】

制御部 1 0 1 は、イメージセンサ 1 0 0 の各部を制御し、画像データ (画素信号) の読み出し等に関する処理を実行させる。

【 0 0 5 2 】

画素アレイ部 1 1 1 は、フォトダイオード等の光電変換素子を有する画素構成が行列 (

50

アレイ) 状に配置される画素領域である。画素アレイ部 1 1 1 は、制御部 1 0 1 に制御されて、各画素で被写体の光を受光し、その入射光を光電変換して電荷を蓄積し、所定のタイミングにおいて、各画素に蓄積された電荷を画素信号として出力する。

【 0 0 5 3 】

画素 1 2 1 および画素 1 2 2 は、その画素アレイ部 1 1 1 に配置される画素群の中の、上下に隣接する 2 画素を示している。画素 1 2 1 および画素 1 2 2 は、互いに同じカラム(列)の連続する行の画素である。図 5 の例の場合、画素 1 2 1 および画素 1 2 2 に示されるように、各画素の回路には、光電変換素子並びに 4 つのトランジスタが用いられている。なお、各画素の回路の構成は、任意であり、図 5 に示される例以外であってもよい。

【 0 0 5 4 】

一般的な画素アレイには、カラム(列)毎に、画素信号の出力線が設けられる。画素アレイ部 1 1 1 の場合、1 カラム(列)毎に、2 本(2 系統)の出力線が設けられる。1 カラムの画素の回路は、1 行おきに、この 2 本の出力線に交互に接続される。例えば、上から奇数番目の行の画素の回路が一方の出力線に接続され、偶数番目の行の画素の回路が他方の出力線に接続される。図 5 の例の場合、画素 1 2 1 の回路は、第 1 の出力線(V S L 1)に接続され、画素 1 2 2 の回路は、第 2 の出力線(V S L 2)に接続される。

【 0 0 5 5 】

なお、図 5 においては、説明の便宜上、1 カラム分の出力線のみ示されているが、実際には、各カラムに対して、同様に 2 本ずつ出力線が設けられる。各出力線には、そのカラムの画素の回路が 1 行おきに接続される。

【 0 0 5 6 】

選択部 1 1 2 は、画素アレイ部 1 1 1 の各出力線を A D C 1 1 3 の入力に接続するスイッチを有し、制御部 1 0 1 に制御されて、画素アレイ部 1 1 1 と A D C 1 1 3 との接続を制御する。つまり、画素アレイ部 1 1 1 から読み出された画素信号は、この選択部 1 1 2 を介して A D C 1 1 3 に供給される。

【 0 0 5 7 】

選択部 1 1 2 は、スイッチ 1 3 1、スイッチ 1 3 2、およびスイッチ 1 3 3 を有する。スイッチ 1 3 1(選択 SW)は、互いに同じカラムに対応する 2 本の出力線の接続を制御する。例えば、スイッチ 1 3 1 がオン(ON)状態になると、第 1 の出力線(V S L 1)と第 2 の出力線(V S L 2)が接続され、オフ(OFF)状態になると切断される。

【 0 0 5 8 】

詳細については後述するが、イメージセンサ 1 0 0 においては、各出力線に対して A D C が 1 つずつ設けられている(カラム A D C)。したがって、スイッチ 1 3 2 およびスイッチ 1 3 3 がともにオン状態であるとする、スイッチ 1 3 1 がオン状態になれば、同カラムの 2 本の出力線が接続されるので、1 画素の回路が 2 つの A D C に接続されることになる。逆に、スイッチ 1 3 1 がオフ状態になると、同カラムの 2 本の出力線が切断されて、1 画素の回路が 1 つの A D C に接続されることになる。つまり、スイッチ 1 3 1 は、1 つの画素の信号の出力先とする A D C(カラム A D C)の数を選択する。

【 0 0 5 9 】

詳細については後述するが、このようにスイッチ 1 3 1 が画素信号の出力先とする A D C の数を制御することにより、イメージセンサ 1 0 0 は、その A D C の数に応じてより多様な画素信号を出力することができる。つまり、イメージセンサ 1 0 0 は、より多様なデータ出力を実現することができる。

【 0 0 6 0 】

スイッチ 1 3 2 は、画素 1 2 1 に対応する第 1 の出力線(V S L 1)と、その出力線に対応する A D C との接続を制御する。スイッチ 1 3 2 がオン(ON)状態になると、第 1 の出力線が、対応する A D C の比較器の一方の入力に接続される。また、オフ(OFF)状態になるとそれらが切断される。

【 0 0 6 1 】

スイッチ 1 3 3 は、画素 1 2 2 に対応する第 2 の出力線(V S L 2)と、その出力線に

10

20

30

40

50

対応するA D Cとの接続を制御する。スイッチ1 3 3がオン（O N）状態になると、第2の出力線が、対応するA D Cの比較器の一方の入力に接続される。また、オフ（O F F）状態になるとそれらが切断される。

【0 0 6 2】

選択部1 1 2は、制御部1 0 1の制御に従って、このようなスイッチ1 3 1～スイッチ1 3 3の状態を切り替えることにより、1つの画素の信号の出力先とするA D C（カラムA D C）の数を制御することができる。

【0 0 6 3】

なお、スイッチ1 3 2やスイッチ1 3 3（いずれか一方もしくは両方）を省略し、各出力線と、その出力線に対応するA D Cとを常時接続するようにしてもよい。ただし、これらのスイッチによって、これらの接続・切断を制御することができるようにすることにより、1つの画素の信号の出力先とするA D C（カラムA D C）の数の選択の幅が広がる。つまり、これらのスイッチを設けることにより、イメージセンサ1 0 0は、より多様な画素信号を出力することができる。

【0 0 6 4】

なお、図5においては、1カラム分の出力線に対する構成のみ示されているが、実際には、選択部1 1 2は、カラム毎に、図5に示されるのと同様の構成（スイッチ1 3 1～スイッチ1 3 3）を有している。つまり、選択部1 1 2は、各カラムについて、制御部1 0 1の制御に従って、上述したのと同様の接続制御を行う。

【0 0 6 5】

A D C 1 1 3は、画素アレイ部1 1 1から各出力線を介して供給される画素信号を、それぞれA / D変換し、デジタルデータとして出力する。A D C 1 1 3は、画素アレイ部1 1 1からの出力線毎のA D C（カラムA D C）を有する。つまり、A D C 1 1 3は、複数のカラムA D Cを有する。1出力線に対応するカラムA D Cは、比較器、D / A変換器（D A C）、およびカウンタを有するシングルスロープ型のA D Cである。

【0 0 6 6】

比較器は、そのDAC出力と画素信号の信号値とを比較する。カウンタは、画素信号とD A C出力が等しくなるまで、カウント値（デジタル値）をインクリメントする。比較器は、D A C出力が信号値に達すると、カウンタを停止する。その後カウンタ1, 2によってデジタル化された信号をD A T A 1およびD A T A 2よりイメージセンサ1 0 0の外部に出力する。

【0 0 6 7】

カウンタは、次のA / D変換のためデータ出力後、カウント値を初期値（例えば0）に戻す。

【0 0 6 8】

A D C 1 1 3は、各カラムに対して2系統のカラムA D Cを有する。例えば、第1の出力線（V S L 1）に対して、比較器1 4 1（C O M P 1）、D A C 1 4 2（D A C 1）、およびカウンタ1 4 3（カウンタ1）が設けられ、第2の出力線（V S L 2）に対して、比較器1 5 1（C O M P 2）、D A C 1 5 2（D A C 2）、およびカウンタ1 5 3（カウンタ2）が設けられている。図示は省略しているが、A D C 1 1 3は、他のカラムの出力線に対しても同様の構成を有する。

【0 0 6 9】

ただし、これらの構成の内、D A Cは、共通化することができる。D A Cの共通化は、システム毎に行われる。つまり、各カラムの互いに同じ系統のD A Cが共通化される。図5の例の場合、各カラムの第1の出力線（V S L 1）に対応するD A CがD A C 1 4 2として共通化され、各カラムの第2の出力線（V S L 2）に対応するD A CがD A C 1 5 2として共通化されている。なお、比較器とカウンタは、各出力線の系統毎に設けられる。

【0 0 7 0】

定電流回路部1 1 4は、各出力線に接続される定電流回路であり、制御部1 0 1により制御されて駆動する。定電流回路部1 1 4の回路は、例えば、M O S（Metal Oxide Se

10

20

30

40

50

micronductor) トランジスタ等により構成される。この回路構成は任意であるが、図 5 においては、説明の便宜上、第 1 の出力線 (VSL1) に対して、MOS トランジスタ 161 (LOAD1) が設けられ、第 2 の出力線 (VSL2) に対して、MOS トランジスタ 162 (LOAD2) が設けられている。

【0071】

制御部 101 は、例えばユーザ等の外部から要求を受け付けて読み出しモードを選択し、選択部 112 を制御して、出力線に対する接続を制御する。また、制御部 101 は、選択した読み出しモードに応じて、カラム ADC の駆動を制御したりする。さらに、制御部 101 は、カラム ADC 以外にも、必要に応じて、定電流回路部 114 の駆動を制御したり、例えば、読み出しのレートやタイミング等、画素アレイ部 111 の駆動を制御したりする。

10

【0072】

つまり、制御部 101 は、選択部 112 の制御だけでなく、選択部 112 以外の各部も、より多様なモードで動作させることができる。したがって、イメージセンサ 100 は、より多様な画素信号を出力することができる。

【0073】

なお、図 5 に示す各部の数は、不足しない限り任意である。例えば、各カラムに対して、出力線が 3 系統以上設けられるようにしてもよい。また、図 5 に示した、ADC113 から出力される画素信号の並列数や、ADC113 自体の数を増やすことで、外部に並列して出力される画素信号の数を増やしてもよい。

20

【0074】

次に、本実施形態に係るイメージセンサ 100 のチップの構成について、図 6 を参照して説明する。図 5 を参照しながら説明したように、各カラムに対して複数の ADC を設けると、チップサイズが増大し、コストが増大する場合がある。そのため、本実施形態に係るイメージセンサ 100 では、図 6 に示すように、チップを積層化してもよい。

【0075】

図 6 の場合、イメージセンサ 100 は、画素アレイ部 111 が主に形成される画素チップ 100-1 と、出力回路、周辺回路、および ADC113 等が形成される周辺回路チップ 100-2、およびパッド (PAD) との複数チップにより構成される。画素チップ 100-1 の画素アレイ部 111 の出力線とドライブ線が貫通ビア (VIA) を介して周辺回路チップ 100-2 の回路と接続されている。なお、図 4 に示したフレームメモリ 190 は、例えば、出力回路や周辺回路中に設ければよい。

30

【0076】

このような構成とすることにより、チップサイズを小さくすることができ、コストを削減させることができる。また、配線層のスペースに余裕ができるので、配線の引き回しも容易になる。さらに、複数チップ化することにより、各チップをそれぞれ最適化することができる。例えば、画素チップにおいては、配線層による光学的な反射による量子効率の低下を防ぐためにより少ない配線層で低背化を実現し、周辺回路チップにおいては、配線間カップリング対策など最適化を可能にするために配線層の多層化を実現することができる。例えば、周辺回路チップの配線層を、画素チップの配線層よりも多層化することもできる。

40

【0077】

なお、裏面照射型のイメージセンサの場合、配線層による光学的な反射は生じないが、不要な配線層数の増大を抑制することにより、配線工程数の増大等を抑制し、コストの削減を実現することができる。

【0078】

また、画素チップエリアと同等なチップ面積があるため、トータルの積層チップの面積を増加させることなく周辺回路領域に複数の ADC の搭載が可能になる。

【0079】

なお、本技術を適用した撮像素子 (撮像装置) は、上述した構成に限らず、他の構成で

50

あってもよいことは言うまでもない。

【 0 0 8 0 】

以上のようにして、本実施形態に係るイメージセンサ 1 0 0 は、図示しない光学系素子を介した入射した光を光電変換し、各画素の画素値を A / D 変換することで画素信号を生成し、生成した各画素信号を、図 5 に示す D A T A 1 および D A T A 2 より出力する。そして、イメージセンサ 1 0 0 は、例えば、D A T A 1 及び D A T A 2 のうち、いずれか（ここでは、D A T A 1 とする）から出力される画素信号をスプリッタ等で分波し、分波された一方の画素信号を図 4 に示すストリーム n 1 として画像処理 L S I 2 0 0 に出力する。

【 0 0 8 1 】

また、イメージセンサ 1 0 0 は、D A T A 1 より出力されスプリッタ等で分波された他方の画素信号と、D A T A 2 より出力された画素信号とをフレームメモリ 1 9 0 に一時的に記録する。そして、イメージセンサ 1 0 0 は、フレームメモリ 1 9 0 に記録された各画素の画素信号を逐次読み出し、読み出された画素信号に基づく画像信号を、ストリーム n 2 として画像処理 L S I 2 0 0 に出力する。なお、フレームメモリ 1 9 0 への画素信号の入出力に係る制御の主体は特に限定されない。例えば、前述した制御部 1 0 1 が制御を行ってもよいし、当該制御部 1 0 1 とは別に制御部を設けてもよい。

【 0 0 8 2 】

また、画素アレイ部 1 1 1 を構成する各画素で取得された画素信号を一時的に保持可能であれば、フレームメモリ 1 9 0 を設ける位置や、当該フレームメモリ 1 9 0 の数は特に限定されない。例えば、フレームメモリ 1 9 0 の数を複数設けることで、当該複数のフレームメモリ 1 9 0 それぞれに対する画素信号の入出力を並列して実行することが可能となる。そのため、フレームメモリ 1 9 0 への画素信号の入出力に係る速度に依存した処理速度の低下を緩和することが可能となる。

【 0 0 8 3 】

また、他の一例として、画素アレイ部 1 1 1 を構成する各画素の画素回路上に、当該画素で取得された画素信号を一時的に保持するためのキャッシュを設けてもよい。このような構成により、各画素とフレームメモリ 1 9 0 との間の画素信号の入出力に係る処理や、フレームメモリ 1 9 0 からの各画素信号の読み出しに係る処理の実行タイミングを、より柔軟に制御することが可能となる。また、各画素回路から画素信号をフレームメモリ 1 9 0 に書き込むためのピン数が増加するため、当該画素回路と当該フレームメモリ 1 9 0 との間のバスの帯域をより広くすることも可能となる。

【 0 0 8 4 】

[1 . 4 . 撮像装置の構成]

次に、図 7 を参照して、本実施形態に係る撮像装置の構成の一例について説明する。図 7 は、本実施形態に係る撮像装置の構成の一例を示したブロック図であり、前述したイメージセンサ 1 0 0 と画像処理 L S I 2 0 0 とを同一筐体内に設けた場合の一例を示している。図 7 に示される撮像装置 3 0 0 は、被写体を撮像し、その被写体の画像を電気信号として出力する装置である。

【 0 0 8 5 】

図 7 に示されるように撮像装置 3 0 0 は、レンズ部 3 1 1、C M O S センサ 3 1 2、操作部 3 1 4、制御部 3 1 5、画像処理部 3 1 6、表示部 3 1 7、コーデック処理部 3 1 8、および記録部 3 1 9 を有する。

【 0 0 8 6 】

レンズ部 3 1 1 は、レンズや絞り等の光学系素子よりなる。レンズ部 3 1 1 は、制御部 3 1 5 に制御されて、被写体までの焦点を調整し、焦点が合った位置からの光を集光し、C M O S センサ 3 1 2 に供給する。

【 0 0 8 7 】

C M O S センサ 3 1 2 は、被写体を撮像するイメージセンサであり、制御部 3 1 5 に制御されて、入射光を光電変換し、各画素の画素値を A / D 変換することにより、被写体の

10

20

30

40

50

撮像画像のデータ（撮像画像）を得る。ＣＭＯＳセンサ３１２は、制御部３１５に制御されて、その撮像により得られた撮像画像データを画像処理部３１６に供給する。

【００８８】

操作部３１４は、例えば、ジョグダイヤル（商標）、キー、ボタン、またはタッチパネル等により構成され、ユーザによる操作入力を受け、その操作入力に対応する信号を制御部３１５に供給する。

【００８９】

制御部３１５は、操作部３１４により入力されたユーザの操作入力に対応する信号に基づいて、レンズ部３１１、ＣＭＯＳセンサ３１２、画像処理部３１６、表示部３１７、コーデック処理部３１８、および記録部３１９の駆動を制御し、各部に撮像に関する処理を行わせる。

10

【００９０】

画像処理部３１６は、ＣＭＯＳセンサ３１２から供給された画像信号に対して、例えば、黒レベル補正や、混色補正、欠陥補正、デモザイク処理、マトリックス処理、ガンマ補正、およびＹＣ変換等の各種画像処理を施す。この画像処理の内容は任意であり、上述した以外の処理が行われてもよい。画像処理部３１６は、画像処理を施した画像信号を表示部３１７およびコーデック処理部３１８に供給する。

【００９１】

表示部３１７は、例えば、液晶ディスプレイ等として構成され、画像処理部３１６からの画像信号に基づいて、被写体の画像を表示する。

20

【００９２】

コーデック処理部３１８は、画像処理部３１６からの画像信号に対して、所定の方式の符号化処理を施し、符号化処理の結果得られた画像データを記録部３１９に供給する。

【００９３】

記録部３１９は、コーデック処理部３１８からの画像データを記録する。記録部３１９に記録された画像データは、必要に応じて画像処理部３１６に読み出されることで、表示部３１７に供給され、対応する画像が表示される。

【００９４】

撮像装置３００のＣＭＯＳセンサ３１２は、図５を参照して上述したイメージセンサ１００と同様の構成を有する。

30

【００９５】

つまり、ＣＭＯＳセンサ３１２は、１つの画素の信号の出力先とするＡＤＣ（カラムＡＤＣ）の数を選択する選択部（スイッチ）を有する。即ち、ＣＭＯＳセンサ３１２は、このＡＤＣの数に応じて、より多様な画素信号を出力することができる。したがって撮像装置３００は、その多様な画素信号を用いて、より多様な処理を実現することができる。

【００９６】

また、ＣＭＯＳセンサ３１２は、フレームメモリ１９０を備え、全画素からの画素信号をフレームメモリ１９０に一時的に保持させることで、低解像度の画像と高解像度の画像とを、互いに異なるストリームｎ１及びｎ２として出力することができる。また、画像処理部３１６は、図４を参照して上述した画像処理ＬＳＩ２００の画像処理部２１０に相当する。そのため、画像処理部３１６は、例えば、ＣＭＯＳセンサ３１２から先行して出力される画像信号（低解像度の画像）をプレビュー画像として表示部に表示させ、次いで出力される画像信号（高解像度の画像）を画像データとして記録することが可能となる。即ち、撮像装置３００は、ＣＭＯＳセンサ３１２と画像処理部３１６との間の伝送速度が制限されている場合においても、露光の完了からプレビュー画像を表示するまでの時間をより短縮することが可能となる。

40

【００９７】

また、他の一例として、画像処理部３１６は、ＣＭＯＳセンサ３１２から先行して出力される画像信号（低解像度の画像）を解析し、当該解析の結果に基づき、次いで出力される画像信号（高解像度の画像）に対して画像処理を施すことも可能となる。即ち、撮像装

50

置 3 0 0 は、露光の完了から、撮像された画像を解析し、当該解析結果に基づき撮像された画像に対して画像処理を施したうえで、画像処理後の画像を出力するまでの時間を短縮することが可能となる。

【 0 0 9 8 】

また、前述した構成により、画像処理部 3 1 6 は、高解像度の画像に対する画像処理に対して、先行して出力される当該画像と同じフレームに対応する低解像度の画像の解析結果を利用することが可能となる。そのため、撮像装置 3 0 0 は、異なるフレームで撮像された画像の解析結果に基づき画像処理を施す場合に比べて、画像処理の精度を向上させることが可能となる。

【 0 0 9 9 】

< 2 . 実施例 >

次に、本実施形態に係る撮像装置の実施例として、当該撮像装置が被写体の画像を撮像するモードの例と、当該モードごとの処理の流れ、即ち、被写体の画像が露光（撮像）され、露光された画像を示す画像信号が読み出されるまでの処理の流れの一例について説明する。

【 0 1 0 0 】

[2 . 1 . 実施例 1 : 解像度の異なる画像を時分割で出力する場合の一例]

まず、実施例 1 に係る撮像装置の処理の流れの一例について、図 4 に示す概略的な構成の一例とあわせて、図 8 を参照して説明する。図 8 は、実施例 1 に係る撮像装置の処理の流れの一例について説明するための概略的なタイムチャートである。

【 0 1 0 1 】

図 8 は、各画素での露光処理を示す画素制御と、フレームメモリ 1 9 0 への画素信号の入出力に係る処理を示すメモリ制御と、イメージセンサ 1 0 0 から画像処理 L S I 2 0 0 への画素信号の伝送に係る処理を示す出力制御との関係を示している。図 8 において、横軸は時間を示している。また、画素制御、メモリ制御、及び出力制御として示したタイムチャートの縦軸は、対象となる画素信号の出力元である画素の行方向の位置を示している。

【 0 1 0 2 】

参照符号 T 1 1 及び T 1 2 は、本実施形態に係るイメージセンサ 1 0 0 における垂直同期信号の一例をフレームレートで示している。例えば、T 1 1 は、約 3 0 [f p s] であり、T 1 2 は、約 1 2 0 [f p s] である。なお、図 8 に示すように、期間 T 1 1 は、1 連の画素が露光を完了するために要する期間を示しており、期間 T 1 2 は、一連の画素を走査するために要する走査期間に相当する。

【 0 1 0 3 】

また、参照符号 d 1 1 0 ~ d 1 1 4 は、画素アレイ部 1 1 1 の各画素の露光期間を模式的に示している。即ち、露光期間 d 1 1 0 ~ d 1 1 4 のそれぞれは、画素アレイ部 1 1 1 の各画素における露光を、行単位で時系列に沿って開始タイミングをずらしながら実行する処理の流れを、時系列に沿って模式的に示している。また、参照符号 T 1 3 は、各画素の露光時間を示している。

【 0 1 0 4 】

参照符号 d 2 1 0 ~ d 2 1 3 は、露光期間 d 1 1 0 ~ d 1 1 3 のそれぞれにおいて、イメージセンサ 1 0 0 が、各画素から出力された画素信号をフレームメモリ 1 9 0 に書き込む処理（一時的に保持させる処理）の流れを示している。なお、以降では、参照符号 d 2 1 0 ~ d 2 1 3 で示された、フレームメモリ 1 9 0 への画素信号の書き込み処理を、単に「書き込み処理」と記載する場合がある。

【 0 1 0 5 】

また、参照符号 d 3 1 0 ~ d 3 1 3 は、イメージセンサ 1 0 0 が、画素アレイ部 1 1 1 を構成する複数の画素のうち、少なくとも一部の画素からの画素信号を、図 4 に示すストリーム n 1 として、画像処理 L S I 2 0 0 に出力する処理の流れを示している。なお、以降では、参照符号 d 3 1 0 ~ d 3 1 3 で示された、イメージセンサ 1 0 0 から画像処理 L

10

20

30

40

50

ＳＩ２００への画像信号の出力処理を、「第１の出力処理」と呼ぶ場合がある。

【０１０６】

また、参照符号ｄ２２１～ｄ２２３は、イメージセンサ１００が、フレームメモリ１９０に書き込まれた（一時的に保持された）画素信号を読み出す処理の流れを示している。なお、以降では、参照符号ｄ２２１～ｄ２２３で示された、イメージセンサ１００からの画像信号の読み出しに係る処理を、単に「読み出し処理」と呼ぶ場合がある。

【０１０７】

また、参照符号ｄ３２１～ｄ３２３は、イメージセンサ１００が、フレームメモリ１９０から読み出した画素信号を、図４に示すストリームｎ２として、画像処理ＬＳＩ２００に出力する処理の流れを示している。なお、以降では、参照符号ｄ３２１～ｄ３２３で示された、フレームメモリ１９０から読み出された画素信号が、イメージセンサ１００から画像処理ＬＳＩ２００へ出力される処理を、「第２の出力処理」と呼ぶ場合がある。

【０１０８】

図８に示すように、書き込み処理ｄ２１１及び第１の出力処理ｄ３１１は、露光期間ｄ１１１の終了と同期して実行される。即ち、画素アレイ部１１１の各画素で露光が終了すると（即ち、露光期間ｄ１１１が完了すると）、イメージセンサ１００は、書き込み処理ｄ２１１に示す処理タイミングで、各画素から出力される画素信号をフレームメモリ１９０に逐次書き込む。また、一部の画素からの画素信号については、イメージセンサ１００は、フレームメモリ１９０に向けて出力される画素信号を分波させて、一方の画素信号を第１の出力処理ｄ３１１に示す処理タイミングで画像処理ＬＳＩ２００に直接出力する。また、分波された他方の画素信号については、イメージセンサ１００は、当該画素信号をフレームメモリ１９０に書き込む。このことは、ｄ１１０、ｄ１１２～ｄ１１４で示した他の露光期間完了後に、各画素から出力される画素信号についても同様である。

【０１０９】

また、イメージセンサ１００は、第１の出力処理ｄ３１１の完了後に、書き込み処理ｄ２１１においてフレームメモリ１９０に書き込まれた画素信号（例えば、全画素からの画素信号）を、読み出し処理ｄ２２１が示す処理タイミングで逐次読み出す。そして、イメージセンサ１００は、フレームメモリ１９０から読み出した画素信号を、第２の出力処理ｄ３２１に示す処理タイミングで、画像処理ＬＳＩ２００に出力する。このことは、ｄ２１２及びｄ２１３で示した他の書き込み処理により、フレームメモリ１９０に書き込まれた画素信号（即ち、露光期間ｄ１１２及びｄ１１３の完了後に出力された画素信号）についても同様である。

【０１１０】

以上のような構成に基づき、イメージセンサ１００は、一部の画素からの画素信号に基づく画像信号（低解像度の画像）と、全画素からの画像信号に基づく画像信号（高解像度の画像）とを、第１の出力処理ｄ３１１及び第２の出力処理ｄ３２１として時分割で画像処理ＬＳＩ２００に出力する。そのため、画像処理ＬＳＩ２００は、例えば、第１の出力処理ｄ３１１に基づき先行して出力される画像信号（低解像度の画像）をプレビュー画像として表示部に表示させ、次いで第２の出力処理ｄ３２１に基づき出力される画像信号（高解像度の画像）を画像データとして記録することが可能となる。即ち、本実施例に係る撮像装置は、イメージセンサ１００と画像処理ＬＳＩ２００との間の伝送速度が制限されている場合においても、露光の完了からプレビュー画像を表示するまでの時間をより短縮することが可能となる。

【０１１１】

また、画像処理ＬＳＩ２００は、第１の出力処理ｄ３１１に基づき先行して出力される画像信号（低解像度の画像）を解析し、当該解析の結果に基づき、次いで第２の出力処理ｄ３２１に基づき出力される画像信号（高解像度の画像）に対して画像処理を施すことも可能となる。即ち、本実施例に係る撮像装置は、露光の完了から、撮像された画像を解析し、当該解析結果に基づき撮像された画像に対して画像処理を施したうえで、画像処理後の画像を出力するまでの時間を短縮することが可能となる。

【 0 1 1 2 】

なお、上記に示す例では、露光期間 d 1 1 0 ~ d 1 1 3 それぞれで取得された画素信号に基づき、第 1 の出力処理 d 3 1 0 ~ d 3 1 3 を実行する例について説明したが、一部の露光期間で取得された画素信号については第 1 の出力処理を実行しなくてもよい。例えば、図 8 に示す例の場合には、第 1 の出力処理 d 3 1 1 を実行しなくてもよい。この場合には、露光期間 d 1 1 1 で撮像された画素信号については、第 2 の出力処理 d 3 2 1 に基づき高解像度の画像信号のみが画像処理 L S I 2 0 0 に出力されることとなる。

【 0 1 1 3 】

同様に、一部の露光期間で取得された画素信号については第 2 の出力処理を実行しなくてもよい。例えば、図 8 に示す例では、露光期間 d 1 1 0 で撮像された画素信号については、第 1 の出力処理 d 3 1 0 に基づき低解像度の画像信号のみが画像処理 L S I 2 0 0 に出力されることとなる。

10

【 0 1 1 4 】

また、第 1 の出力処理に基づき低解像度の画像のみを画像処理 L S I 2 0 0 に出力する場合には、イメージセンサ 1 0 0 は、書き込み処理、即ち、フレームメモリ 1 9 0 への画素信号の書き込みに係る処理を必ずしも実行しなくてもよい。

【 0 1 1 5 】

[2 . 2 . 実施例 2 : 解像度の異なる画像を並列で出力する場合の一例]

次に、実施例 2 に係る撮像装置の処理の流れの一例について、図 4 に示す概略的な構成の一例とあわせて、図 9 を参照して説明する。図 9 は、実施例 2 に係る撮像装置の処理の流れの一例について説明するための概略的なタイムチャートである。

20

【 0 1 1 6 】

図 9 における、横軸及び縦軸は、図 8 を参照しながら説明した実施例 1 と同様である。同様に、図 9 における、参照符号 T 1 1、T 1 2、d 1 1 0 ~ d 1 1 4、d 2 1 0 ~ d 2 1 3、及び、d 3 1 0 ~ d 3 1 3 は、図 8 を参照しながら説明した実施例 1 と同様である。

【 0 1 1 7 】

また、参照符号 d 2 3 1 及び d 2 3 3 は、実施例 2 に係る撮像装置において、イメージセンサ 1 0 0 が、フレームメモリ 1 9 0 に書き込まれた（一時的に保持された）画素信号を読み出す処理（即ち、読み出し処理）の流れを示している。

30

【 0 1 1 8 】

また、参照符号 d 3 3 1 及び d 3 3 3 は、実施例 2 に係る撮像装置において、イメージセンサ 1 0 0 が、フレームメモリ 1 9 0 から読み出した画素信号を、図 4 に示すストリーム n 2 として、画像処理 L S I 2 0 0 に出力する処理（即ち、第 2 の出力処理）の流れを示している。

【 0 1 1 9 】

図 9 における読み出し処理 d 2 3 1 と、図 8 における読み出し処理 d 2 2 1 とを比較するとわかるように、本実施例に係るイメージセンサ 1 0 0 は、読み出し処理（即ち、フレームメモリ 1 9 0 からの画素信号を読み出す処理）の速度が、図 8 に示す実施例 1 の場合と異なる。このことは、第 2 の出力処理についても同様である。即ち、本実施例に係るイメージセンサ 1 0 0 は、第 2 の出力処理（即ち、フレームメモリ 1 9 0 から読み出された画素信号を画像処理 L S I 2 0 0 に出力する処理）の速度が、図 8 に示す実施例 1 の場合と異なる。

40

【 0 1 2 0 】

具体的には、本実施例に係るイメージセンサ 1 0 0 は、2 枚分の画像が撮像される期間（期間 T 1 1 の 2 倍の期間）に亘って、1 枚分の画素信号をフレームメモリ 1 9 0 から読み出し、読み出した画素信号に基づく画像信号を画像処理 L S I 2 0 0 に出力する。換言すると、本実施例に係るイメージセンサ 1 0 0 は、図 8 に示した実施例 1 の場合よりも遅い速度で、読み出し処理及び第 2 の出力処理を実行する。

【 0 1 2 1 】

50

また、図 9 における書き込み処理 d 2 1 1 と読み出し処理 d 2 3 1 とを比較するとわかるように、本実施例に係るイメージセンサ 1 0 0 は、フレームメモリ 1 9 0 に書き込まれた画素信号を、一連の書き込み処理の完了を待たずに逐次読み出す。そして、イメージセンサ 1 0 0 は、第 2 の出力処理 d 3 3 1 を、第 1 の出力処理 d 3 1 1 と並列して実行する。即ち、本実施例に係るイメージセンサ 1 0 0 は、フレームメモリ 1 9 0 から読み出した画素信号に基づく画像信号を、第 1 の出力処理 d 3 1 1 に基づき画像処理 L S I 2 0 0 に出力される画像信号と並列に、当該画像処理 L S I 2 0 0 に出力する。

【 0 1 2 2 】

このような構成により、イメージセンサ 1 0 0 は、イメージセンサ 1 0 0 と画像処理 L S I 2 0 0 との間の伝送速度が制限されている場合においても、低解像度及び高解像度の画像信号を並列して画像処理 L S I 2 0 0 に出力することが可能となる。また、このとき、第 1 の出力処理 d 3 1 1 に基づき出力される画像信号（低解像度の画像信号）は、第 2 の出力処理 d 3 3 1 に基づき出力される画像信号（高解像度の画像信号）に先立って、画像処理 L S I 2 0 0 に受信されることとなる。

【 0 1 2 3 】

そのため、画像処理 L S I 2 0 0 は、例えば、第 1 の出力処理 d 3 1 1 に基づき先行して出力される画像信号（低解像度の画像）をプレビュー画像として表示部に表示させ、次いで第 2 の出力処理 d 3 3 1 に基づき出力される画像信号（高解像度の画像）を画像データとして記録することが可能となる。なお、このときイメージセンサ 1 0 0 は、第 2 の出力処理の速度を遅くすることで、帯域の制限されたバスを介して高解像度の画像信号を画像処理 L S I 2 0 0 に出力することが可能となる。このような構成により、本実施例に係る撮像装置は、イメージセンサ 1 0 0 と画像処理 L S I 2 0 0 との間の伝送速度が制限されている場合においても、露光の完了からプレビュー画像を表示するまでの時間を前より短縮することが可能となる。

【 0 1 2 4 】

また、画像処理 L S I 2 0 0 は、第 1 の出力処理 d 3 1 1 に基づき先行して出力される画像信号（低解像度の画像）を解析し、当該解析の結果に基づき、次いで第 2 の出力処理 d 3 3 1 に基づき出力される画像信号（高解像度の画像）に対して画像処理を施すことも可能となる。即ち、本実施例に係る撮像装置は、露光の完了から、撮像された画像を解析し、当該解析結果に基づき撮像された画像に対して画像処理を施したうえで、画像処理後の画像を出力するまでの時間を短縮することが可能となる。

【 0 1 2 5 】

[2 . 3 . 実施例 3 : 連続撮影を行う場合の一例]

次に、実施例 3 として、連続撮影を行う場合における本実施形態に係る撮像装置の処理の流れの一例について、図 4 に示す概略的な構成の一例とあわせて、図 1 0 を参照して説明する。図 1 0 は、実施例 3 に係る撮像装置の処理の流れの一例について説明するための概略的なタイムチャートである。

【 0 1 2 6 】

図 1 0 における、横軸及び縦軸は、図 8 を参照しながら説明した実施例 1 と同様である。同様に、図 1 0 における、参照符号 T 1 1 及び T 1 2 は、図 8 を参照しながら説明した比較例 1 と同様である。

【 0 1 2 7 】

また、図 1 0 において、参照符号 d 1 3 0 は、画素アレイ部 1 1 1 の各画素に蓄積された画素信号をリセットするための処理を示している。また、参照符号 d 1 4 1 ~ d 1 4 7 は、画素アレイ部 1 1 1 の各画素の露光期間を模式的に示している。

【 0 1 2 8 】

また、参照符号 d 2 4 1 ~ d 2 4 7 は、露光期間 d 1 4 1 ~ d 1 4 7 のそれぞれにおいて、イメージセンサ 1 0 0 が、各画素から出力された画素信号をフレームメモリ 1 9 0 に書き込む処理、即ち、書き込み処理の流れを示している。

【 0 1 2 9 】

また、参照符号 d 3 4 1 ~ d 3 4 7 は、イメージセンサ 1 0 0 が、画素アレイ部 1 1 1 を構成する複数の画素のうち、少なくとも一部の画素からの画素信号を、画像処理 L S I 2 0 0 に出力する処理、即ち、第 1 の出力処理の流れを示している。

【 0 1 3 0 】

また、参照符号 d 2 5 1 及び d 2 5 2 は、イメージセンサ 1 0 0 が、フレームメモリ 1 9 0 に書き込まれた（一時的に保持された）画素信号を読み出す処理、即ち、読み出し処理の流れを示している。

【 0 1 3 1 】

また、参照符号 d 3 5 1 及び d 3 5 2 は、イメージセンサ 1 0 0 が、フレームメモリ 1 9 0 から読み出した画素信号を、画像処理 L S I 2 0 0 に出力する処理、即ち、第 2 の出力処理の流れを示している。

10

【 0 1 3 2 】

図 1 0 に示す例では、イメージセンサ 1 0 0 は、露光期間 d 1 4 1 ~ d 1 4 7 のそれぞれで取得された画素信号を、書き込み処理 d 2 4 1 ~ d 2 4 7 に基づき、フレームメモリ 1 9 0 に逐次書き込む。また、イメージセンサ 1 0 0 は、書き込み処理 d 2 4 1 ~ d 2 4 7 に同期して、第 1 の出力処理 d 3 4 1 ~ d 3 4 7 を実行する。

【 0 1 3 3 】

なお、このとき、イメージセンサ 1 0 0 は、必ずしも露光期間 d 1 4 1 ~ d 1 4 7 のそれぞれで取得された画素信号すべてについて、第 1 の出力処理を実行する必要はない。例えば、図 1 0 の第 1 の出力処理 d 3 4 1 及び d 3 4 7 に示すように、イメージセンサ 1 0 0 は、露光期間 d 1 4 1 ~ d 1 4 7 のそれぞれで取得された画素信号のうち、一部の画素信号についてのみ第 1 の出力処理を実行してもよい。

20

【 0 1 3 4 】

一連の露光期間 d 1 4 1 ~ d 1 4 7（即ち、連続撮影の期間）で取得された各画素信号のフレームメモリ 1 9 0 への書き込みの完了後に、イメージセンサ 1 0 0 は、読み出し処理 d 2 5 1 及び d 2 5 2 に示す処理タイミングで、当該フレームメモリ 1 9 0 から各画素信号を逐次読み出す。そして、イメージセンサ 1 0 0 は、フレームメモリ 1 9 0 から読み出した画素信号を、第 2 の出力処理 d 3 5 1 及び d 3 5 2 に示す処理タイミングで、画像処理 L S I 2 0 0 に出力する。

【 0 1 3 5 】

30

以上のような構成により、画像処理 L S I 2 0 0 は、連続撮影時においても、第 2 の出力処理 d 3 5 1 に基づき出力される高解像度の画像信号に先立って、第 1 の出力処理 d 3 4 1 に基づき低解像度の画像信号を取得することが可能となる。そのため、本実施例に係る撮像装置においても、イメージセンサ 1 0 0 と画像処理 L S I 2 0 0 との間の伝送速度が制限されている場合においても、露光の完了からプレビュー画像を表示するまでの時間をより短縮することが可能となる。

【 0 1 3 6 】

また、画像処理 L S I 2 0 0 は、第 1 の出力処理 d 3 4 1 に基づき先行して出力される画像信号（低解像度の画像）を解析し、当該解析の結果に基づき、次いで第 2 の出力処理 d 3 5 1 に基づき出力される画像信号（高解像度の画像）に対して画像処理を施すことも可能となる。即ち、本実施例に係る撮像装置においても、露光の完了から、撮像された画像を解析し、当該解析結果に基づき撮像された画像に対して画像処理を施したうえで、画像処理後の画像を出力するまでの時間を短縮することが可能となる。

40

【 0 1 3 7 】

なお、図 1 0 に示す例では、本実施例に係る撮像装置が連続して撮影可能な画像の枚数の最大数は、1 枚分の画素信号を記録するために必要な容量と、フレームメモリ 1 9 0 の容量とによって決定される。

【 0 1 3 8 】

一方で、図 1 0 に示す例では、イメージセンサ 1 0 0 は、一連の露光期間 d 1 4 1 ~ d 1 4 7（即ち、連続撮影の期間）で取得された各画素信号のフレームメモリ 1 9 0 への書

50

き込みの完了後に、読み込み処理を実行していた。しかしながら、例えば、露光期間 d 1 4 1 で取得された画素信号については、書き込み処理 d 2 4 1 より後であれば、読み込み処理 d 2 5 1 が開始されるタイミングは特に限定されない。そのため、一連の露光期間で取得された各画素信号の書き込み処理の完了を待たずに、イメージセンサ 1 0 0 は、フレームメモリ 1 9 0 に書き込まれた画素信号の読み出し（即ち、読み出し処理）を開始してもよい。

【 0 1 3 9 】

例えば、図 1 1 は、イメージセンサ 1 0 0 が、一連の露光期間で取得された各画素信号の書き込み処理の完了を待たずに、フレームメモリ 1 9 0 に書き込まれた画素信号の読み出し（即ち、読み出し処理）を開始する場合の一例を示している。図 1 1 に示す例は、読み出し処理 d 2 5 1 ~ d 2 5 7 及び第 2 の出力処理 d 3 5 1 ~ d 3 5 7 の開始タイミングが、図 1 0 に基づき前述した例と異なる。

10

【 0 1 4 0 】

例えば、図 1 1 に示す例では、イメージセンサ 1 0 0 は、書き込み処理 d 2 4 1 に基づき各画素からの画素信号がフレームメモリ 1 9 0 に書き込まれると、一連の書き込み処理の完了を待たずに読み出し処理 d 2 5 1 を開始する。そして、イメージセンサ 1 0 0 は、読み出し処理 d 2 5 1 に同期して、第 2 の出力処理 d 3 5 1 を実行する。

【 0 1 4 1 】

以上のような構成により、書き込み処理 d 2 4 1 及び d 2 4 2 に基づきフレームメモリ 1 9 0 に書き込まれた画素信号は、参照符号 t 2 1 で示されたタイミングにおいて、既に読み出し処理 d 2 5 1 及び d 2 5 2 に基づきフレームメモリ 1 9 0 から読み出されている。即ち、図 1 1 に示す例では、イメージセンサ 1 0 0 は、タイミング t 2 1 以降であれば、読み出し処理 d 2 5 1 及び d 2 5 2 に基づき画素信号が読み出された後のフレームメモリ 1 9 0 上の領域を改めて確保し、確保した領域を再利用することが可能となる。

20

【 0 1 4 2 】

そのため、例えば、図 1 1 に示す例では、イメージセンサ 1 0 0 は、タイミング t 2 1 以降に改めて確保されたフレームメモリ 1 9 0 上の領域を再利用することで、露光期間 d 1 4 8 及び d 1 4 9 に基づき追加で画像を撮像することが可能となる。なお、このときイメージセンサ 1 0 0 は、露光期間 d 1 4 8 及び d 1 4 9 において取得された画素信号を、改めて確保されたフレームメモリ 1 9 0 の領域に、書き込み処理 d 2 4 8 及び d 2 4 9 に基づき書き込めばよい。

30

【 0 1 4 3 】

もちろん、イメージセンサ 1 0 0 は、露光期間 d 1 4 8 及び d 1 4 9 に取得された画素信号に基づき第 1 の出力処理を実行することで、低解像度の画像信号を画像処理 L S I 2 0 0 に出力してもよい。また、書き込み処理 d 2 4 8 及び d 2 4 9 に基づきフレームメモリ 1 9 0 に書き込まれた画素信号については、イメージセンサ 1 0 0 は、読み出し処理 d 2 5 8 及び d 2 5 9 に基づき読み出し、第 2 の出力処理 d 3 5 8 及び d 3 5 9 に基づき画像処理 L S I 2 0 0 に出力すればよい。

【 0 1 4 4 】

以上のように、図 1 1 に示す例では、フレームメモリ 1 9 0 の容量に合わせて、書き込み処理、読み出し処理、及び第 2 の出力処理の処理タイミングを制御することで、図 1 0 に示す例に比べて、連続撮影可能な枚数の最大数を向上させることも可能となる。

40

【 0 1 4 5 】

なお、上記では、連続撮影の場合を例に説明したが、例えば、撮影条件を変えて複数の画像を連続して撮像する、所謂ブラケット撮影においても、本実施例に係る技術を適用可能であることは言うまでもない。

【 0 1 4 6 】

以上、図 8 ~ 図 1 1 を参照しながら、本実施形態に係る撮像装置の各実施例について説明した。なお、上記に各実施例として説明した内容は、あくまで一例であり、本実施形態に係る撮像装置の態様を、上記に示す内容に限定するものではないことは言うまでもない

50

。即ち、本実施形態に係る撮像装置のイメージセンサ１００は、フレームメモリを備え、互いに密度の異なるデータ（解像度の異なる画像信号）のうち一方を直接画像処理ＬＳＩ２００に出力し、他方をフレームメモリに一時的に保持する。そして、イメージセンサ１００は、フレームメモリから他方のデータを読み出して画像処理ＬＳＩ２００に出力する。このように、互いに密度の異なるデータそれぞれを図４に示すストリームｎ１及びｎ２として出力するように動作させれば、本実施形態に係る撮像装置の態様は特に限定されない。

【０１４７】

< ３．ハードウェア構成 >

上述した一連の処理は、ハードウェアにより実行することもできるし、ソフトウェアにより実行することもできる。一連の処理をソフトウェアにより実行する場合には、そのソフトウェアを構成するプログラムが、コンピュータにインストールされる。ここで、コンピュータには、例えば、図７の制御部３１５のような、専用のハードウェアに組み込まれているコンピュータや、各種のプログラムをインストールすることで、各種の機能を実行することが可能な汎用のコンピュータなどが含まれる。そこで、図１２を参照して、以下に当該コンピュータのハードウェア構成の一例について説明する。図１２は、コンピュータのハードウェア構成の一例について説明するための説明図である。

【０１４８】

図１２において、コンピュータ４００のＣＰＵ（Central Processing Unit）４０１は、ＲＯＭ（Read Only Memory）４０２に記憶されているプログラム、または記憶部４１３からＲＡＭ（Random Access Memory）４０３にロードされたプログラムに従って各種の処理を実行する。ＲＡＭ４０３にはまた、ＣＰＵ４０１が各種の処理を実行する上において必要なデータなども適宜記憶される。

【０１４９】

ＣＰＵ４０１、ＲＯＭ４０２、およびＲＡＭ４０３は、バス４０４を介して相互に接続されている。このバス４０４にはまた、入出力インタフェース４１０も接続されている。

【０１５０】

入出力インタフェース４１０には、キーボード、マウスなどよりなる入力部４１１、ＣＲＴ（Cathode Ray Tube）やＬＣＤ（Liquid Crystal Display）などよりなるディスプレイ、並びにスピーカなどよりなる出力部４１２、ハードディスクなどより構成される記憶部４１３、モデムなどより構成される通信部４１４が接続されている。通信部４１４は、インターネットを含むネットワークを介しての通信処理を行う。

【０１５１】

入出力インタフェース４１０にはまた、必要に応じてドライブ４１５が接続され、磁気ディスク、光ディスク、光磁気ディスク、或いは半導体メモリなどのリムーバブルメディア４２１が適宜装着され、それらから読み出されたコンピュータプログラムが、必要に応じて記憶部４１３にインストールされる。

【０１５２】

上述した一連の処理をソフトウェアにより実行させる場合には、そのソフトウェアを構成するプログラムが、ネットワークや記録媒体からインストールされる。

【０１５３】

この記録媒体は、例えば、図１２に示されるように、装置本体とは別に、ユーザにプログラムを配信するために配布される、プログラムが記録されている磁気ディスク（フレキシブルディスクを含む）、光ディスク（ＣＤ－ＲＯＭ（Compact Disc－Read Only Memory）、ＤＶＤ（Digital Versatile Disc）を含む）、光磁気ディスク（ＭＤ（Mini Disc）を含む）、もしくは半導体メモリなどよりなるリムーバブルメディア４２１により構成されるだけでなく、装置本体に予め組み込まれた状態でユーザに配信される、プログラムが記録されているＲＯＭ４０２や、記憶部４１３に含まれるハードディスクなどで構成される。

【０１５４】

なお、コンピュータが実行するプログラムは、本明細書で説明する順序に沿って時系列に処理が行われるプログラムであっても良いし、並列に、あるいは呼び出しが行われたとき等の必要なタイミングで処理が行われるプログラムであっても良い。

【0155】

また、本明細書において、記録媒体に記録されるプログラムを記述するステップは、記載された順序に沿って時系列的に行われる処理はもちろん、必ずしも時系列的に処理されなくとも、並列的あるいは個別に実行される処理をも含むものである。

【0156】

また、本明細書において、システムとは、複数のデバイス（装置）により構成される装置全体を表すものである。

【0157】

また、以上において、1つの装置（または処理部）として説明した構成を分割し、複数の装置（または処理部）として構成するようにしてもよい。逆に、以上において複数の装置（または処理部）として説明した構成をまとめて1つの装置（または処理部）として構成されるようにしてもよい。また、各装置（または各処理部）の構成に上述した以外の構成を付加するようにしてももちろんよい。さらに、システム全体としての構成や動作が実質的に同じであれば、ある装置（または処理部）の構成の一部を他の装置（または他の処理部）の構成に含めるようにしてもよい。つまり、本技術は、上述した実施の形態に限定されるものではなく、本技術の要旨を逸脱しない範囲において種々の変更が可能である。

【0158】

< 4. まとめ >

以上説明したように、本実施形態に係るイメージセンサは、フレームメモリを備える。そして、本実施形態に係るイメージセンサは、画素アレイ部を構成する複数の画素のうち、少なくとも一部の画素からの画素信号に基づく画像信号を画像処理LSIに出力するとともに、当該複数の画素からの画像信号をフレームメモリに一時的に記録する。また、イメージセンサは、フレームメモリに記録された各画素の画素信号を逐次読み出し、読み出された画素信号に基づく画像信号を画像処理LSIに出力する。

【0159】

このような構成により、本実施形態に係るイメージセンサは、例えば、低解像度の画像の画像信号を、画素アレイ部から画像処理LSIに直接出力し、高解像度の画像の画像信号を、低解像度の画像の画像信号とは別に画像処理LSIに出力することが可能となる。

【0160】

そのため、画像処理LSIは、イメージセンサから先行して出力される画像信号（低解像度の画像）をプレビュー画像として表示部に表示させ、次いで出力される画像信号（高解像度の画像）を画像データとして記録することが可能となる。このような構成により、本実施形態に係る撮像装置は、イメージセンサと画像処理LSIとの間の伝送速度が制限されている場合においても、露光の完了からプレビュー画像を表示するまでの時間をより短縮することが可能となる。

【0161】

また、他の一例として、画像処理LSIは、イメージセンサから先行して出力される画像信号（低解像度の画像）を解析し、当該解析の結果に基づき、次いで出力される画像信号（高解像度の画像）に対して画像処理を施すことも可能となる。そのため、本実施形態に係る撮像装置は、露光の完了から、撮像された画像を解析し、当該解析結果に基づき撮像された画像に対して画像処理を施したうえで、画像処理後の画像を出力するまでの時間をより短縮することが可能となる。

【0162】

また、前述した構成により、画像処理LSIは、高解像度の画像に対する画像処理に対して、先行して出力される当該画像と同じフレームに対応する低解像度の画像の解析結果を利用することが可能となる。そのため、本実施形態に係る撮像装置は、異なるフレームで撮像された画像の解析結果に基づき画像処理を施す場合に比べて、画像処理の精度を向

10

20

30

40

50

上させることが可能となる。

【 0 1 6 3 】

また、他の一例として、画像処理 L S I は、低解像度の画像の画像信号をイメージセンサから逐次取得し、取得した当該画像に基づき動画像を生成してもよい。また、このとき、画像処理 L S I は、所望のフレーム（例えば、ユーザから指定されたフレーム）に対応する高解像度の画像の画像信号を別途取得し、取得した画像信号に基づき静止画像を生成してもよい。

【 0 1 6 4 】

このような構成により、本実施形態に係る撮像装置は、動画像と静止画像との双方を同時に撮像し、かつ、静止画像として動画像よりも解像度の高い画像を記録することが可能となる。また、このとき、イメージセンサからは、所望のフレームについてのみ高解像度の画像の画像信号が出力される。そのため、本実施形態に係る撮像装置は、イメージセンサと画像処理 L S I との間で伝送される画像信号の容量を最小限に抑えることが可能となり、ひいては、各画像の出力に要する時間を短縮することが可能となる。

【 0 1 6 5 】

以上、添付図面を参照しながら本開示の好適な実施形態について詳細に説明したが、本開示の技術的範囲はかかる例に限定されない。本開示の技術分野における通常の知識を有する者であれば、特許請求の範囲に記載された技術的思想の範疇内において、各種の変更例または修正例に想到し得ることは明らかであり、これらについても、当然に本開示の技術的範囲に属するものと了解される。

【 0 1 6 6 】

また、本明細書に記載された効果は、あくまで説明的または例示的なものであって限定的ではない。つまり、本開示に係る技術は、上記の効果とともに、または上記の効果に代えて、本明細書の記載から当業者には明らかな他の効果を奏しうる。

【 0 1 6 7 】

なお、以下のような構成も本開示の技術的範囲に属する。

(1)

複数の画素それぞれから出力される画素信号に基づく、第 1 のデータ密度で伝送された第 1 のデータと、前記第 1 のデータ密度とは異なる第 2 のデータ密度で伝送された第 2 のデータとのそれぞれを処理する処理部を備え、

前記処理部は、前記第 1 のデータに基づく画像を出力する出力処理と、前記第 1 のデータに基づく前記第 2 のデータに対する画像処理とのうち、少なくともいずれかを実行する、情報処理装置。

(2)

前記処理部は、前記第 1 のデータに基づく画像をスルー画像として表示部に表示させ、前記第 2 のデータに基づく画像データを所定の記録部に記憶させる、前記 (1) に記載の情報処理装置。

(3)

前記処理部は、前記第 1 のデータに基づき、当該第 1 のデータの生成元となる前記画素信号と同じフレームに基づく画素信号に基づき、前記第 2 のデータに対して前記画像処理を施す、前記 (1) または (2) に記載の情報処理装置。

(4)

前記処理部は、複数の前記第 1 のデータを取得する期間中に、前記第 1 のデータよりも少ない数の前記第 2 のデータを取得する、前記 (1) ~ (3) のいずれか一項に記載の情報処理装置。

(5)

前記処理部は、互いに並列して伝送される前記第 1 のデータと前記第 2 のデータとを取得する、前記 (1) ~ (4) のいずれか一項に記載の情報処理装置。

(6)

前記処理部は、前記第 1 のデータと、当該第 1 のデータの生成元となる前記画素信号と

10

20

30

40

50

同じフレームに基づく画素信号に基づいて、前記第 2 のデータとを時分割で取得する、前記 (1) ~ (4) のいずれか一項に記載の情報処理装置。

(7)

前記処理部は、前記第 1 のデータの取得後に、当該第 1 のデータの生成元となる前記画素信号と同じフレームに基づく画素信号に基づいて、前記第 2 のデータを取得する、前記 (6) に記載の情報処理装置。

(8)

前記処理部は、互いに異なる条件に基づき撮像された画像を示す複数の前記第 1 のデータと、当該複数の前記第 1 のデータそれぞれに対応する前記画像のうち、少なくとも一部の画像を示す前記第 2 のデータを取得する、前記 (1) ~ (7) のいずれか一項に記載の情報処理装置。

10

(9)

前記第 1 のデータ密度は、前記第 2 のデータ密度よりも粗い、前記 (1) ~ (8) のいずれか一項に記載の情報処理装置。

(1 0)

前記処理部は、複数の前記第 1 のデータに基づき動画像を生成し、前記第 2 のデータに基づき前記動画像よりも解像度の高い静止画像を生成する、前記 (9) に記載の情報処理装置。

(1 1)

前記処理部は、前記動画像を形成する複数フレームのうち、少なくとも一部のフレームに基づく前記画素信号に応じた前記第 2 のデータに基づき前記静止画像を生成する、前記 (1 0) に記載の情報処理装置。

20

(1 2)

複数の画素それぞれから出力される画素信号に基づくデータを保持する保持部と、

前記複数の画素のうち、少なくとも一部の画素から出力される画素信号に基づく第 1 のデータと、前記保持部に保持された前記画素信号に基づく第 2 のデータとを、前記第 1 のデータに基づく画像の処理と、前記第 1 のデータに基づいて行われる前記第 2 のデータに対する画像の処理との少なくともいずれかを実行する処理部に、それぞれ出力する出力部と、

を備える、情報処理装置。

30

(1 3)

前記出力部は、1 フレーム分の前記画素信号に基づく前記第 2 のデータが前記保持部に保持される速度よりも遅い速度で、当該保持部に保持された当該第 2 のデータを出力する、前記 (1 2) に記載の情報処理装置。

(1 4)

前記出力部は、複数フレームの前記画素信号に基づき、当該複数フレームのうち少なくとも一部のフレームの画素信号に基づく前記第 1 のデータを出力し、当該第 1 のデータの出力後に、前記保持部に保持された当該複数フレームの画素信号に基づく複数の前記第 2 のデータを出力する、前記 (1 2) または (1 3) に記載の情報処理装置。

(1 5)

前記保持部は、1 フレーム以上の前記画素信号に基づく前記第 2 のデータを保持可能な空き領域が存在する限り、前記複数の画素それぞれから出力される画素信号に基づく前記第 2 のデータを保持する、前記 (1 4) に記載の情報処理装置。

40

(1 6)

第 1 のデータ密度で伝送された第 1 のデータと、前記第 1 のデータ密度とは異なる第 2 のデータ密度で伝送された第 2 のデータとのそれぞれを取得することと、

取得された前記第 1 のデータに基づく画像を表示部に表示させる表示処理と、前記第 1 のデータに基づく前記第 2 のデータに対する画像処理とのうち、少なくともいずれかを実行することと、

を含む、情報処理方法。

50

【符号の説明】

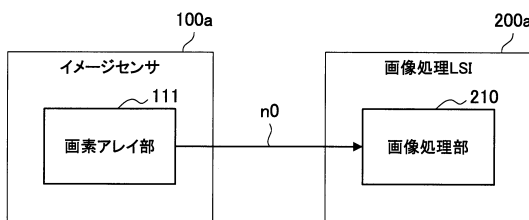
【 0 1 6 8 】

1 0 0 イメージセンサ
 1 0 1 制御部
 1 1 1 画素アレイ部
 1 1 2 選択部
 1 1 4 定電流回路部
 1 2 1、1 2 2 画素
 1 3 1、1 3 2、1 3 3 スイッチ
 1 4 1、1 5 1 比較器
 1 4 3、1 5 3 カウンタ
 1 6 1、1 6 2 MOSトランジスタ
 1 9 0 フレームメモリ
 2 0 0 画像処理LSI
 2 1 0 画像処理部
 3 0 0 撮像装置
 3 1 1 レンズ部
 3 1 2 CMOSセンサ
 3 1 4 操作部
 3 1 5 制御部
 3 1 6 画像処理部
 3 1 7 表示部
 3 1 8 コーデック処理部
 3 1 9 記録部

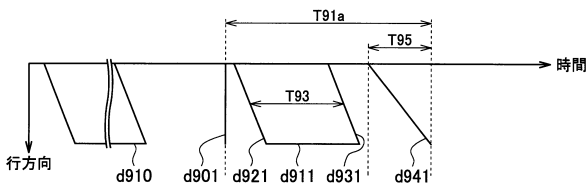
10

20

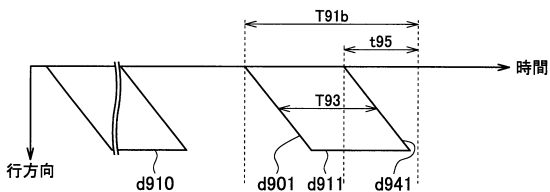
【図 1】



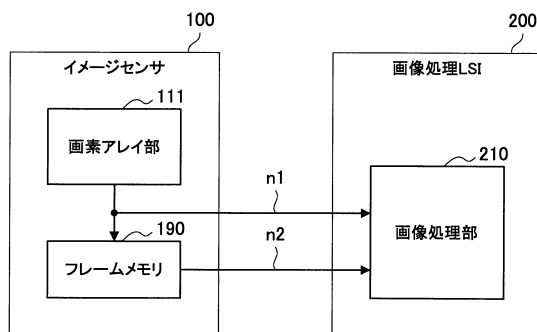
【図 2】



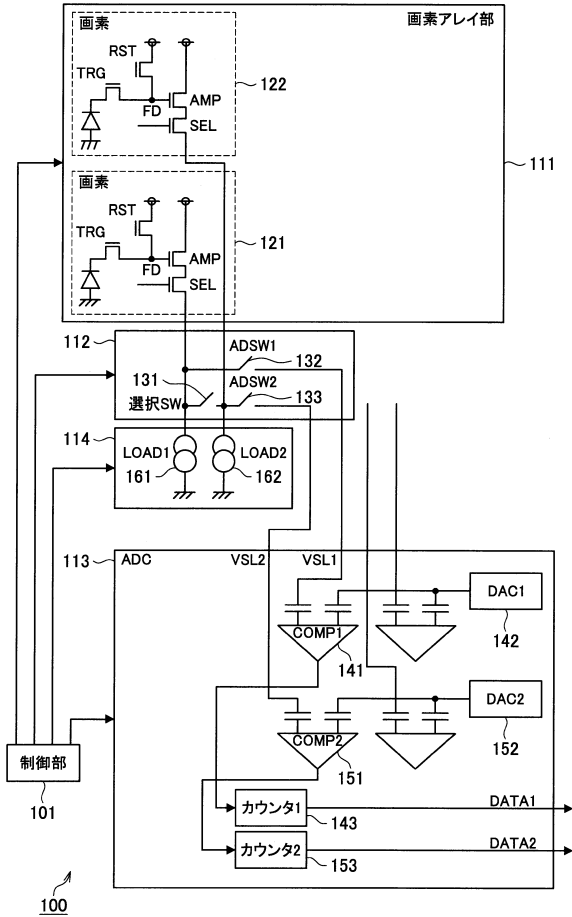
【図 3】



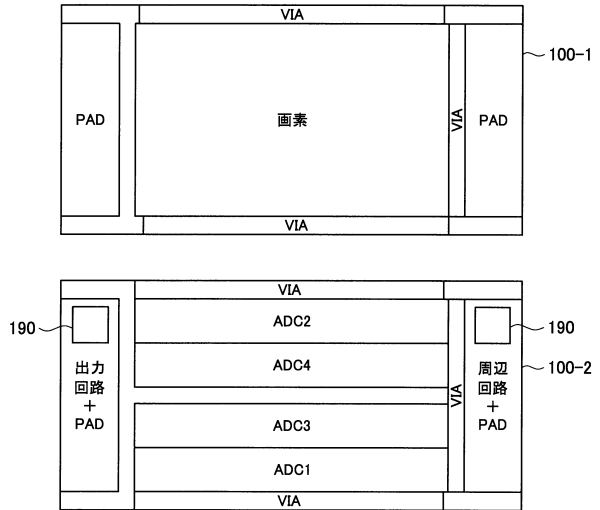
【図 4】



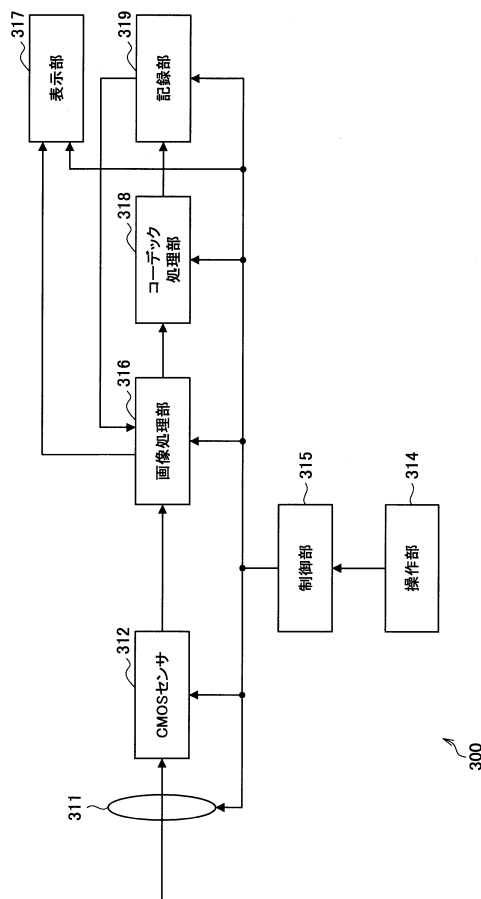
【 図 5 】



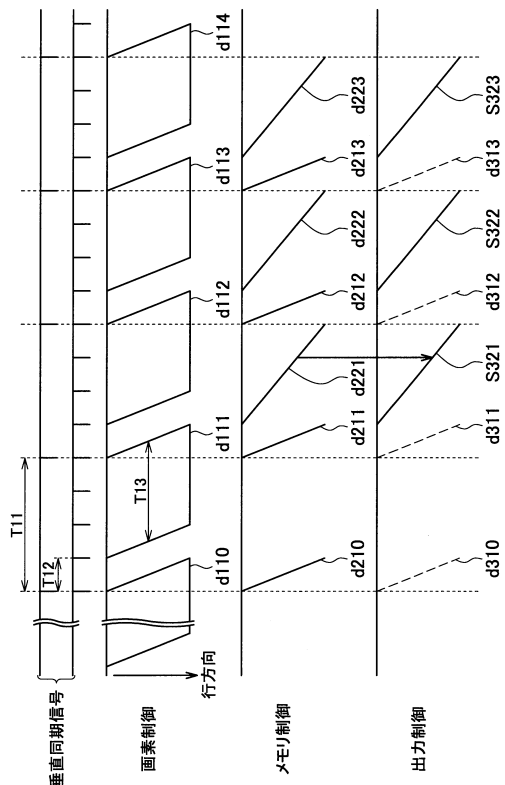
【 図 6 】



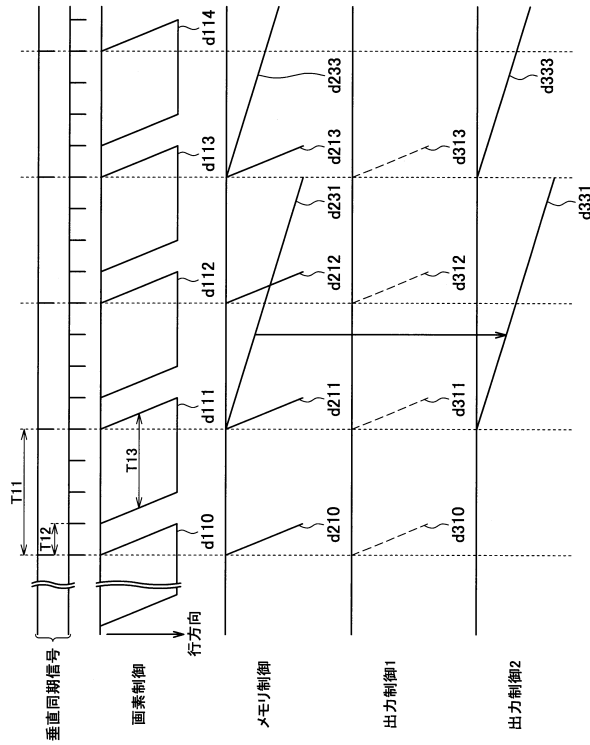
【圖 7】



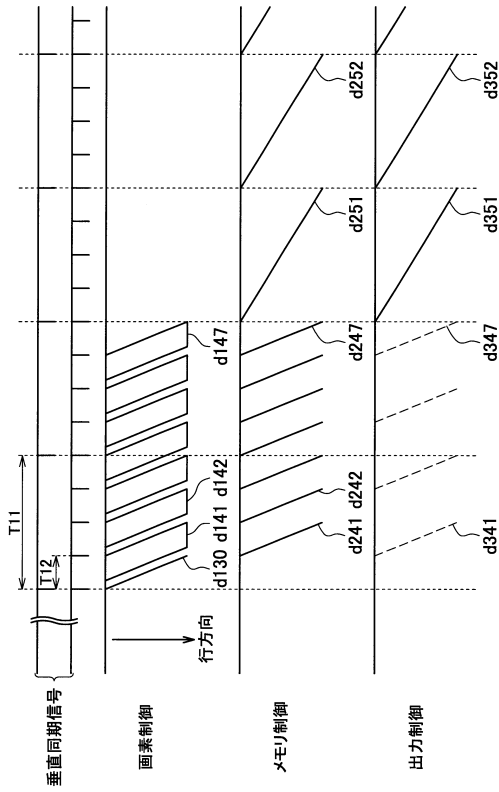
【 図 8 】



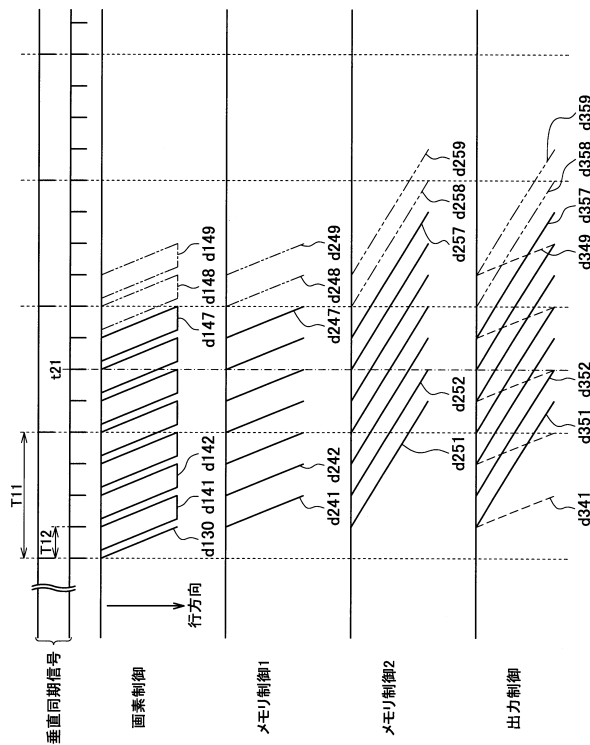
【図 9】



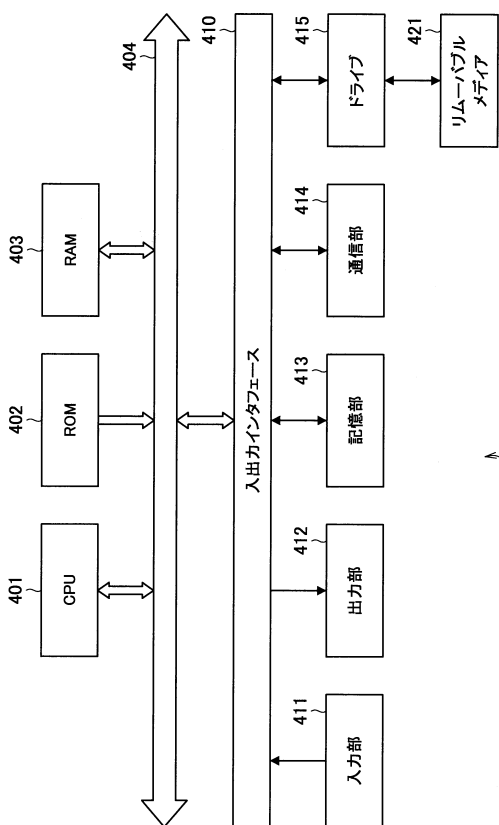
【図 10】



【図 11】



【図 12】



フロントページの続き

(51)Int.Cl. F I
H 0 4 N 5/378 (2011.01) H 0 4 N 5/378

(56)参考文献 特開 2 0 0 3 - 1 9 8 9 1 4 (J P , A)
特開 2 0 0 6 - 3 5 2 7 6 8 (J P , A)
特開 2 0 0 8 - 1 0 9 5 8 2 (J P , A)
特開 2 0 1 0 - 2 3 9 1 8 4 (J P , A)
特開 2 0 0 2 - 2 3 2 7 6 6 (J P , A)
特開 2 0 0 7 - 2 2 1 2 1 4 (J P , A)

(58)調査した分野(Int.Cl. , D B 名)

H 0 4 N 5 / 3 4 1
H 0 4 N 5 / 3 4 3
H 0 4 N 5 / 3 6 9
H 0 4 N 5 / 3 7 2
H 0 4 N 5 / 3 7 4
H 0 4 N 5 / 3 7 8