(19)日本国特許庁(JP)

(12)特許公報(B2)

(11)特許番号
特許第7597985号
(P7597985)

(45)発行日　令和6年12月11日(2024.12.11)

(24)登録日　令和6年12月3日(2024.12.3)

(51)国際特許分類

Ｈ０３Ｋ	*5/19*	*(2006.01)*	Ｈ０３Ｋ	5/19
Ｈ０３Ｆ	*3/34*	*(2006.01)*	Ｈ０３Ｆ	3/34

ＦＩ

Ｌ

請求項の数　19　（全19頁）

(21)出願番号　特願2020-552245(P2020-552245)
(86)(22)出願日　平成31年3月28日(2019.3.28)
(65)公表番号　特表2021-520094(P2021-520094A)
(43)公表日　令和3年8月12日(2021.8.12)
(86)国際出願番号　PCT/US2019/024500
(87)国際公開番号　WO2019/191377
(87)国際公開日　令和1年10月3日(2019.10.3)
審査請求日　令和4年3月25日(2022.3.25)
(31)優先権主張番号　201841011581
(32)優先日　平成30年3月28日(2018.3.28)
(33)優先権主張国・地域又は機関
インド(IN)
(31)優先権主張番号　16/124,261
(32)優先日　平成30年9月7日(2018.9.7)
最終頁に続く

(73)特許権者　507107291
テキサス インスツルメンツ インコーポレイテッド
アメリカ合衆国 テキサス州 ７５２６５－５４７４ ダラス メイル ステイション ３９９９ ピーオーボックス ６５５４７４
(74)代理人　100098497
弁理士　片寄 恭三
(72)発明者　ディリープ クマール アール
インド ５６００４０ バンガロール，チャンドラ レイアウト， レイアウト ステージ ２， バサヴェシュワラ ハウジング， セカンド メイン， セブンス クロス， ナンバー５４
(72)発明者　スリハリ ヴァルマ ダトラ
最終頁に続く

(54)【発明の名称】　浮遊入力検出

(57)【特許請求の範囲】
【請求項１】
データ取得システムであって、
信号入力端子、
アナログ－デジタルコンバータ（ＡＤＣ）、
前記ＡＤＣ及び前記信号入力端子に結合されるアナログフロントエンド（ＡＦＥ）回路、並びに、
前記ＡＦＥ回路に結合される浮遊入力検出回路要素、
を含み、
前記ＡＦＥ回路が、
プログラマブル利得増幅器、及び、
前記プログラマブル利得増幅器に結合される共通モード増幅器を含み、
前記共通モード増幅器が、前記プログラマブル利得増幅器の非反転入力に結合される第１の入力、前記プログラマブル利得増幅器の反転入力に結合される第２の入力、共通モード入力電圧を受け取るための第３の入力、並びに、前記プログラマブル利得増幅器の前記非反転入力及び前記反転入力に結合される出力を含み、
前記共通モード増幅器の出力が、浮遊入力の検出のために前記浮遊入力検出回路要素に提供され、前記共通モード入力電圧は、前記共通モード増幅器の利得を評価するために前記浮遊入力検出回路要素によって変更可能である、データ取得システム。
【請求項２】

請求項１に記載のデータ取得システムであって、前記浮遊入力検出回路要素が粗検出回路要素を含み、前記粗検出回路要素が、
前記共通モード増幅器の前記出力において提供される信号を第１の閾値電圧と比較するように構成される第１のコンパレータ、及び、
前記共通モード増幅器の前記出力において提供される前記信号を第２の閾値電圧と比較するように構成される第２のコンパレータ、
を含み、
前記浮遊入力検出回路要素が、
前記共通モード増幅器の前記出力において提供される前記信号の振幅が前記第１の閾値電圧より大きいことを前記第１のコンパレータの出力が示すこと、又は、
前記共通モード増幅器の前記出力において提供される前記信号の振幅が前記第２の閾値電圧より小さいことを前記第２のコンパレータの出力が示すこと、
に基づいて、前記信号入力端子が浮遊していないことを見いだすように構成される、
データ取得システム。
【請求項３】
請求項２に記載のデータ取得システムであって、前記浮遊入力検出回路要素が、前記第１のコンパレータ及び前記第２のコンパレータに結合されるデジタル－アナログコンバータを含み、前記デジタル－アナログコンバータが、前記第１の閾値電圧及び前記第２の閾値電圧を生成するように構成される、データ取得システム。
【請求項４】
請求項３に記載のデータ取得システムであって、前記デジタル－アナログコンバータが、前記共通モード増幅器に結合されており、前記共通モード入力電圧を生成するように構成される、データ取得システム。
【請求項５】
請求項２に記載のデータ取得システムであって、
前記浮遊入力検出回路要素が、前記信号入力端子が浮遊しているかどうかを判定するように構成される微細検出回路要素を含み、
前記粗検出回路要素が、前記共通モード増幅器の前記出力において提供される前記信号の前記振幅が、前記第１の閾値電圧より小さく、前記第２の閾値電圧より大きいことを判定することに応答して、前記浮遊入力検出回路要素が前記微細検出回路要素を起動するように構成される、
データ取得システム。
【請求項６】
請求項５に記載のデータ取得システムであって、前記共通モード入力電圧における変化を関数とした、前記共通モード増幅器の前記出力において提供される前記信号の前記振幅における変化に基づいて、前記微細検出回路要素が、前記信号入力端子が浮遊しているかどうかを判定するように構成される、データ取得システム。
【請求項７】
請求項５に記載のデータ取得システムであって、前記微細検出回路要素が、
複数の基準電圧の一つを選択的に提供するように構成される基準電圧スイッチング回路要素、
容量性デジタル－アナログコンバータ（ＣＤＡＣ）であって、
前記共通モード増幅器の前記出力に結合される底部プレートを含む第１のコンデンサ、及び
前記基準電圧スイッチング回路要素に結合される底部プレートと、前記第１のコンデンサの頂部プレートに結合される頂部プレートとを含む第２のコンデンサ、
を含む、前記ＣＤＡＣ、
前記第１のコンデンサの前記頂部プレート及び前記第２のコンデンサの前記頂部プレート上の電圧を接地と比較するように構成される微細コンパレータ、並びに、
前記第１のコンデンサの前記頂部プレート及び前記第２のコンデンサの前記頂部プレー

トを選択的に接地させるように構成されるスイッチ、
を含む、
データ取得システム。
【請求項８】
請求項７に記載のデータ取得システムであって、さらに制御回路要素を含み、前記制御回路要素が、
前記共通モード入力電圧を変更して前記共通モード増幅器の前記出力を変更することによって、及び、前記共通モード入力電圧が増加しているかどうかに基づいて前記基準電圧の一つを選択して前記ＣＤＡＣに提供することによって、前記共通モード増幅器を含む共通モード増幅器段の利得を評価し、並びに、
前記共通モード増幅器段の前記利得に基づいて、前記信号入力端子が浮遊しているかどうかを判定する、
ように構成される、
データ取得システム。
【請求項９】
請求項８に記載のデータ取得システムであって、前記制御回路要素が、前記共通モード入力電圧を疑似ランダム的に変更するように構成される、データ取得システム。
【請求項１０】
信号入力端子の浮遊を検出するための方法であって、
共通モード入力電圧を、前記信号入力端子に結合される第１の増幅器に提供すること、
第１の増幅器によって生成される出力信号を、前記信号入力端子に結合される第２の増幅器の非反転入力、前記第２の増幅器の反転入力、粗検出回路要素および微細検出回路要素に提供すること、
前記粗検出回路要素によって、前記出力信号を第１の閾値電圧と比較すること、並びに、
前記出力信号が前記第１の閾値電圧より大きいことを前記比較が示すことに応答して、前記信号入力端子を浮遊していないと判定すること、
前記粗検出回路要素によって、前記出力信号を第２の閾値電圧と比較すること、
前記出力信号が前記第２の閾値電圧より小さいことを前記比較が示すことに応答して、前記信号入力端子を浮遊していないと判定すること、
前記微細検出回路要素によって、前記出力信号が前記第１の閾値電圧より大きくないか又は前記第２の閾値電圧より小さくないとき、前記共通モード入力電圧を変更して前記第１の増幅器の利得を評価すること、
前記微細検出回路要素によって、前記第１の増幅器の利得に基づき前記信号入力端子が浮遊しているか否かを判定すること、を含む方法。
【請求項１１】
請求項１０に記載の方法であって、さらに、
前記信号入力端子を浮遊していないと判定しないことに応答して、前記微細検出回路要素によって、容量性デジタル－アナログコンバータの第１のコンデンサ上で前記出力信号のサンプルを取得すること、及び、前記微細検出回路要素によって、前記容量性デジタル－アナログコンバータの第２のコンデンサ上で第１の基準電圧のサンプルを取得すること、並びに前記第１のコンデンサおよび前記第２のコンデンサによってサンプルされた電圧に基づき前記信号入力端子が浮遊しているか否かを判定することを含む、方法。
【請求項１２】
請求項１１に記載の方法であって、さらに、
前記第１のコンデンサの底部プレート上の前記出力信号を変更するために、前記第１の増幅器に提供される前記共通モード入力電圧を変更すること、及び、
第２の基準電圧を前記第２のコンデンサに印加すること、
を含む、方法。
【請求項１３】
請求項１２に記載の方法であって、さらに、前記第１のコンデンサの頂部プレート及び前

記第２のコンデンサの頂部プレート上の電圧を接地電圧と比較することを含む、方法。
【請求項１４】
請求項１３に記載の方法であって、さらに、
前記第１のコンデンサの前記頂部プレート及び前記第２のコンデンサの前記頂部プレート上の前記電圧が前記接地電圧より高いことに応答して、前記信号入力端子を浮遊していないと判定すること、並びに、
前記第１のコンデンサの前記頂部プレート及び前記第２のコンデンサの前記頂部プレート上の前記電圧が前記接地電圧より高くないことに応答して、浮遊表示を設定すること、
を含む、方法。
【請求項１５】
浮遊入力を検出するための回路であって、
信号入力端子、
基準端子、
前記基準端子に結合される反転入力と、前記信号入力端子に結合される非反転入力とを含む第１の増幅器、
第１の入力と、第２の入力と、第３の入力と、出力とを含む第２の増幅器であって、前記第１の増幅器の非反転出力及び反転出力が、前記第１の入力又は前記第２の入力に結合されており、前記第３の入力が共通モード入力端子に結合され、前記出力が、前記第１の増幅器の前記反転入力及び前記第１の増幅器の前記非反転入力に結合される、前記第２の増幅器、並びに、
浮遊入力検出回路要素、
を含み、
前記浮遊入力検出回路要素が、
前記第２の増幅器の前記共通モード入力端子に結合される第１の出力を含むデジタル－アナログコンバータ、
前記第２の増幅器の前記出力に結合される第１の入力と、前記デジタル－アナログコンバータの第２の出力に結合される第２の入力とを含む第１のコンパレータ、
前記第２の増幅器の前記出力に結合される第１の入力と、前記デジタル－アナログコンバータの第３の出力に結合される第２の入力とを含む第２のコンパレータ、及び、
前記第１のコンパレータの出力に結合される第１の入力と、前記第２のコンパレータの出力に結合される第２の入力と、前記デジタル－アナログコンバータの入力に結合される第１の出力と、前記信号入力端子が浮遊しているかどうかを示すための第２の出力とを含み、当該第１の出力を介して前記デジタル－アナログコンバータの第１の出力に結合された前記共通モード入力端子の電圧を制御する、制御回路要素、
を含む、
回路。
【請求項１６】
請求項１５に記載の回路であって、前記浮遊入力検出回路要素がさらに容量性デジタル－アナログコンバータを含み、前記容量性デジタル－アナログコンバータが、
前記第２の増幅器の前記出力に結合される底部プレートを含む第１のコンデンサ、及び、
前記第１のコンデンサの頂部プレートに結合される頂部プレートを含む第２のコンデンサを含み、
前記浮遊入力検出回路要素が前記第１のコンデンサおよび前記第２のコンデンサによってサンプルされた電圧に基づき前記信号入力端子が浮遊しているか否かを判定する、回路。
【請求項１７】
請求項１６に記載の回路であって、さらに、
前記第２のコンデンサの底部プレートに結合される第１の端子と、第１の基準電圧源に結合される第２の端子とを含む第１のスイッチ、及び、
前記第２のコンデンサの前記底部プレートに結合される第１の端子と、第２の基準電圧源に結合される第２の端子とを含む第２のスイッチ、

を含む、回路。
【請求項１８】
請求項１６に記載の回路であって、さらに、
前記第１のコンデンサの前記頂部プレート及び前記第２のコンデンサの前記頂部プレートに結合される第１の端子と、接地に結合される第２の端子とを含むスイッチ、
を含む、回路。
【請求項１９】
請求項１６に記載の回路であって、さらに微細コンパレータを含み、前記微細コンパレータが、
前記第１のコンデンサの前記頂部プレート及び前記第２のコンデンサの前記頂部プレートに結合される第１の入力、
接地に結合される第２の入力、並びに、
前記制御回路要素の第３の入力に結合される出力、
を含む、回路。
【発明の詳細な説明】
【背景技術】
【０００１】
電子デバイスにおいて、浮遊入力端子とは、信号が印加されない入力端子であり、例えば、ソース又はシンク（例えば、電圧源、電流源、抵抗器等）が接続されない入力端子である。浮遊入力端子は、その入力端子から、駆動回路要素における故障状態又は駆動回路要素の意図的でない切断を示し得る。また、浮遊入力端子は、電子デバイスにおいて望ましくない影響をもたらし得る。例えば、浮遊入力端子は、電子デバイスの入力回路要素における過度の電流フローの原因となり得る。
【発明の概要】
【０００２】
浮遊入力端子を検出するための方法及び回路要素、並びにそのような回路要素を用いるデータ取得システムが本願において説明される。一例において、データ取得システムが、信号入力端子、アナログ－デジタルコンバータ（ＡＤＣ）、アナログフロントエンド（ＡＦＥ）回路、及び浮遊入力検出回路要素を含む。ＡＦＥ回路は、ＡＤＣ及び信号入力端子に結合される。ＡＦＥ回路は、プログラマブル利得増幅器及び共通モード増幅器を含む。共通モード増幅器は、プログラマブル利得増幅器に結合される。共通モード増幅器は、第１の入力、第２の入力、第３の入力、及び出力を含む。第１の入力は、プログラマブル利得増幅器の非反転入力に結合される。第２の入力は、プログラマブル利得増幅器の反転入力に結合される。第３の入力は、共通モード入力電圧を受け取るためのものである。出力は、プログラマブル利得増幅器の非反転入力及び反転入力に結合される。浮遊入力検出回路要素はＡＦＥ回路に結合される。
【０００３】
別の例において、浮遊信号入力端子を検出するための方法が、共通モード入力電圧を、信号入力端子に結合される第１の増幅器に提供すること、並びに、第１の増幅器によって生成される出力信号を、入力端子に結合される第２の増幅器の非反転入力と、第２の増幅器の反転入力と、粗検出回路要素と、微細浮遊検出回路要素とに提供することを含む。また、この方法は、粗検出回路要素によって、出力信号を第１の閾値電圧と比較すること、及び、この比較が出力信号が第１の閾値電圧より大きいことを示すことに応答して、信号入力端子を浮遊していないと判定することを含む。
【０００４】
更なる例において、浮遊入力を検出するための回路が、信号入力端子、基準端子、第１の増幅器、第２の増幅器、及び浮遊検出回路要素を含む。第１の増幅器は、基準端子に結合される反転入力、及び信号入力端子に結合される非反転入力を含む。第２の増幅器は、第１の入力、第２の入力、及び出力を含む。第１の増幅器の非反転出力及び反転出力が、第１の入力又は第２の入力に結合される。第２の増幅器の出力は、第１の増幅器の反転入

力、及び第１の増幅器の非反転入力に結合される。浮遊検出回路要素は、デジタル－アナログコンバータ、第１のコンパレータ、第２のコンパレータ、及び制御回路要素を含む。デジタル－アナログコンバータは、第１の増幅器又は第２の増幅器の一方に結合される第１の出力を含む。第１のコンパレータは、第１の入力及び第２の入力を含む。第１の入力は、第２の増幅器の出力に結合される。第２の入力は、デジタル－アナログコンバータの第２の出力に結合される。第２のコンパレータは、第１の入力及び第２の入力を含む。第１の入力は、第２の増幅器の出力に結合される。第２の入力は、デジタル－アナログコンバータの第３の出力に結合される。制御回路要素は、第１の入力、第２の入力、第１の出力、及び第２の出力を含む。第１の入力は、第１のコンパレータの出力に結合される。第２の入力は、第２のコンパレータの出力に結合される。第１の出力は、デジタル－アナログコンバータの入力に結合される。第２の出力は、入力端子が浮遊しているかどうかを示し得る。

【図面の簡単な説明】

【０００５】

【図１】本記載に従った、浮遊入力検出を含むデータ取得システムの一例のブロック図を示す。

【０００６】

【図２】本記載に従った、浮遊入力の検出において用いるために適したアナログフロントエンド（ＡＦＥ）回路の一例の概略図を示す。

【０００７】

【図３】図２のＡＦＥ回路の一部に対応する共通モード等価回路の一例を示す。

【０００８】

【図４】本記載に従った、浮遊入力検出回路要素の一例のためのブロック図を示す。

【０００９】

【図５】本記載に従った粗浮遊検出の一例の図を示す。

【００１０】

【図６】本記載に従った微細浮遊検出の一例の図を示す。

【００１１】

【図７】本記載に従った浮遊入力検出のための方法のフローチャートを示す。

【００１２】

【図８】本記載に従った、浮遊入力の検出において用いるために適したＡＦＥ回路の第２の例の概略図を示す。

【００１３】

【図９】本記載に従った、浮遊入力の検出において用いるために適したＡＦＥ回路の第３の例の概略図を示す。

【発明を実施するための形態】

【００１４】

本記載において、「結合する」という用語は、間接的或いは直接的な接続を意味する。そのため、第１のデバイスが第２のデバイスに結合する場合、そうした接続は、直接的接続を介するもの、又は、他のデバイス及び接続を介した間接的接続を介するものであり得る。また、本記載において、「～に基づく」という記載は、「～の少なくとも一部に基づく」を意味する。それゆえ、ＸがＹに基づく場合、Ｘは、Ｙ及び任意の数のその他の要因の関数であり得る。

【００１５】

浮遊入力は、望ましくない影響をもたらすことがあり、及び／又は、入力を駆動する回路要素の動作不良を示すことがあるので、浮遊入力端子の検出が望ましい。浮遊入力検出の種々の技法が実装されてきている。いくつかの実装は、入力端子にタップする検出回路要素を付加する。これが、入力端子インピーダンスに影響を及ぼす恐れがあり、入力信号が高電圧である場合、高電圧処理構成要素を用いることを必要とし得る。他の実装は、入力端子における信号の挙動を、その信号のデジタルサンプルを介して、長い時間期間にわ

たって監視し、これが検出を遅くする。いくつかのシステムは、或る時間の間、浮遊検出のために通常回路動作を停止させる専用の検出サイクルを実装する。

【００１６】

本願において説明される浮遊入力検出回路及び方法は、端子インピーダンスに影響を及ぼすことなく、専用の検出サイクルを必要とすることなく、及び、高電圧処理構成要素を用いることなく、浮遊入力端子を敏速に検出する。浮遊入力検出回路要素の実装が、入力端子に結合されるアナログフロントエンド（ＡＦＥ）における共通モード増幅器段の利得を監視する。共通モード増幅器段の利得は、入力端子が浮遊しているか否かの関数である。実装は、共通モード入力電圧を変えることによって、共通モード増幅器段利得を試験する。共通モード入力電圧はＡＦＥにおいて拒否され、それゆえ、入力が浮遊しているかどうかを判定するために共通モード入力電圧を変えることは、ＡＦＥの性能にほとんど又は全く影響がない。

【００１７】

図１は、本記載に従った、浮遊入力検出を含むデータ取得システム１００の一例のブロック図を示す。データ取得システム１００は、アナログ－デジタルコンバータ（ＡＤＣ）１０２、電圧基準回路１０４、一つ又は複数のＡＦＥ回路１０６、及び浮遊入力検出回路要素１０８を含む。データ取得システム１００のいくつかの実装が、アナログマルチプレクサ１１０及びデジタルインターフェース回路要素１１２を含む。ＡＤＣ１０２は、逐次比較レジスタ（ＳＡＲ）ＡＤＣ、又はアナログ信号をデジタル化するために適したその他のタイプのＡＤＣである。デジタルインターフェース回路要素１１２は、ＡＤＣ１０２によって生成されるデジタル信号値を、データ取得システム１００の外部の回路要素に伝送することを提供する。例えば、いくつかの実装において、デジタルインターフェース回路要素１１２は、シリアル周辺インターフェース又はインターインテグレーテッド（inter-integrated）回路インターフェースを実装する。電圧基準回路１０４は、アナログ信号をデジタル化するためにＡＤＣ１０２が用いる基準電圧を生成する。アナログマルチプレクサ１１０は、アナログ信号を、ＡＦＥ回路１０６の一つからＡＤＣ１０２に選択的に経由させる。例えば、いくつかの実装において、外部回路要素からデジタルインターフェース回路要素１１２を介して受け取られる選択値が、ＡＦＥ回路１０６からＡＤＣ１０２へのアナログ信号の配路を制御する。

【００１８】

ＡＦＥ回路１０６は、ＡＤＣ１０２によるデジタル化のため、受け取った入力信号を条件付ける。各ＡＦＥ回路１０６は、信号入力端子１１４及び基準入力端子１１６に結合される。いくつかの実装において、基準入力端子１１６は、接地電圧をデータ取得システム１００に接続する。信号入力端子１１４は、デジタル化されるべき入力信号をデータ取得システム１００に接続する。ＡＦＥ回路１０６は、デジタル化のため、信号入力端子１１４において受け取った入力信号を処理するための回路要素を含む。例えば、ＡＦＥ回路１０６は、利得を入力信号に印加するための増幅器を含む。また、ＡＦＥ回路１０６は、信号入力端子１１４が浮遊しているかどうかの検出に用いられる回路要素を含む。浮遊入力検出回路要素１０８は、ＡＦＥ回路１０６に結合され、信号入力端子１１４が浮遊しているかどうかを判定するために、ＡＦＥ回路１０６の回路要素を用いる。

【００１９】

図２は、ＡＦＥ回路２００の概略図を示す。ＡＦＥ回路２００は、ＡＦＥ回路１０６の一実装である。ＡＦＥ回路２００は、共通モードループにおいて接続されるプログラマブル利得増幅器２０２及び共通モード増幅器２０４を含む。プログラマブル利得増幅器２０２は差動増幅器であり、非反転出力２１８、非反転入力２２２、反転出力２１６、反転入力２２０、及び共通モード入力２１４を有する。共通モード入力２１４は、プログラマブル利得増幅器２０２の反転出力２１６及び非反転出力２１８において生成される出力信号に印加するための共通モード出力電圧を受け取るためのものである。共通モード増幅器２０４は、非反転入力２２８、反転入力２２４、反転入力２２６、及び出力２３０を含む。プログラマブル利得増幅器２０２の反転出力２１６は、第１の可変抵抗器２０６を介して

、プログラマブル利得増幅器２０２の非反転入力２２２及び共通モード増幅器２０４の反転入力２２４に結合される。プログラマブル利得増幅器２０２の非反転出力２１８は、第２の可変抵抗器２０６を介して、プログラマブル利得増幅器２０２の反転入力２２０及び共通モード増幅器２０４の反転入力２２６に結合される。可変抵抗器２０６の抵抗は、プログラマブル利得増幅器２０２の利得を制御するために可変である。

【００２０】

ＡＦＥ回路２００は、信号入力端子２３４及び基準入力端子２３２を含む。信号入力端子２３４は信号入力端子１１４の一例であり、基準入力端子２３２は基準入力端子１１６の一例である。信号入力端子２３４は、第１の入力抵抗器２１０を介して、共通モード増幅器２０４の反転入力２２４及びプログラマブル利得増幅器２０２の非反転入力２２２に結合される。基準入力端子２３２は、第２の入力抵抗器２１０を介して、共通モード増幅器２０４の反転入力２２６及びプログラマブル利得増幅器２０２の反転入力２２０に結合される。ＡＦＥ回路２００のいくつかの実装において、抵抗器２１０は約１メグオームの抵抗を有する。ＡＦＥ回路２００の他の実装において、抵抗器２１０は異なる抵抗値を有する。

【００２１】

ＡＦＥ回路２００の共通モード入力電圧端子２１２は、共通モード増幅器２０４の非反転入力２２８に接続される。共通モード入力電圧端子２１２は、入力共通モード電圧を受けるためのものである。共通モード増幅器２０４は、入力共通モード電圧と、反転入力２２４及び反転入力２２６において受け取った信号の平均との差を増幅する。反転入力２２４及び反転入力２２６において受け取った信号の平均は、共通モードフィードバックループによって入力共通モード電圧に等しく設定される。共通モード増幅器２０４の出力２３０は、抵抗器２０８によってプログラマブル利得増幅器２０２の非反転入力２２２、及び、抵抗器２０８によってプログラマブル利得増幅器２０２の反転入力２２０に結合される。共通モード増幅器２０４の出力２３０は、信号入力端子２３４が浮遊しているかどうかの検出において用いるための浮遊入力検出回路要素１０８にも提供される。出力２３０上の、共通モード増幅器２０４によって提供される信号は、共通モードであり、プログラマブル利得増幅器２０２によって拒否される。

【００２２】

図３は、ＡＦＥ回路２００の一部（共通モード増幅器段）と等価の例示の回路を示す。等価回路３００は、増幅器３０４、一対の抵抗器３１０、抵抗器３０６、抵抗器３０８、信号入力端子３３４、基準入力端子３３２、入力共通モード端子３１２、及び出力共通モード端子３１４を含む。入力共通モード端子３１２は、増幅器３０４の非反転入力３２８に接続される。抵抗器３０８は、増幅器３０４の出力信号入力端子３３４を、増幅器３０４の反転入力３２４に結合する。抵抗器３０８は、抵抗器２０８の抵抗の２分の１の抵抗を有する。抵抗器３０６は、出力共通モード端子３１４を増幅器３０４の反転入力３２４に結合する。抵抗器３０６は、可変抵抗器２０６の抵抗の２分の１の抵抗を有する。抵抗器３１０の第１のインスタンスが、信号入力端子３３４を増幅器３０４の反転入力３２４に結合する。抵抗器３１０の第２のインスタンスが、基準入力端子３３２を増幅器３０４の反転入力端子３２４に結合する。抵抗器３１０は抵抗器２１０と同じ抵抗を有する。増幅器３０４の出力３３０における信号は、増幅器２０４の出力２３０における信号と同じである。

【００２３】

等価回路３００の利得は、信号入力端子２３４の状態と共に変化する。等価回路３００の分析に基づくと、信号入力端子２３４が駆動される場合、等価回路３００の利得は、

$$G_D = \frac{V_X}{V_{INCM}} = 1 + R_{CM} * \left(G_{FB} + G_{IN} \right)$$

であり、ここで、
G_Dは、信号入力端子２３４が駆動されるときの等価回路３００の利得であり、
V_Xは、増幅器２０４の出力であり、
V_{INCM}は、入力共通モード端子２１２において受け取られた入力共通モード電圧であり、
R_{CM}は、抵抗器２０８の抵抗であり、
G_{FB}は、抵抗器２０６のコンダクタンスであり、
G_{IN}は、抵抗器２１０のコンダクタンスである。

【００２４】

信号入力端子２３４が浮遊している場合、等価回路３００の利得は、

$$G_F = \frac{V_X}{V_{INCM}} = 1 + R_{CM} * \left(G_{FB} + \frac{G_{IN}}{2} \right)$$

であり、ここで、G_Fは、信号入力端子２３４が浮遊しているときの等価回路３００の利得である。

【００２５】

データ取得システム１００の実装が、信号入力端子１１４が浮遊しているかどうかを判定するために、等価回路３００の利得（すなわち、V_{INCM}からV_Xへの利得）を評価する。データ取得システム１００は、入力共通モード電圧V_{INCM}（ΔV_{INCM}）における変化に応答して生成される出力電圧V_X（ΔV_X）における変化を閾値電圧と比較することによって、電圧ドメインにおける等価回路３００の利得を評価する。閾値電圧（ΔV_{TH}）は、V_{INCM}における変化及び利得閾値の積（$V_{INCM} \times G_T$）であり、ここで、G_Tは、

$$G_T = \frac{G_D + G_F}{2}$$

である。ΔV_XとΔV_{TH}との比較は本願において微細浮遊検出と呼ばれ、これはさらに後述される。

【００２６】

図４は、本記載に従った浮遊入力検出回路要素４００の一例のブロック図を示す。浮遊入力検出回路要素４００は、浮遊入力検出回路要素１０８の一実装である。浮遊入力検出回路要素４００は、粗検出回路要素４２８及び微細検出回路要素４３０を含む。粗検出回路要素４２８は、デジタル－アナログコンバータ（ＤＡＣ）４０２、粗コンパレータ回路要素４０４、及び制御回路要素４１８を含む。微細検出回路要素４３０は、ＤＡＣ４０２、容量性デジタル－アナログコンバータ（ＣＤＡＣ）４０６、微細コンパレータ４０８、基準電圧スイッチング回路要素４４４、頂部プレートスイッチ４３４、及び制御回路要素４１８を含む。基準電圧スイッチング回路要素４４４は、基準スイッチ４１４及び基準スイッチ４１６を含む。基準スイッチ４１４は、コンデンサ４３８の底部プレート４３８Ｂに結合される第１の端子４１４Ａと、第１の基準電圧源４４６に結合される第２の端子４１４Ｂとを含む。基準スイッチ４１６は、コンデンサ４３８の底部プレート４３８Ｂに結合される第１の端子４１６Ａと、第２の基準電圧源４４８に結合される第２の端子４１６Ｂとを含む。頂部プレートスイッチ４３４は、コンデンサ４３６の頂部プレート４３６Ｔ及びコンデンサ４３８の頂部プレート４３８Ｔに結合される第１の端子４３４Ａと、接地に結合される第２の端子４３４Ｂとを含む。微細コンパレータ４０８は、コンデンサ４３６の頂部プレート４３６Ｔ及びコンデンサ４３８の頂部プレート４３８Ｔに結合される第１の入力４０８Ａと、接地に結合される第２の入力４０８Ｂと、制御回路要素４１８の入

力４１８Ｅに結合される出力４０８Ｃとを含む。制御回路要素４１８は、ＤＡＣ４０２、粗コンパレータ回路要素４０４、基準スイッチ４１４、基準スイッチ４１６、頂部プレートスイッチ４３４、及び微細コンパレータ４０８に結合され、これらの動作を制御する。制御回路要素４１８は、ＤＡＣ４０２の入力４０２Ｄに結合される出力４１８Ｃと、信号入力端子１１４が浮遊しているかどうかを示す出力４１８Ｄとを含む。

【００２７】

浮遊入力検出回路要素４００の種々の実装において、ＤＡＣ４０２は、抵抗性ＤＡＣ、容量性ＤＡＣ、電流ＤＡＣ、又はその他のタイプのＤＡＣである。ＤＡＣ４０２の出力は、ＡＦＥ回路２００及び粗コンパレータ回路要素４０４に接続される。ＤＡＣ４０２は、ＡＦＥ回路２００に提供される共通モード入力電圧４２０を生成する。ＤＡＣ４０２の出力４０２Ａが、プログラマブル利得増幅器２０２又は共通モード増幅器２０４の一方に結合される。ＤＡＣ４０２によって生成される、共通モード入力電圧４２０の電圧は、制御回路要素４１８によって制御される。制御回路要素４１８は、ＡＦＥ回路２００の利得を評価するために共通モード入力電圧４２０の電圧を変更する。

【００２８】

浮遊入力検出回路要素４００は、信号入力端子１１４の状態を識別するために、粗判定及び微細判定を適用する。粗判定は、粗検出回路要素４２８によって提供される。粗検出回路要素４２８において、制御回路要素４１８は、出力信号４２６を２つの閾値と比較することによって、信号入力端子１１４が駆動されているかどうかを判定する。ＤＡＣ４０２は、粗コンパレータ回路要素４０４に結合され、閾値電圧４２２及び閾値電圧４２４を粗コンパレータ回路要素４０４に提供する。粗コンパレータ回路要素４０４は、コンパレータ４１０及びコンパレータ４１２を含む。コンパレータ４１０は、共通モード増幅器２０４によって生成される出力信号４２６を、ＤＡＣ４０２によって提供される高閾値電圧４２２と比較し、コンパレータ４１２は、出力信号４２６を、ＤＡＣ４０２によって提供される低閾値電圧４２４と比較する。コンパレータ４１０は、共通モード増幅器２０４の出力２３０に結合される端子４１０Ａと、ＤＡＣ４０２の出力４０２Ｂに結合される端子４１０Ｂとを含む。コンパレータ４１０の出力４１０Ｃは、制御回路要素４１８の入力４１８Ａに結合される。コンパレータ４１２は、共通モード増幅器２０４の出力２３０に結合される端子４１２Ａと、ＤＡＣ４０２の出力４０２Ｃに結合される端子４１２Ｂとを含む。コンパレータ４１２の出力４１２Ｃが、制御回路要素４１８の入力４１８Ｂに結合される。

【００２９】

信号入力端子２３４が比較的大きな信号（例えば、＋／－１０ボルトの信号変動）により駆動される場合、出力信号４２６もまた、（例えば、電力供給レールから電力供給レールまでの）大きな変動を有する。信号入力端子２３４が浮遊している場合、電流は抵抗器２１０を流れず、出力信号４２６は所定の電圧になる。同様に、信号入力端子２３４が、共通モード入力電圧端子２１２上の入力共通モード電圧と同じ電圧により駆動される場合、出力信号４２６は、信号入力端子が浮遊しているときに生成される、同じ所定の電圧になる。閾値電圧４２２はこの所定の電圧より高く、閾値電圧４２４はこの所定の電圧より低い。出力信号４２６が閾値電圧４２２より大きいか又は閾値電圧４２４より小さい場合、粗コンパレータ回路要素４０４の出力は、信号入力端子２３４が浮遊しているのではなく駆動されていることを示す。出力信号４２６が、閾値電圧４２２より大きくないか、又は閾値電圧４２４より小さくない場合、粗コンパレータ回路要素４０４の出力は、信号入力端子２３４が浮遊している可能性があることを示す。

【００３０】

図５は、本記載に従った、粗浮遊検出の一例の図を示す。図５において、閾値電圧４２２及び閾値電圧４２４は、おおよそ所定の電圧５０２に設定される。出力信号４２６が閾値電圧４２２より大きいか又は閾値電圧４２４より小さい場合、出力信号４２６は、信号入力端子２３４が浮遊していないことを示す第１の振幅領域５０４に入る。しかし、出力信号４２６が閾値電圧４２２より大きくないか又は閾値電圧４２４より小さくない場合、

出力信号４２６は、信号入力端子２３４が浮遊している可能性があることを示す第２の振幅領域５０６に入る。このように、信号入力端子２３４における信号が、閾値電圧４２２より大きいか又は閾値電圧４２４より小さい場合、粗判定だけでも、信号入力端子２３４が浮遊していないかどうかを判定するために充分である。しかし、信号入力端子２３４における信号が閾値電圧４２２より大きくないか又は閾値電圧４２４より小さくない場合、粗判定は、信号入力端子２３４が浮遊しているかどうかを判定できない。浮遊入力検出回路要素４００の実装は、まず、信号入力端子２３４が浮遊していないかどうかを判定するために、粗判定を適用し、粗判定が不確定の場合、微細判定を適用する。２つの状態検出プロセス（粗判定と、粗判定が不確定の場合、その後に続く微細判定）を用いることによって、種々の入力信号を有する浮遊する入力の高速及び低電力検出が可能となる。

【００３１】

信号入力端子１１４が浮遊していないかどうかに関して粗検出が不確定である場合、浮遊入力検出回路要素４００は、信号入力端子が駆動されているかどうかを判定するために、微細検出回路要素４３０を適用する。微細検出回路要素４３０において、制御回路要素４１８は、ＡＦＥ回路２００又は等価回路３００の共通モード増幅器段の利得（すなわち、V_{INCM}からV_Xまでの利得）を評価することによって、信号入力端子１１４が駆動されているかどうかを判定する。微細検出は、信号入力端子２３４が浮遊しているか又は駆動されているかを判定するために、出力信号４２６の複数のサンプルを比較する。出力信号４２６の各サンプルは、共通モード入力電圧端子２１２において印加される異なる入力共通モード電圧４２０によって取得される。例えば、出力信号４２６のサンプルを取得する前に、制御回路要素４１８は制御信号４３２を生成する。この制御信号４３２によって、ＤＡＣ４０２は、共通モード入力電圧端子２１２において印加される共通モード入力電圧４２０を変更する。共通モード入力電圧４２０を変更することは、ＡＦＥ回路２００の差動出力に影響を及ぼさない。なぜなら、共通モード入力電圧４２０が共通モードとして拒否されるからである。共通モード入力電圧４２０を設定することと関連して、制御回路要素４１８は、基準スイッチ４１４及び基準スイッチ４１６の一方を閉じ、基準電圧をＣＤＡＣ４０６に提供する。ＣＤＡＣ４０６は、コンデンサ４３６及びコンデンサ４３８を含む。コンデンサ４３６は、共通モード増幅器２０４の出力２３０に結合される底部プレート４３６Ｂと、コンパレータ４０８に結合される頂部プレート４３６Ｔとを有する。コンデンサ４３８は、基準電圧スイッチング回路要素４４４に結合される底部プレート４３８Ｂと、コンパレータ４０８、及びコンデンサ４３６の頂部プレート４３６Ｔに結合される頂部プレート４３８Ｔとを有する。制御回路要素４１８は、頂部プレートスイッチ４３４を閉じて（すなわち、第１のコンデンサ４３６の頂部プレート４３６Ｔ及び第２のコンデンサ４３８の頂部プレート４３８Ｔを接地に接続して）、ＣＤＡＣ４０６のコンデンサ４３６を出力信号４２６の電圧まで充電し、ＣＤＡＣ４０６のコンデンサ４３８を、基準スイッチ４１４又は基準スイッチ４１６を介して提供される基準電圧４４０まで充電する。その後、頂部プレートスイッチ４３４が開かれ、共通モード入力電圧４２０が変更され、基準スイッチ４１４と基準スイッチ４１６のどちらを閉じるかを変更することによって、基準電圧４４０が変更される。ＣＤＡＣ４０６の出力（すなわち、頂部プレート電圧４４２）は、

$$\alpha(\Delta V_{Xmeas} - \Delta V_{TH})$$

であり、ここで、

αは、減衰係数であり、

ΔV_{Xmeas}は、共通モード入力電圧４２０の２つの値との、出力信号４２６の電圧の差であり、

ΔV_{TH}は、ＣＤＡＣ４０６において生成される２つの基準電圧の差である。

【００３２】

図６は、本記載に従った微細浮遊検出の一例を示す。構成６００において、共通モード入力電圧４２０は設定されており、基準スイッチ４１４、基準スイッチ４１６、及び頂部プレートスイッチ４３４は、出力信号４２６及び基準電圧４４０のサンプルを取得するた

めに設定される。構成６００において基準スイッチ４１４及び基準スイッチ４１６のどちらを閉じるかという選択は、構成６２０において、共通モード入力電圧４２０において生成されるべき変化の方向に基づく。共通モード入力電圧４２０の電圧が、構成６２０において増加されるべき場合、構成６００において、基準スイッチ４１４が閉じられ、基準スイッチ４１６が開かれる。同様に、共通モード入力電圧４２０の電圧が、構成６２０において減少されるべき場合、構成６００において、基準スイッチ４１６が閉じられ、基準スイッチ４１４が開かれる。

【００３３】

サンプル取得時間の満了の後、構成６１０において、コンデンサ４３６の頂部プレート４３６Ｔ及びコンデンサ４３８の頂部プレート４３８Ｔを接地から切断するために、頂部プレートスイッチ４３４が開かれる。

【００３４】

構成６２０において、共通モード入力電圧４２０が変更される（例えば、増加される）。すなわち、制御回路要素４１８は制御信号４３２をＤＡＣ４０２に提供し、ＤＡＣ４０２は、共通モード入力電圧４２０を変更し、出力信号４２６を変更する。頂部プレート電圧４４２は、

$$\frac{C_{IN}}{C_{IN}+C_{TH}}\left(V_{X2}-V_{X1}\right)$$

であり、ここで、

C_{IN}は、コンデンサ４３６の静電容量であり、

C_{TH}は、コンデンサ４３８の静電容量である。

$$\frac{C_{IN}}{C_{IN}+C_{TH}}$$

は、減衰係数αである。

V_{X1}は、構成６００及び構成６１０における出力信号４２６の電圧であり、

V_{X2}は、構成６２０及び構成６３０における出力信号４２６の電圧である。

【００３５】

構成６３０において、制御回路要素４１８が、コンデンサ４３８に提供される基準電圧４４０を変更するために、基準スイッチ４１４を開き、基準スイッチ４１６を閉じる。頂部プレート電圧４４２は、

$$\left(\frac{C_{IN}}{C_{IN}+C_{TH}}\left(V_{X2}-V_{X1}\right)\right)+\left(\frac{C_{TH}}{C_{IN}+C_{TH}}\left(V_{REFP}-V_{REFM}\right)\right)$$

であり、ここで、

V_{REFP}は、構成６００、構成６１０、及び構成６２０における基準電圧４４０の電圧であり、

V_{REFM}は、構成６３０における基準電圧４４０の電圧であり、

$$\frac{C_{TH}}{C_{IN}}\left(\left|V_{REFP}-V_{REFM}\right|\right)$$

は、ΔV_{TH}である。
ΔV_{TH}は、

$$\frac{C_{TH}\left(V_{REFP}-V_{REFM}\right)}{C_{IN}}=\frac{\Delta V_{INCM}\left(G_D+G_F\right)}{2}$$

として、ΔV_{INCM}、G_D、及びG_Fに関連する。
【００３６】
微細コンパレータ４０８は、頂部プレート電圧４４２を接地と比較して、（ＡＦＥ回路２００又は等価回路３００における）利得V_{INCM}からV_Xへの利得が、所定の利得値（例えば、信号入力端子２３４が浮遊している場合の、V_{INCM}からV_Xへの利得に対応する利得値）を超えるかどうかを判定する。浮遊入力検出回路要素４００のいくつかの実装において、制御回路要素４１８は、共通モード入力電圧４２０を疑似ランダムに変更し、及び／又は、出力信号４２６の２つの異なる値の比較を複数回繰り返し行って、共通モード入力電圧４２０における変化が、信号入力端子２３４に存在する如何なる信号電圧にも追従しないことを保証する。このように、制御回路要素４１８は、信号入力端子２３４を浮遊しているとする誤検出を避ける。
【００３７】
図７は、本記載に従った浮遊入力検出のための方法７００のフローチャートを示す。便宜上、順に示すが、図示される行為の少なくともいくつかが、異なる順で行われ得、及び／又は、並行して行われ得る。また、いくつかの実装が、図示される行為のいくつかのみを行い得る。方法７００の動作は、データ取得システム１００の実装によって行われ得る。
【００３８】
ブロック７０２において、浮遊入力検出回路要素１０８は、基本又はリセット状態に設定される。信号入力端子２３４に対応する浮遊表示（例えば、浮遊フラグビット）がリセットされる。共通モード入力電圧４２０が共通モード増幅器２０４に提供される。スイッチ４１４、４１６、及び４３４が、構成６００に従って設定される。共通モード増幅器２０４によって生成される出力信号４２６が、粗検出回路要素４２８、微細検出回路要素４３０、プログラマブル利得増幅器２０２の非反転入力２２２、及びプログラマブル利得増幅器２０２の反転入力２２０に提供される。
【００３９】
ブロック７０４において、浮遊入力検出回路要素１０８は、信号入力端子２３４が駆動されているかどうかを判定するために、粗検出を行う。粗検出は、共通モード増幅器２０４によって生成される出力信号４２６を、閾値電圧４２２及び閾値電圧４２４と比較することを含む。
【００４０】
ブロック７０６において、信号入力端子２３４が駆動されている（すなわち、浮遊していない）ことを粗検出が示す場合、制御回路要素４１８は、ブロック７０２に戻ることによって浮遊入力検出を継続する。共通モード増幅器２０４の出力が閾値電圧４２２より大きいか又は閾値電圧４２４より小さい場合、信号入力端子２３４は駆動されていると判定される。
【００４１】
ブロック７０６において、信号入力端子２３４の状態があいまいである（すなわち、信号入力端子２３４が駆動又は浮遊している可能性がある）ことを粗検出が示す場合、浮遊入力検出回路要素１０８は、信号入力端子２３４が浮遊していることを共通モード増幅器段（例えば、等価回路３００）が示すかどうかを判定するために、ブロック７０８において微細検出を行う。微細検出は、出力信号４２６のサンプル及びＣＤＡＣ４０６上の基準電圧４４０のサンプルを繰り返し取得することを含む。共通モード入力電圧４２０及び基準電圧４４０は、微細検出の各繰り返しのために変更される。ＣＤＡＣ４０６の頂部プレ

ート電圧４４２は接地と比較される。
【００４２】
ブロック７１０において、信号入力端子２３４が駆動されている（すなわち、頂部プレート電圧４４２が接地より高い）ことを微細検出が示す場合、制御回路要素４１８は、ブロック７０２に戻ることによって浮遊入力検出を継続する。
【００４３】
ブロック７１０において、信号入力端子２３４が浮遊している（すなわち、頂部プレート電圧４４２が接地より高くない）ことを微細検出が示す場合、ブロック７１２において、浮遊入力検出回路要素１０８は、ブロック７０８の微細検出が所定の回数実行されたかどうかを判定する。ブロック７０８の微細検出が所定の回数実行されており、各回が、信号入力端子２３４が浮遊していることを示す場合、ブロック７１４において、信号入力端子２３４に対する浮遊表示が設定される。ブロック７０８の微細検出が所定の回数実行されていない場合、微細検出はブロック７０８において継続する。複数の連続した微細検出が、信号入力端子２３４が浮遊していると示すことを要求することによって、浮遊状態の誤検出が低減される。
【００４４】
図８は、本記載に従った、浮遊入力の検出において用いるために適したＡＦＥ回路８００の第２の例の概略図を示す。ＡＦＥ回路８００は、ＡＦＥ回路１０６の一実装である。ＡＦＥ回路８００は、共通モードループにおいて接続されるプログラマブル利得増幅器８０２及び共通モード増幅器８０４を含む。ＡＦＥ回路８００は、プログラマブル利得増幅器８０２の出力における共通モード電圧を感知し、こうした共通モード電圧を、共通モードループを介して補正する。ＡＦＥ回路２００と同様、V_{INCM}からV_Xまでの伝達関数差が、信号入力端子２３４が浮遊しているかどうかを判定するために、浮遊入力検出回路要素４００によって用いられる。
【００４５】
プログラマブル利得増幅器８０２は差動増幅器であり、非反転出力８１８、非反転入力８２２、反転出力８１６、反転入力８２０、及び共通モード入力８１４を有する。共通モード入力８１４は、共通モード入力電圧を受け取るためのものであり、共通モード入力２１４に結合される。共通モード増幅器８０４は、非反転入力８２８、反転入力８２４、及び出力８３０を含む。プログラマブル利得増幅器８０２の反転出力８１６は、第１の可変抵抗器８０６を介してプログラマブル利得増幅器８０２の非反転入力８２２に、及び、第１の抵抗器８２６を介して共通モード増幅器８０４の非反転入力８２８に結合される。プログラマブル利得増幅器８０２の非反転出力８１８は、第２の可変抵抗器８０６を介してプログラマブル利得増幅器８０２の反転入力８２０に、及び、第２の抵抗器８２６を介して共通モード増幅器８０４の非反転入力８２８に結合される。可変抵抗器８０６の抵抗は、プログラマブル利得増幅器８０２の利得を制御するために可変である。
【００４６】
ＡＦＥ回路８００は、信号入力端子２３４及び基準入力端子２３２を含む。信号入力端子２３４は信号入力端子１１４の一例であり、基準入力端子２３２は基準入力端子１１６の一例である。信号入力端子２３４は、第１の入力抵抗器８１０を介してプログラマブル利得増幅器８０２の非反転入力８２２に結合される。基準入力端子２３２は、第２の入力抵抗器８１０を介してプログラマブル利得増幅器８０２の反転入力８２０に結合される。
【００４７】
抵抗器８２６は、共通モード増幅器８０４の非反転入力８２８と、プログラマブル利得増幅器８０２の反転出力８１６及び非反転出力８１８から受け取った平均信号とに結合される。
【００４８】
共通モード増幅器８０４は、反転入力８２４において受け取った出力共通モード電圧と、プログラマブル利得増幅器８０２から受け取った信号の平均との差を増幅する。共通モード増幅器８０４の出力８３０は、抵抗器８０８によってプログラマブル利得増幅器８０

２の非反転入力８２２に、及び、抵抗器８０８によってプログラマブル利得増幅器８０２の反転入力８２０に結合される。また、共通モード増幅器８０４の出力８３０は、信号入力端子２３４が浮遊しているかどうかを検出する際に用いるための浮遊入力検出回路要素１０８に提供される。出力８３０上の、共通モード増幅器８０４によって提供される信号は、共通モードであり、プログラマブル利得増幅器８０２によって拒否される。

【００４９】

図９は、本記載に従った、浮遊入力を検出する際に用いるために適したＡＦＥ回路９００の第３の例の概略図を示す。ＡＦＥ回路９００は、ＡＦＥ回路１０６の一実装である。ＡＦＥ回路９００は、共通モードループにおいて接続されるプログラマブル利得増幅器９０２及び共通モード増幅器９０４を含む。ＡＦＥ回路９００は、入力端子２３２及び２３４における共通モード電圧を感知し、こうした共通モード電圧を、フィードフォワード経路を介して補正する。ＡＦＥ回路２００と同様、V_{INCM}からV_Xの伝達関数差が、信号入力端子２３４が浮遊しているかどうかを判定するために、浮遊入力検出回路要素４００によって用いられる。

【００５０】

プログラマブル利得増幅器９０２は差動増幅器であり、非反転出力９１８、非反転入力９２２、反転出力９１６、反転入力９２０、及び共通モード入力９１４を有する。共通モード入力９１４は、共通モード出力電圧を受け取るためのものであり、プログラマブル利得増幅器９０２の反転出力９１６及び非反転出力９１８において生成される出力信号に印加する。共通モード増幅器９０４は、反転入力９２８、非反転入力９２４、及び出力９３０を含む。プログラマブル利得増幅器９０２の反転出力９１６は、第１の可変抵抗器９０６を介してプログラマブル利得増幅器９０２の非反転入力９２２に、及び、抵抗器９２６を介して共通モード増幅器９０４の反転入力９２８に結合される。プログラマブル利得増幅器９０２の非反転出力９１８は、第２の可変抵抗器９０６を介してプログラマブル利得増幅器９０２の反転入力９２０に、及び、第２の抵抗器９２６を介して共通モード増幅器９０４の反転入力９２８に結合される。可変抵抗器９０６の抵抗は、プログラマブル利得増幅器９０２の利得を制御するために可変である。

【００５１】

ＡＦＥ回路９００は、信号入力端子２３４及び基準入力端子２３２を含む。信号入力端子２３４は信号入力端子１１４の一例であり、基準入力端子２３２は基準入力端子１１６の一例である。信号入力端子２３４は、第１の入力抵抗器９１０を介してプログラマブル利得増幅器９０２の非反転入力９２２に結合される。基準入力端子２３２は、第２の入力抵抗器９１０を介してプログラマブル利得増幅器９０２の反転入力９２０に結合される。

【００５２】

抵抗器９２６は、共通モード増幅器９０４の反転入力９２８と、信号入力端子２３４及び基準入力端子２３２における平均信号とに結合される。

【００５３】

共通モード増幅器９０４は、非反転入力９２４において受け取った出力共通モード電圧と、プログラマブル利得増幅器９０２から受け取った信号の平均との差を増幅する。共通モード増幅器９０４の出力９３０は、抵抗器９１２によって共通モード増幅器９０４の反転入力９２８に、抵抗器９０８によってプログラマブル利得増幅器９０２の非反転入力９２２に、及び、抵抗器９０８によってプログラマブル利得増幅器９０２の反転入力９２０に結合される。また、共通モード増幅器９０４の出力９３０は、信号入力端子２３４が浮遊しているかどうかの検出において用いるための浮遊入力検出回路要素１０８に提供される。出力９３０上の、共通モード増幅器９０４によって提供される信号は、共通モードであり、プログラマブル利得増幅器９０２によって拒否される。

【００５４】

特許請求の範囲内で、説明された実施形態における改変が可能であり、その他の実施形態が可能である。

【図面】

【図１】

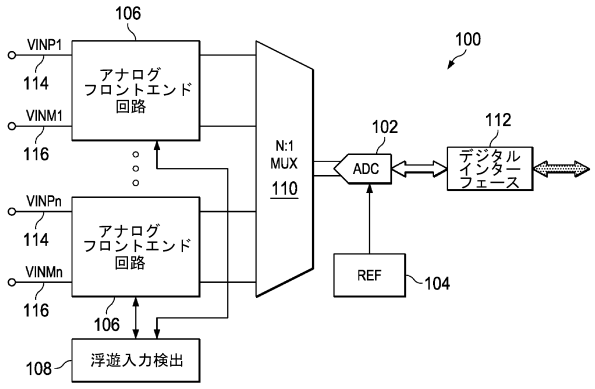


FIG. 1

【図２】

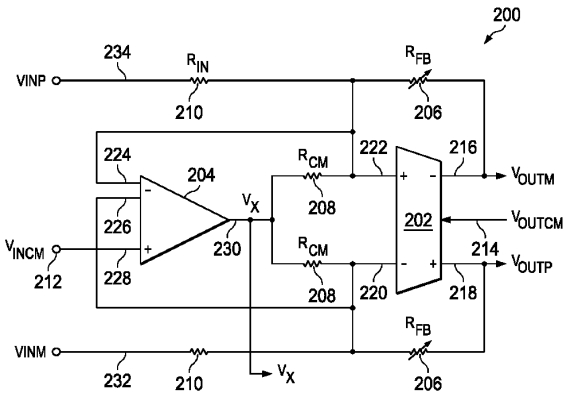


FIG. 2

【図３】

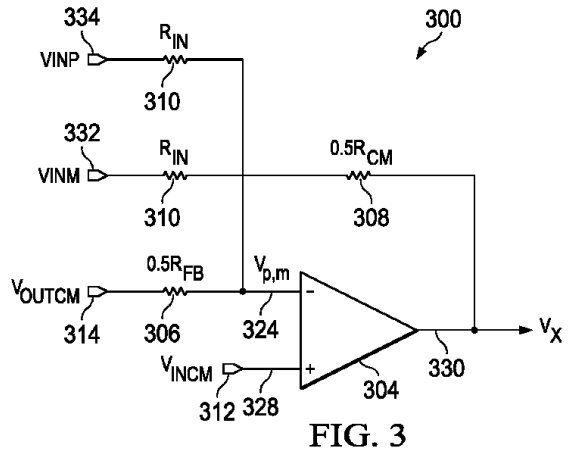
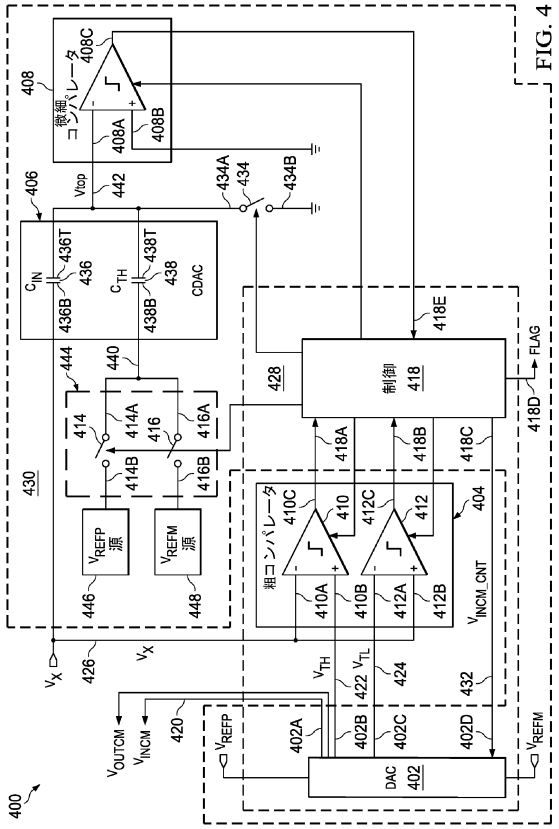


FIG. 3

【図４】



【図５】

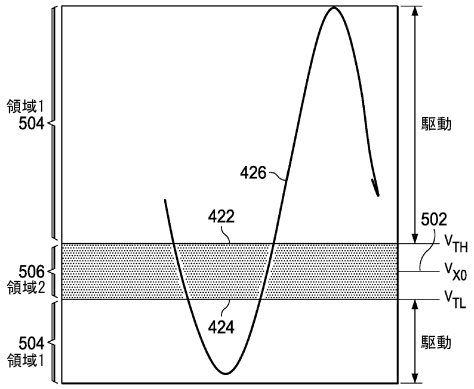


FIG. 5

【図６】

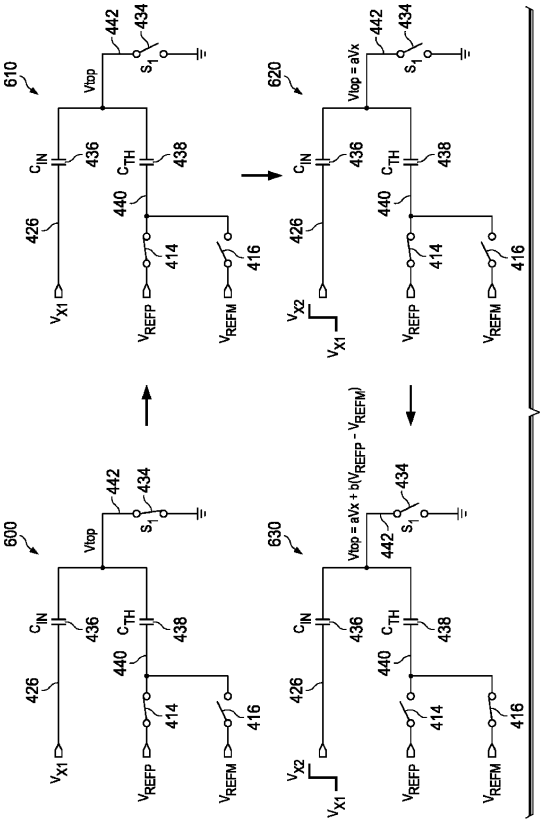


FIG. 6

【図７】

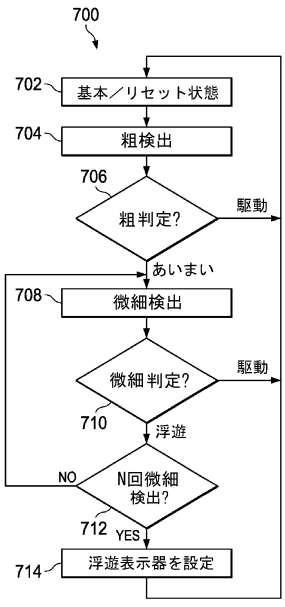


FIG. 7

【図８】

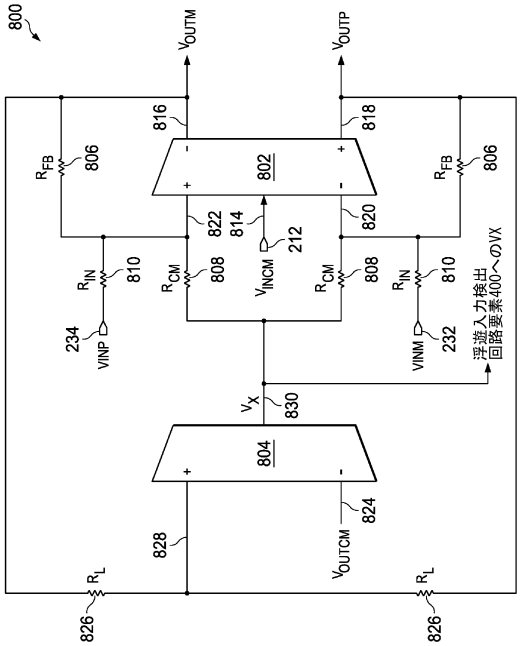


FIG. 8

【図９】

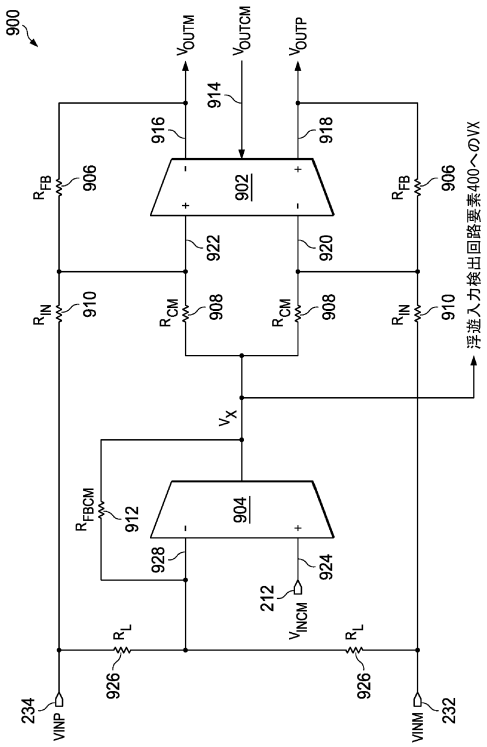

900
VOUTM
VOUTCM
VOUTP
914
916
918
902
RFB
906
922
920
RIN
910
RCM
908
浮遊入力検出回路要素400～のVX
VX
RFBCM
912
904
928
924
212
VINCM
RL
926
234
VINP
232
VINM

FIG. 9

フロントページの続き

(33)優先権主張国・地域又は機関
米国(US)

前置審査

インド ５６００４３ バンガロール， ホラマヴ， ホラマヴ アガラ ロード， メイフラワー アパートメンツ， ビー１３０
(72)発明者 ディパンカール マンダル
インド ４６００１６ バンガロール， パイ レイアウト， ファースト メイン， シクスティーンス イー クロス， クリシュナギート シェルター， エイ－２１３

審査官 及川 尚人

(56)参考文献
米国特許第０５４１８４５３（ＵＳ，Ａ）
米国特許出願公開第２０１２／０１５８３２４（ＵＳ，Ａ１）
特開２０１３－１５３２４６（ＪＰ，Ａ）
特開２０１７－０７６９６０（ＪＰ，Ａ）
特開２００４－３３６５１０（ＪＰ，Ａ）
特開２０１１－２０５３２０（ＪＰ，Ａ）
特開２０１４－０２０８２７（ＪＰ，Ａ）
特開昭６３－２３４７５６（ＪＰ，Ａ）
国際公開第２０１３／１２９６４６（WO，Ａ１）
米国特許第０９８４６５６９（ＵＳ，Ｂ１）

(58)調査した分野 (Int.Cl.，ＤＢ名)
Ｈ０３Ｋ ５／１９
Ｈ０３Ｍ １／００－１／８８
Ｈ０３Ｆ １／００－３／７２