

公告本

申請日期	90.8.20
案號	90.1203P0
類別	H01L 29/00

A4
C4

503575

(以上各欄由本局填註)

發明專利說明書

一、發明名稱	中文	具有被動元件之半導體裝置及其製造方法
	英文	SEMICONDUCTOR DEVICE HAVING PASSIVE ELEMENTS AND METHOD OF MAKING SAME
二、發明人	姓名	1.彼得勒雀 PETER ZURCHER 2.馬文弗利蘭米勒三世 MELVY FREELAND MILLER, III
	國籍	1. 2.均美國
三、申請人	住、居所	1. 美國亞歷桑那州鳳凰城東后匹街4514號 2. 美國亞歷桑那州探普市西卡洛琳路177號
	姓名(名稱)	美商摩托羅拉公司 MOTOROLA INC.
	國籍	美國
	住、居所(事務所)	美國伊利諾州史堪伯市東阿崗崑路1303號摩托羅拉中心
	代表姓名	F. 強莫辛格 F. JOHN MOTSINGER

裝

訂

線

(由本局填寫)

承辦人代碼：
大類：
IPC分類：

A6
B6

本案已向：

美 國(地區) 申請專利，申請日期：2000.08.21. 案號：09/642,680 ， 有 無主張優先權

有關微生物已寄存於： ， 寄存日期： ， 寄存號碼：

(請先閱讀背面之注意事項再填寫本頁各欄)

裝 訂 線

經濟部智慧財產局員工消費合作社印製

五、發明說明 (1)

本發明已於2000年8月21日向美國政府申請專利並編列為申請號為09/642,680。

本發明係有關於一種半導體裝置及形成該半導體裝置的製造方法，尤指是包含至少一種被動元件且適合用在無線通訊系統內的一種半導體裝置。

從半導體裝置製造技術的觀點來看，許多電子裝置遭遇到設計及功能的限制。舉例來說，無線通訊系統一般僅包含非常少的半導體晶片，但是有數百個被動元件。由於持續在 10^9 Hz級數或更高的頻率努力去提高元件的外形尺寸及降低功率去增加性能及功能性。因此，業界非常希望將被動元件整合至分開的晶片或是模組之內，然後置於主動基板之上。

一些將電容及電阻設計在晶片內的技術的技術已經存在，一些例子包括double-poly，gate-oxide或是接合面電容或是diffused silicon或是poly silicon電阻。許多的應用已經從這些技術而提高性能獲得利益，舉例來說，在某些區域可降低寄生電容而增加性能，增進電壓的線性度，降低電極串聯電阻或降低 $1/f$ 雜訊，我們希望將這些具更好性能的裝置整合至一主動基板的後段(backend)之內，迄今使用目前存在的技術還無法達成。

圖式簡單說明

圖1所示為一根據本發明製造的較佳半導體裝置；及

圖2所示為一根據本發明製造的電容及電阻元件。

發明之詳細說明

五、發明說明 (2)

請參考圖1，其是由半導體被動元件如金屬-絕緣體-金屬架構的電容器或是薄膜電阻所組合的例子，由圖1所示的較佳實施例，本發明將一金屬-絕緣體-金屬架構的電容器及至少一個薄膜電阻的組合納入至一裝置內，圖1亦例示包含2個薄膜電阻的情況。在另外的實施例中，我們預期能將金屬-絕緣體-金屬電容(或是另一個被動元件)省略，或是置入另一分開的裝置之中，然後與由根據本發明的方法所製造的一個或是複數個電阻元件做電性連接。

總括來說，本發明裝置的特徵係包含一金屬層，該金屬層是沈積在一介電質層(絕緣層)內的渠溝內，然後經過處理去移除過剩的材料讓金屬層曝露的表面與介電層的第一表面位於同一平面上，金屬層材料可以是銀，金，銅，鋁或是他們之間的混合物，但是銅為較佳的金屬，所以，更明確的說，本發明裝置其特徵係至少包含一個形成在一材料層中的銅鑲嵌金屬層，在本較佳實施例之中，電容的電極是由一單鑲嵌銅層所形成，而該銅金屬層就成為一個或更多的電容、電阻或是他們之間的組合的端點。無論如何，熟悉該技藝的人可認知到一單數被動元件可以在複數個金屬鑲嵌層之上來形成，一單數被動元件也可以在一單數鑲嵌層上來形成，或一個或是多個被動元件可以在多層鑲嵌層來形成。

進一步來說，圖1描述一個包含一適當的半導體基板10的裝置，連接基板10為一第一絕緣介電層12，在該介電層12內設置一渠溝15，在渠溝15的底部表面，透過一通道14其

五、發明說明 (3)

內的導電材料可將基板10與填充渠溝15內的金屬層16電連接(較佳的選擇為鑲嵌金屬層，更佳的選擇為一鑲嵌銅層)。圖1顯示，其中有一具可選擇性的阻障介電質層18形成在金屬層16之上，在一些或是所有的金屬層16該介電質層18是可以省略的。舉例來說，圖1顯示在阻障介電質層18的一個窗口曝露出一部分的金屬層16，因此可在金屬層16及一第一或是底部電容極層20之間提供直接的接觸，在此處金屬層16顯示為連續的但是也可以被切成多數個部分，請注意複數個電容器是可以設置在單一的金屬層16上。

電容電極層20至少在其長度的一部分是夾在金屬層16及一電容介電質層22之中，一第二或是頂部電容電極層24與電容介電層22的至少一部分相毗連，第二電容電極層24視需要可在其表面的一部分包含一蝕刻截止層26，這些由電容電極層20，電容介電質層22，電容電極層24及非強制選擇的蝕刻截止層26的組合界定了本發明一電容元件的結構。

一第一電阻28(較佳的為一薄膜電阻)可由一適當的材料來形成，較佳的是使用在第一電容電極層20所使用相同的材料(在實施例之中是使用金屬-絕緣體-金屬結構的電容器)來形成。如此，電阻28及第一電容電極層20是由相同的材料來構成，第一電阻28是與第一絕緣電質層12相毗連，經由直接接觸或是由可選擇的阻障介電質層18旁的一部分表面分開，可經由通道40及在其上面的金屬層44連接電阻28，請注意當金屬層16是連續的情況僅需要一個通道14，

五、發明說明 (4)

視需要，一個或多個介電質層可置放於第一電阻28之上，舉例來說，在圖1顯示，一層間介電層30作為一覆蓋層 (blanket layer) 置於電容器之金屬層20及24上，且當選用之蝕刻停止層26使用時置於蝕刻停止層26上。

在圖1顯示，一個非強制可選擇的第二電阻32與層階間介電層30的表面直接接觸，該第二電阻可置於裝置內其他地方而與其他層接觸，舉例來說，第二電阻可置於與第一電阻直接接觸的金屬層直接接觸，另外的層階間介電層34置於層階間介電層30之上覆蓋著非強制必須要選擇的第二電阻32，這部分在圖1有顯示出。在前面已有提到，如有利於單一介電層則層階間介電層30或34其中之一可省略，電阻28及32可由不同的材料所形成，當然他們的阻抗可能不同。

由第二層階間介電層34及其他的層(如果有的話)分隔的金屬層是由複數個的通道來提供接觸路徑。舉例來說，通道36內的材料可從一金屬層44電連接至金屬層16，一或多個通道38內的材料可從金屬層44電連接至電容電極層24，複數個通道40內的材料可從金屬層44電連接至第一電阻28。同樣的，複數個通道42內的材料可將金屬層44電連接至第二電阻32。視需要，一個或是額外的層，例如層46可以置於金屬層44之上，在圖1所顯示的實施例描述通道38，40，42在靠近金屬層44的表面接觸到被動元件，應了解通道36，38及40通過層階間介電層30及34，而通道42僅通過層階間介電層34。

熟悉此技藝者當可知任何適當的材料都可以去製造被動

五、發明說明 (5)

元件，介電材料對電容而言是較佳的選擇，介電層材料可從氧化物或是氮化物之中選擇，例如 Ta_2O_5 ， $SrTiO_3$ ， ZrO_2 ， $ZrSiO_4$ ， HfO_2 ， $HfSiO_4$ ， TiO_2 ， Si_3N_4 或是他們之間的混合物及這些材料每一個的理想配比的差異；對電阻及電容電極層較佳的材料包括，例如， TaN ， $TaAlN$ ， TiN ， $CrNi$ ， WN ， $CrSi$ 或是他們的混合物，這些材料的理想配比的差異性也需要考慮的。

我們希望，在至少有一個被動元件的半導體裝置，金屬層 16 延伸超過該元件的尾端或是相對於該元件的尾端做側面偏移，舉例來說，金屬層 16 側面延伸超過第一電容電極層 20，第一電容介電層 22，及第二電容電極層 24，在此情況之下，對第一電容電極層 20 可直接從金屬層 44 經由通道 36 及金屬層 16 達到電連接，或者，對於電阻 28 及 32，可直接經由通道 40 及 42 接至第一電阻的表面造成層和層之間的連接。

在圖 1 所顯示的裝置，以下將描述半導體基板 10 上的被動裝置的製程。先對沈積在基板 10 上的第一絕緣介電層 12 圖案化，然後去蝕刻去形成為了要接受被動裝置的金屬層 16 的渠溝 15 及通道 14，接著將一低阻抗或是高傳導物質沈積至渠溝 15 及通道 14 之內，之後將多餘的材料移除以致相對於第一絕緣介電層 12 的曝露表面，其金屬層 16 的曝露表面是連續的，較佳的是二者位在同一平面上，任何移除材料的適當技術都可以使用，例如化學機械研磨法的技術。

視需要，如果要使用阻障介電層 18，將其沈積在絕緣介

五、發明說明(6)

電層12及金屬層16之上，然後穿過它蝕刻一開口，至少曝露出由圖1所描述的電容金屬層16的一部分，藉由將材料沈積在阻障介電層18上(如果使用的話，如果不使用此介電層，則將物質沈積在第一絕緣介電層12及金屬層16上)如此可在金屬層上建立一被動元件，然後再進行圖案化及蝕刻製程。圖案化及蝕刻過程或是一化學機械拋光過程定義了電容電極20及電阻28。

視需要，使用一或是多道沈積、圖案化及蝕刻製程去定義更多的元件或是被動元件層，其中包含了電容介電層22及金屬層24(如圖1所示的實施例中的電容)。熟悉該技藝者應了解一些不同的技術可以去形成更多的層階，在一或是多道圖案化及蝕刻過程之後可使用覆蓋沈積技術，在其中一實施例之中，在蝕刻之前，一非強制必須要選擇的第二阻障或是蝕刻截止層26是沈積在金屬層24之上。

為了完成由圖1所示的電容最後的架構，至少要使用一道光罩製程(伴隨著蝕刻)，請注意假如使用非強制性的阻障層18，然後一非強制性的光罩製程界定了曝露金屬層16的一個窗口，第一光罩製程定義了第二電容電極層24及使用與第二電容電極層相同材料的非強制必須要選擇的第二電阻；如果要使用電容及電阻的組合，則第二光罩製程定義第一電容電極層20及第一電阻28；熟悉技藝者應了解使用上面所描述的蝕刻程序，在被動元件上留下至少一薄層介電材料幫助去控制在被動元件上蝕刻物的侵襲是可能的(尤其是在通道蝕刻過程)，或者是，如果我們直接蝕刻穿過被

五、發明說明 (7)

動元件，則該薄層介電材料是可以避免使用的。

在一個或多個被動元件形成後，如有必要，更多的材料層可形成在每一被動元件之上。舉例來說，第一及第二層階間介電層30及34是可以沈積其上的(覆蓋式沈積)，如果第一第二電阻32形成後，則可以在第二層階間介電層34沈積之前先行使沈積製程，然後使用一適當的光罩及蝕刻程序去界定第二電阻32。

使用任何的適當技術去產生通道(蝕刻製程為一較佳的材料移除技術)，然後再沈積一傳導材料；可使用適當的技術去形成金屬層間的連接，這些技術包括用以形成金屬層16的製程，應了解金屬層44不一定要用鑲嵌法來形成，也可以用其他任何適當的方式來完成，更多的層階或是元件(在圖中顯示為層46)可以在介電層34及金屬層44上形成，加上我們希望的適當的電連接通道(此部分圖中未顯示)。

以上的方法廣言之係包括提供一或是多種材料及將該材料圖案化去形成某種裝置具某種功能的元件層複數個步驟，圖案化可能使用任何傳統化的步驟，包含將材料沈積或是形成的步驟及材料移除的步驟。這些步驟典型的來說包括工作層表面曝露的光阻應用，首先用光微影過程發展出光阻，移去由光阻選擇的部分，我們可以得到在工作層曝露表面所預先決定的圖案，然後對該表面進行蝕刻，將在表面上或其下的材料移除，光阻仍舊連接在工作件上當做一保護層，該保護層可防止用以移除材料的蝕刻物去接觸工作件下面的材料。

五、發明說明 (8)

圖2亦用來說明如金屬-絕緣體-金屬電容及薄膜電阻等半導體被動元件的組合，請注意在該圖中對相同元件使用相同的參考號碼，一絕緣介電層12是形成在半導體基板10之上，然後對該介電層的一部分進行蝕刻定義出一渠溝15，對渠溝15底部表面進行蝕刻得到從絕緣介電層12至半導體基板10的一通道14，將渠溝15及通道14填充一導電的金屬層16，如此可在基板10及金屬層16之間達到電連接。

一底部電容電極層20是形成至少在一部分的金屬層16之上，一電阻28是由形成底部電容電極層20使用相同材料所形成，電阻28是形成在絕緣介電層12之上及可能與金屬層16相接，一介電層22是沈積在底部電容電極層20及電阻28之上，同時可用做電容的介電層；一頂部電容電極層24與至少一部分的電容介電層22相毗連，頂部電容電極層24視需要可以包含一至少覆蓋在其部分表面之上的蝕刻截止層26，這些由電容電極層20，電容介電層22，及電容電極層24，及非強制可以加以選擇的蝕刻截止層26(如果使用的話)，定義出電容元件的結構，此部分在實施例中有所顯示。

一介電層34覆蓋電容及電阻28、23，電阻28及23的接頭可由金屬層44填入在介電層34內分別形成的通道40及42之內從上面相連接；電阻28視情況需要可以經由金屬層16及已由金屬填充的通道14從下面相接，請注意在此具體實施例中，電阻28及23可以由具不同的電阻值的材料來形成，請更進一步注意用做形成電容電極層24所使用的材料是與

五、發明說明 (9)

形成電阻23使用相同沈積製程的材料。

視情況，電容電極層20是可以省略的而使用金屬層16來形成一電容的電極。在此具體實施例(未顯示)之中，由金屬層16，電容介電層22及電容電極層24的組合定義出電容元件的架構，當不使用電容電極層20的情況，包含電阻器23具阻抗的元件是可採用的。

至目前為止應了解依據本發明的裝置可以在許多靜態的或是攜帶式的系統之中發現實際的應用，例如(並非限制本發明)具類比電路或混合信號應用的射頻系統，舉例來說，一些目前使用這些裝置的系統如無線通訊設備系統(傳呼機，電話，透過網際網路傳輸裝置，計算系統，網路系統，電視或是收音機廣播系統，定位系統，單向或是雙向通訊系統或是其他的射頻通訊系統)是位於本發明的範疇之內，這些系統使用本發明的裝置及方法可獲得更好的性能，尤其是從能將一個或是多個被動元件整合至分開的晶片之內或是主動基板之上的觀點來看。

四、中文發明摘要 (發明之名稱： 具有被動元件之半導體裝置及其製造方法)

一種半導體裝置及製造一半導體裝置的方法。一鑲嵌銅層(16)是在一絕緣介電層(12)之內形成，而該金屬層是與基板(10)做直接電性連接。一被動元件層，例如一第一電容電極層(20)是置於金屬層(16)之上，及較佳地係相對於金屬層(16)偏置以允許一經由一通道(36)至金屬層(16)之直接電氣互連。在一實施例之中，一電容及一電阻是在裝置之中形成做為被動元件。在另一實施例之中，該被動元件包括至少一個電阻(28)及視需要一第二電阻(32)，在另外其他的實施例，金屬層(16)為一鑲嵌銅層。

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

英文發明摘要 (發明之名稱： SEMICONDUCTOR DEVICE HAVING PASSIVE ELEMENTS AND METHOD OF MAKING SAME)

A semiconductor device and a method of making a semiconductor device. A damascene metal layer (16) is formed in an insulating dielectric layer (12), which is in direct electrical communication with a substrate (10). A layer of a passive element, such as first capacitor electrode layer (20) is disposed on metal layer (16) and preferably is offset relative to metal layer (16) to allow a direct electrical interconnect through a via (36) to metal layer (16). In one embodiment a capacitor and a resistor are formed as passive elements in the device. In another embodiment, the passive element includes at least one resistor (28) and optionally a second resistor (32). In yet another embodiment, metal layer (16) is a damascene copper layer.

訂

線

六、申請專利範圍

1. 一種製造一半導體裝置之方法，包括以下步驟：

提供一半導體基板；

在該半導體基板上形成一絕緣層；

在該絕緣層之內形成一第一鑲嵌金屬層用以與該半導體基板做電連接；

在第一鑲嵌金屬層之上形成一電容，該電容具一第一電容電極及一第二電容電極；

在第一鑲嵌金屬層之上形成至少一電阻，其中該至少一電阻是使用與形成第一電容電極層相同的材料來形成；及

形成一第二金屬層用來與該電容做電連接。

2. 如申請專利範圍第1項之方法，其中形成一第一鑲嵌金屬層的步驟包括將銅沈積在該絕緣層內的一渠溝內及用化學的方法拋光該銅，讓該表面與該絕緣層上的表面實質完全在同一平面上。

3. 如申請專利範圍第1項之方法，其中至少一電阻係至少部分形成在覆蓋在該第一鑲嵌金屬層的一介電層上。

4. 一種製造一半導體裝置之方法，包含以下步驟：

將一層銅金屬沈積於一渠溝之內，而該渠溝是界定在一絕緣層一平表面之內；

在該銅金屬層上形成一表面，該表面是與絕緣層的表面在同一平面上；及

在該銅金屬層上形成一電阻，其中該電阻是直接且連續的形成在銅金屬層至少一部分表面之上。

六、申請專利範圍

5. 如申請專利範圍第4項之方法，進一步包含形成在一銅金屬層上的一電容，該電容具有一第一電容電極及一第二電容電極，及其中第一電容電極與電阻是使用相同的材料層來形成。
6. 如申請專利範圍第5項之方法，更進一步包含在電阻上形成一介電層的步驟，其中該介電層形成該電容之電容介電層。
7. 如申請專利範圍第4項之方法，更進一步包含一覆蓋在至少一部分的銅金屬層表面的一介電層，及其中該電阻至少其一部分是形成在該介電層之上。
8. 一種製造一半導體裝置之方法，包含以下步驟：
 - 形成一鑲嵌銅層；
 - 形成在該鑲嵌銅層之上的一介電層；
 - 在該介電層之內圖案化一開口，用以曝露出該鑲嵌銅層的一部分；及
 - 形成一至少一部分是覆蓋在該介電層上的被動元件及至少該被動元件的一部分可經由在介電層內的開口直接與該鑲嵌銅層相連接。
9. 如申請專利範圍第8項之方法，其中該被動元件為一電容及該電容的一底部電極是與鑲嵌銅層直接接觸，及更進一步包含用與該電容的底部電極使用相同的材料層所形成的電阻。
10. 一種製造一半導體裝置之方法，包含以下步驟：
 - 提供一基板；

六、申請專利範圍

- 在該基板上形成一絕緣層；
- 在該絕緣層之內形成一鑲嵌金屬層，用以與該半導體基板電連接；
- 在該鑲嵌金屬層上沈積一第一材料；
- 在該第一材料上圖案化去形成一第一電容電極及一第一電阻；
- 在該第一電容電極及第一電阻上沈積一介電層；
- 在該介電層及該第一電容電極上沈積一第二材料；
- 在該第一電容電極上對該第二材料圖案化以形成一第二電容電極。

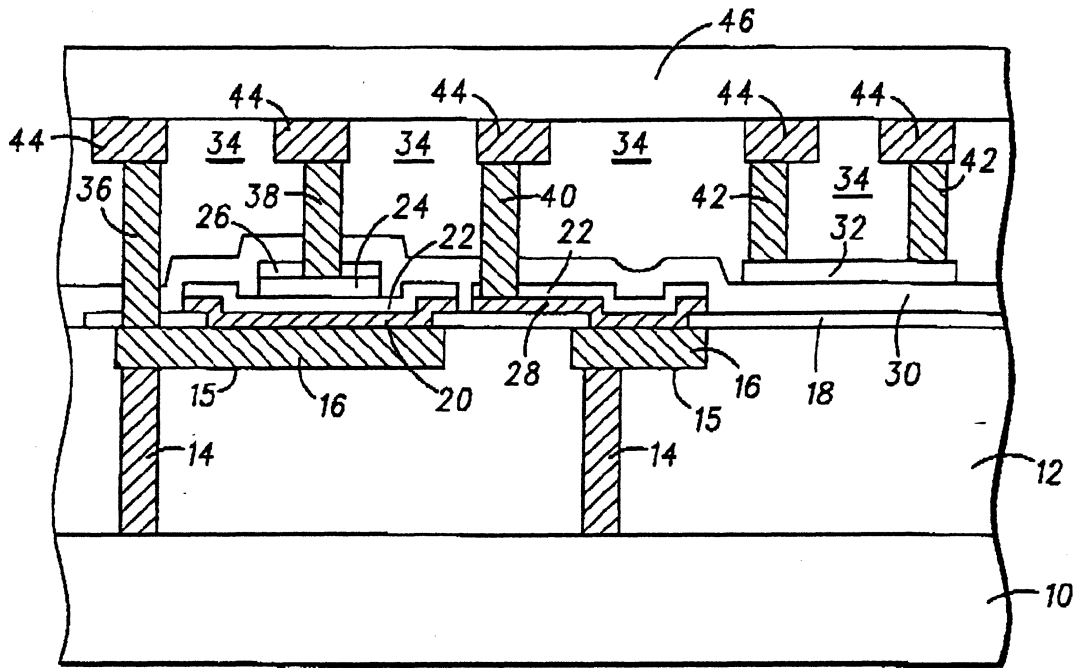


圖 1

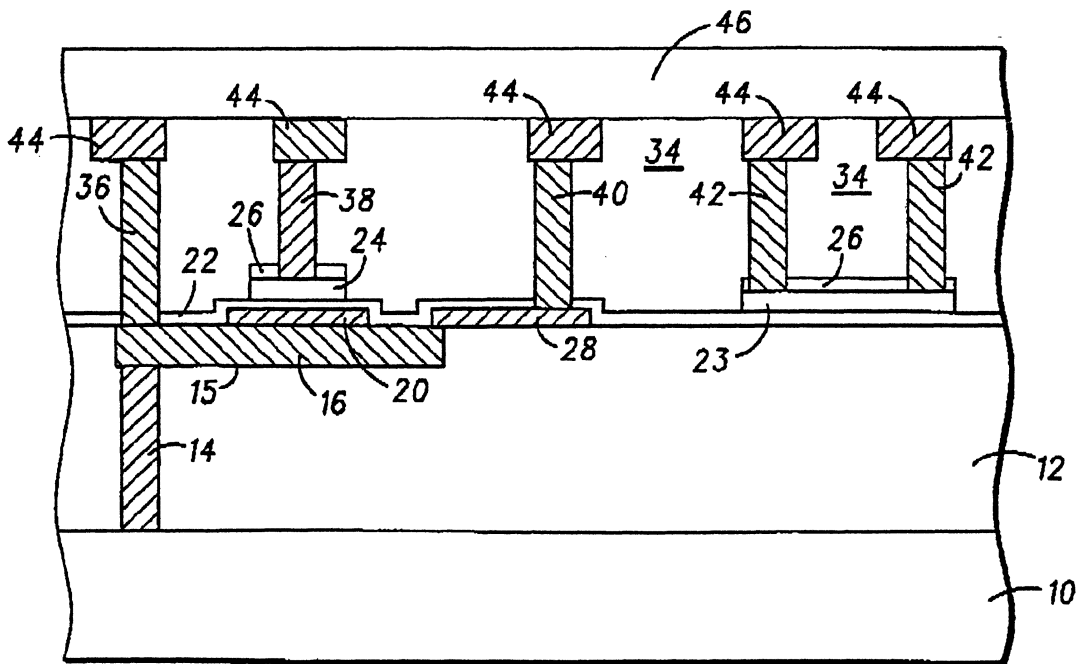


圖 2