

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第6部門第4区分

【発行日】平成18年9月14日(2006.9.14)

【公開番号】特開2002-184127(P2002-184127A)

【公開日】平成14年6月28日(2002.6.28)

【出願番号】特願2000-374128(P2000-374128)

【国際特許分類】

**G 1 1 B 20/14 (2006.01)**

**G 1 1 B 20/12 (2006.01)**

**H 0 3 M 7/14 (2006.01)**

【F I】

G 1 1 B 20/14 3 5 1 Z

G 1 1 B 20/12

H 0 3 M 7/14 B

【手続補正書】

【提出日】平成18年7月28日(2006.7.28)

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】発明の名称

【補正方法】変更

【補正の内容】

【発明の名称】同期信号生成方法

【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

RLL(2,10)を満足し、8ビットのデータ語を15ビットの符号語に変換する複数の状態をもつ変調テーブルにより変調され、前記符号語列の中の所定の符号語はこれに続く符号語が前記変調テーブルのうちどの状態で符号化がなされたかによって復号することが可能な符号語列に再生データの復号のために所定のビット間隔で挿入される同期信号を生成する同期信号生成方法であって、

前記RLL(2,10)制限を満たす前記符号語列との分離が可能な信号を前記同期信号として生成することを特徴とする同期信号生成方法。

【請求項2】

前記同期信号としてRLL(2,10)で制限される最長反転間隔よりも長い所定の反転間隔を含む同期信号を生成することが可能であって、前記同期信号は先行する符号語が復号可能なビットパターンである事を特徴とする請求項1に記載の同期信号生成方法。

【請求項3】

前記同期信号は後続の符号語の一部を含むことを特徴とする請求項1あるいは請求項2いずれかに記載の同期信号生成方法。

【手続補正3】

【補正対象書類名】明細書

【補正対象項目名】0001

【補正方法】変更

【補正の内容】

## 【0001】

## 【発明の属する技術分野】

本発明は、デジタルデータを複数の同期フレームからなるセクタに収容して順次伝送（記録をも含む）する際に用いられる同期信号を生成する同期信号生成方法に関するものである。

## 【手続補正4】

【補正対象書類名】明細書

【補正対象項目名】0010

【補正方法】変更

【補正の内容】

## 【0010】

本発明は、高密度記録、あるいは高密度データ伝送時においても、精度良くデジタルデータの再生を行うことができる同期信号生成方法を提供することを目的とする。

## 【手続補正5】

【補正対象書類名】明細書

【補正対象項目名】0011

【補正方法】変更

【補正の内容】

## 【0011】

## 【課題を解決するための手段】

本発明は上述の問題点を解決するために、下記の手順を有する同期信号生成方法を提供する。

(1) RLL(2,10)を満足し、8ビットのデータ語を15ビットの符号語に変換する複数の状態をもつ変調テーブルにより変調され、前記符号語列の中の所定の符号語はこれに続く符号語が前記変調テーブルのうちどの状態で符号化がなされたかによって復号することが可能な符号語列に再生データの復号のために所定のビット間隔で挿入される同期信号を生成する同期信号生成方法であって、

前記RLL(2,10)制限を満たす前記符号語列との分離が可能な信号を前記同期信号として生成することを特徴とする同期信号生成方法。

(2) 前記同期信号としてRLL(2,10)で制限される最長反転間隔よりも長い所定の反転間隔を含む同期信号を生成することが可能であって、前記同期信号は先行する符号語が復号可能なビットパターンである事を特徴とする請求項1に記載の同期信号生成方法。

(3) 前記同期信号は後続の符号語の一部を含むことを特徴とする請求項1あるいは請求項2いずれかに記載の同期信号生成方法。

## 【手続補正6】

【補正対象書類名】明細書

【補正対象項目名】0013

【補正方法】変更

【補正の内容】

## 【0013】

以下、図面を参照して本発明の第1の実施形態を説明する。図1は、本発明によるデジタルデータの伝送方法にて伝送信号の生成を行う信号変調装置の構成を示す図である。図1において、8-15変調器1は、伝送すべきデジタルデータを8ビット毎に、最小ランレンジス3T、最大ランレンジス11Tなるランレンジス制限を満たすような15ビット（1コードワード）の8-15変調信号（ランレンジスリミテッドコード）に変換する。

## 【手続補正7】

【補正対象書類名】明細書

【補正対象項目名】0015

【補正方法】変更

【補正の内容】

【0015】

同期信号生成回路<sub>2</sub>は、互いに異なるビットパターンを有する同期信号を生成し、これを合成回路<sub>3</sub>に供給する。本発明の第1の実施例に基づき生成された同期信号を図2及び図3に示す。図2及び図3に示されるようにこれら同期信号は、SY0～SY6の7つにグループ化される。図4は、かかる同期信号のフォーマットを示す図である。図4において、かかる同期信号のビット14～ビット30には、同期信号であることを識別する為の同期パターンが割り当てられている。かかる同期パターンは、8-15変調信号中の最大間隔11Tよりも1T大きい12Tのパターンを中心核とし、この12Tパターンの後方に固定長の4Tのパターンを配置した12T-4Tなる配列、つまり、

{10000000000010001}

なるビットパターンである。この際、かかる同期パターンは、図2及び図3に示されるように、全ての同期信号に共通の固定パターンである。

【手続補正8】

【補正対象書類名】明細書

【補正対象項目名】0017

【補正方法】変更

【補正の内容】

【0017】

ここで、図1における合成回路<sub>3</sub>は、8-15変調器<sub>1</sub>から順次供給されてくる8-15変調信号の列、91コードワード毎に、上記同期信号生成回路<sub>2</sub>にて発生した同期信号のいずれか1を選択し、これをかかる91コードワードの先頭に付加したものを1同期フレームに対応した伝送信号として出力する。図7は、かかる合成回路<sub>3</sub>にて出力される、1セクタあたりの伝送信号フォーマットを示す図である。

【手続補正9】

【補正対象書類名】明細書

【補正対象項目名】0019

【補正方法】変更

【補正の内容】

【0019】

次に、かかる1セクタ分の伝送信号を生成するという合成回路<sub>3</sub>の動作について、図8のフローを参照しつつ説明する。尚、かかる合成回路<sub>3</sub>内には、図示せぬCPU(中央処理装置)及びメモリが形成されており、かかるメモリ内には、予め、図9に示されるが如き情報が記憶されているものとする。図8のフローにおいて、先ず、かかる合成回路<sub>3</sub>内のCPUは、その内蔵レジスタnに初期番地としての1を設定する(ステップS1)。次に、CPUは、かかるレジスタnに記憶されている番地に対応した情報を図9に示されるメモリからそれぞれ読み出して、レジスタA～Dに各々記憶せしめる(ステップS2)。例えば、レジスタnに1が記憶されている場合には、図8のメモリの1番地に記憶されているSY0、SY5、SY5、SY5各々が読み出され、これらが、それぞれレジスタA～Dに記憶される。

【手続補正10】

【補正対象書類名】明細書

【補正対象項目名】0031

【補正方法】変更

【補正の内容】

【0031】

ここで、図1における合成回路<sub>3</sub>は、8-15変調器<sub>1</sub>から順次供給されてくる8-15変調信号の列、91コードワード毎に、上記同期信号生成回路<sub>2</sub>にて発生した同期信号のいずれか1を選択し、これをかかる91コードワードの先頭に付加したものを1同期フ

レームに対応した伝送信号として出力する。図 7 は、かかる合成回路3にて出力される、1セクタあたりの伝送信号フォーマットを示す図である。

【手続補正 1 1】

【補正対象書類名】明細書

【補正対象項目名】0 0 3 2

【補正方法】変更

【補正の内容】

【0 0 3 2】

次に、かかる1セクタ分の伝送信号を生成するという合成回路3の動作について、図 8 のフローを参照しつつ説明する。先ず、かかる合成回路3内のCPUは、その内蔵レジスタnに初期番地としての1を設定する(ステップS1)。次に、CPUは、かかるレジスタnに記憶されている番地に対応した情報を図9に示されるメモリからそれぞれ読み出して、レジスタA～Dに各々記憶せしめる(ステップS2)。次に、CPUは、同期信号生成回路2から供給されてくる、図5に示される同期信号の中から、上記レジスタAの記憶内容に対応した同期信号を選択する。例えば、レジスタAにSY0が記憶されている場合には、図5に示される同期信号の中からSY0に対応したものが選択される。ここで、かかる同期信号の直前に存在するコードワードの次に遷移する状態Next Stateが0である場合、CPUは、図5に示されるSY0の内から、State = 0となっているものを選択する。この際、State = 0となっているものは図5中から

```
{ 0 0 0 0 0 0 1 0 0 0 1 0 0 1 0 0 0 0 0 0 0 0 0 0 0 0 0 1 0 0 0 }
{ 0 0 0 0 0 0 0 0 1 0 0 0 0 1 0 0 0 0 0 0 0 0 0 0 0 0 0 1 0 0 0 }
```

の2通り存在する。

【手続補正 1 2】

【補正対象書類名】明細書

【補正対象項目名】0 0 4 0

【補正方法】変更

【補正の内容】

【0 0 4 0】

【図面の簡単な説明】

【図 1】

本発明の実施例に用いられる伝送信号を生成する装置の概略構成を示す図である。

【図 2】

本発明の第1の実施例により生成された同期信号を示す図である。

【図 3】

本発明の第1の実施例により生成された同期信号を示す図である。

【図 4】

本発明の第1の実施例における同期信号フォーマットを示す図である。

【図 5】

本発明の第2の実施例により生成された同期信号を示す図である。

【図 6】

本発明の第2の実施例における同期信号フォーマットを示す図である。

【図 7】

1セクタ分の伝送信号フォーマットを示す図である。

【図 8】

合成回路3の動作フローを示す図である。

【図 9】

メモリの記憶内容を示す図である。

【符号の説明】

1 8 - 1 5 变調器

2 同期信号生成回路

## 3 合成回路