

(12) NACH DEM VERTRAG ÜBER DIE INTERNATIONALE ZUSAMMENARBEIT AUF DEM GEBIET DES
PATENTWESENS (PCT) VERÖFFENTLICHTE INTERNATIONALE ANMELDUNG

(19) Weltorganisation für geistiges
Eigentum

Internationales Büro

(43) Internationales
Veröffentlichungsdatum
16. August 2012 (16.08.2012)



(10) Internationale Veröffentlichungsnummer
WO 2012/107010 A1

(51) Internationale Patentklassifikation:

G01R 31/02 (2006.01) **H03K 17/082** (2006.01)
H02H 11/00 (2006.01)

(21) Internationales Aktenzeichen: PCT/DE2011/050058

(22) Internationales Anmeldedatum:
20. Dezember 2011 (20.12.2011)

(25) Einreichungssprache: Deutsch

(26) Veröffentlichungssprache: Deutsch

(30) Angaben zur Priorität:
10 2011 003 733.0
7. Februar 2011 (07.02.2011) DE

(71) Anmelder (für alle Bestimmungsstaaten mit Ausnahme
von US): **INFINEON TECHNOLOGIES AUSTRIA AG**
[AT/AT]; Siemensstraße 2, A-9500 Villach (AT). **ZF**
FRIEDRICHSHAFEN AG [DE/DE]; Graf-von-Soden-
Platz 1, 88046 Friedrichshafen (DE).

(72) Erfinder; und

(75) Erfinder/Anmelder (nur für US): **REITER, Tomas**
Manuel [DE/DE]; Neuchinger Straße 22, 80805
Friedrichshafen (DE). **KETT, Jürgen** [DE/DE]; Polozker
Straße 6, 88045 Friedrichshafen (DE). **DOEMEL,**
Bernhard [DE/DE]; An den Meisterwiesen 3a, 82229
Seefeld (DE).

(74) Anwalt: **WESTPHAL, MUSSGNUMG & PARTNER;**
Herzog-Wilhelm-Straße 26, 80331 München (DE).

(81) Bestimmungsstaaten (soweit nicht anders angegeben, für
jede verfügbare nationale Schutzrechtsart): AE, AG, AL,
AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY,
BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DK, DM, DO,
DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN,
HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR,
KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME,
MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ,
OM, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SC, SD,
SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR,
TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

[Fortsetzung auf der nächsten Seite]

(54) Title: METHOD FOR DRIVING A TRANSISTOR AND DRIVE CIRCUIT

(54) Bezeichnung : VERFAHREN ZUR ANSTEUERUNG EINES TRANSISTORS UND ANSTEUERSCHALTUNG

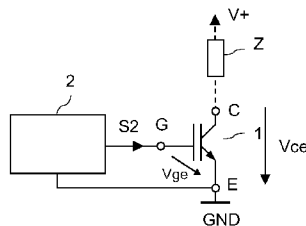


FIG 1

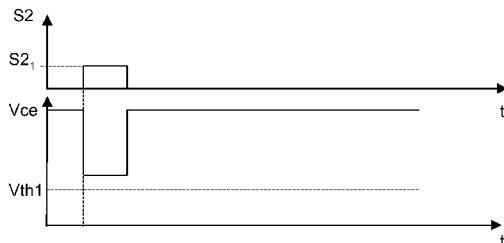


FIG 3

(57) Abstract: A description is given of a method for the
pulsed driving of a transistor, which has a drive terminal (G)
and a load path (C-E) and the load path of which is connected
in series with a load, and a drive circuit for a transistor (1).
The method comprises: Driving the transistor with a drive
pulse of a first type, which has a first drive level (S2₁) at least
for a first time duration (Tl), before a drive pulse of a second
type, which has a second drive level (S2₂), which is higher in
comparison with the first drive level (S2₁); evaluating a
voltage (Vce) across the load path of the transistor (1);
terminating the pulsed driving if the voltage (Vce) across the
load path exceeds a predefined threshold value.

(57) Zusammenfassung: Beschrieben werden ein Verfahren
zur gepulsten Ansteuerung eines Transistors, der einen
Ansteueranschluss (G) und eine Laststrecke (C-E) aufweist
und dessen Laststrecke in Reihe zu einer Last geschaltet ist,
und eine Ansteuerschaltung für einen Transistor (1). Das
Verfahren weist auf: Ansteuern des Transistors mit einem
Ansteuerimpuls eines ersten Typs, der zumindest für eine
erste Zeitdauer (Tl) einen ersten Ansteuerpegel (S2₁)
aufweist, vor einem Ansteuerimpuls eines zweiten Typs,
der einen Vergleich zu dem ersten Ansteuerpegel (S2₁)
höheren

[Fortsetzung auf der nächsten Seite]

WO 2012/107010 A1



(84) **Bestimmungsstaaten** (soweit nicht anders angegeben, für jede verfügbare regionale Schutzrechtsart): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), eurasisches (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), europäisches (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

Veröffentlicht:

- mit internationalem Recherchenbericht (Artikel 21 Absatz 3)
- vor Ablauf der für Änderungen der Ansprüche geltenden Frist; Veröffentlichung wird wiederholt, falls Änderungen eingehen (Regel 48 Absatz 2 Buchstabe h)

VERFAHREN ZUR ANSTEUERUNG EINES TRANSISTORS UND ANSTEUER- SCHALTUNG

5 BESCHREIBUNG

Die vorliegende Erfindung betrifft ein Verfahren zur gepulsten Ansteuerung eines Transistors, insbesondere eines zum Schalten einer elektrischen Last eingesetzten Transistors,
10 und eine Ansteuerschaltung für den Transistor.

Die Verwendung von Transistoren als elektronische Schalter ist weit verbreitet. Wegen der hohen Schaltfrequenzen, mit denen Transistoren betrieben werden können, eignen sich Transistoren nicht nur als "statische" Schalter, die über einen
15 längeren Zeitraum, wie einige Sekunden, Minuten oder Stunden, geschlossen sind, sondern eignen sich auch zur getakteten oder gepulsten Ansteuerung von Lasten.

Getaktet oder gepulst angesteuerte Transistoren werden beispielsweise in Treiberschaltungen für induktive Lasten, wie beispielsweise in Halbbrücken- oder Vollbrückentreibern für Elektromotoren, Magnetventile, usw., verwendet. Ein weiteres Einsatzgebiet sind Schaltwandler bzw. Schaltnetzteile, in denen eine getaktete Ansteuerung eines Transistors zur Regelung der Stromaufnahme, und damit zur Regelung der Ausgangsspannung dient.
20
25

Um Leitungsverluste, die bei leitend angesteuertem Transistor auftreten können, möglichst gering zu halten, werden Transistoren, die als Schalter eingesetzt sind, üblicherweise mit einer so hohen Ansteuerspannung betrieben, dass der Transistor im Normalbetrieb stets in seinem linearen Bereich (ohmschen Bereich) betrieben wird. "Normalbetrieb" bedeutet in
30 diesem Zusammenhang, dass der Transistor von einem Strom durchflossen ist, den dieser dauerhaft ohne die Gefahr einer Zerstörung tragen kann. Tritt allerdings ein Kurzschluss in
35

der durch den Transistor angesteuerten Last auf, bedingt eine hohe Ansteuerspannung, dass der Transistor von einem sehr hohen Strom durchflossen wird, den der Transistor nicht dauerhaft tragen kann, ohne dass die Gefahr einer Zerstörung besteht.

Zur Detektion eines solchen Kurzschlusses ist es grundsätzlich bekannt, den den Transistor durchfließenden Strom oder einen Spannungsabfall über der Laststrecke des Transistors auszuwerten und den Transistor sperrend anzusteuern bzw. abzuschalten, wenn das Vorliegen eines Kurzschlusses detektiert wird. Aufgrund von Signallaufzeiten bei der Auswertung der Laststreckenspannung oder des Laststroms und aufgrund von Schaltverzögerungen des Transistors, kann zwar die Zeitdauer reduziert werden, während der ein Kurzschlussstrom fließt, der hohe Kurzschlussstrom kann jedoch nicht vollständig verhindert werden. Allerdings ist unter Umständen bereits ein nur für eine sehr kurze Dauer fließender Kurzschlussstrom ausreichend, um den Transistor zu beschädigen oder gar zu zerstören.

Aufgabe der vorliegenden Erfindung ist daher, ein Verfahren zur gepulsten Ansteuerung eines in Reihe zu einer Last geschalteten Transistors zur Verfügung zu stellen, bei dem die Gefahr einer Beschädigung des Transistors im Falle eines Kurzschlusses der Last reduziert ist, und eine entsprechende Ansteuerschaltung für einen Transistor zur Verfügung zu stellen.

Diese Aufgabe wird durch ein Verfahren gemäß Anspruch 1 und durch eine Ansteuerschaltung gemäß Anspruch 11 gelöst. Ausgestaltungen und Weiterbildungen der Erfindung sind Gegenstand von Unteransprüchen.

Ein Ausführungsbeispiel der Erfindung betrifft ein Verfahren zur gepulsten Ansteuerung eines Transistors, der einen Ansteueranschluss und eine Laststrecke aufweist und dessen

Laststrecke in Reihe zu einer Last geschaltet ist. Bei diesem Verfahren ist vorgesehen, den Transistor mit einem Ansteuerimpuls eines ersten Typs, der zumindest für eine erste Zeitdauer einen ersten Ansteuerpegel aufweist, vor einem Ansteuerimpuls eines zweiten Typs, der einen im Vergleich zu dem ersten Ansteuerpegel höheren zweiten Ansteuerpegel aufweist, anzusteuern. Das Verfahren umfasst außerdem das Auswerten einer Spannung über der Laststrecke des Transistors und das Abbrechen der gepulsten Ansteuerung, wenn die Spannung über der Laststrecke einen vorgegebenen Schwellenwert übersteigt.

Tritt bei diesem Verfahren ein Kurzschluss in der Last auf, so führt dieser Kurzschluss bei Ansteuerung des Transistors mit einem Ansteuerimpuls des ersten Typs zu einem geringeren Kurzschlussstrom als bei Ansteuerung des Transistors mit einem Ansteuerimpuls des zweiten Typs. Wird der Kurzschluss bereits während der Ansteuerung des Transistors mit dem Ansteuerimpuls des ersten Typs detektiert, so dass die Ansteuerung unterbrochen wird, so können hohe Kurzschlussströme vermieden werden, die bei Ansteuerung des Transistors mit Ansteuerimpulsen des zweiten Typs auftreten würden. Wird hingegen während der Ansteuerung mit Ansteuerimpulsen des ersten Typs kein Kurzschluss detektiert, so hilft die weitere Ansteuerung des Transistors mit Ansteuerimpulsen des zweiten Typs die Schaltverluste bzw. Leitungsverluste zu reduzieren, die auftreten würden, wenn ausschließlich eine Ansteuerung des Transistors mit Ansteuerimpulsen des ersten Typs erfolgen würde.

Ein weiteres Ausführungsbeispiel der Erfindung betrifft eine Ansteuerschaltung zur Ansteuerung eines in Reihe zu einer Last geschalteten Transistors. Diese ist dazu ausgebildet: den Transistor mit einem Ansteuerimpuls eines ersten Typs, der zumindest für eine erste Zeitdauer einen ersten Ansteuerpegel aufweist, vor einem Ansteuerimpuls eines zweiten Typs, der einen im Vergleich zu dem ersten Ansteuerpegel höheren zweiten Ansteuerpegel aufweist, anzusteuern; eine Spannung über der Laststrecke des Transistors auszuwerten;

die gepulste Ansteuerung abzubrechen, wenn die Spannung über der Laststrecke einen vorgegebenen Schwellenwert übersteigt.

5 Ausführungsbeispiele der Erfindung werden nachfolgend unter Bezugnahme auf Zeichnungen näher erläutert. Die Zeichnungen dienen zur Erläuterung des Grundprinzips, so dass lediglich die zum Verständnis des Grundprinzips notwendigen Merkmale dargestellt sind. Die Zeichnungen sind nicht notwendigerweise
10 maßstabsgerecht. In den Zeichnungen bezeichnen gleiche Bezugszeichen gleiche Merkmale mit gleicher Bedeutung.

Figur 1 veranschaulicht schematisch eine Schaltungsanordnung mit einem in Reihe zu einer Last geschalteten
15 Transistor und einer Ansteuerschaltung für den Transistor.

Figur 2 veranschaulicht ein typisches Kennlinienfeld eines Leistungs-MOS-Transistors.
20

Figur 3 veranschaulicht ein Ausführungsbeispiel des erfindungsgemäßen Verfahrens anhand von Signalverläufen im fehlerfreien Betrieb.

25 Figur 4 veranschaulicht das Verfahren gemäß Figur 3 bei einem Kurzschluss der Last.

Figur 5 veranschaulicht ein erstes Ausführungsbeispiel der Ansteuerschaltung, die eine Auswerteschaltung für
30 eine Laststreckenspannung des Transistors aufweist.

Figur 6 veranschaulicht ein weiteres Ausführungsbeispiel der Ansteuerschaltung mit einer Auswerteschaltung für eine Laststreckenspannung des Transistors.
35

Figur 7 veranschaulicht ein weiteres Ausführungsbeispiel eines erfindungsgemäßen Verfahrens in einem fehlerfreien Fall.

5 Figur 8 veranschaulicht das Verfahren gemäß Figur 7 bei einem Kurzschluss der Last.

Figur 9 veranschaulicht ein Verfahren, bei dem während einer getakteten Ansteuerung mit Ansteuerimpulsen eines zweiten Typs ein Kurzschluss auftritt.
10

Figur 10 veranschaulicht ein Ausführungsbeispiel einer Auswerte- und Ansteuersignalerzeugungsschaltung der Ansteuerschaltung.
15

Figur 11 veranschaulicht die Funktionsweise eines Beispiels der Auswerte- und Ansteuersignalerzeugungsschaltung gemäß Figur 10.

20 Figur 12 veranschaulicht ein Ausführungsbeispiel einer Ansteuersignalerzeugungsschaltung der Ansteuerschaltung.

Figur 13 veranschaulicht die Funktionsweise der Ansteuerschaltung anhand eines Zustandsdiagramms.
25

Figur 1 zeigt schematisch eine Schaltungsanordnung mit einem Transistor, der in Reihe zu einer Last Z geschaltet ist, und mit einer Ansteuerschaltung 2 für den Transistor 1. Der Transistor 1 weist eine Laststrecke C-E und einen Ansteueranschluss G auf. Die Laststrecke C-E des Transistors ist hierbei in Reihe zu der Last Z zwischen Anschlüsse für ein positives Versorgungspotential V+ und ein negatives Versorgungspotential bzw. Bezugspotential GND geschaltet. Die Ansteuerschaltung 2 ist an den Ansteueranschluss G des Transistors 1 angeschlossen und erzeugt ein Ansteuersignal S2 an diesem Ansteueranschluss G des Transistors, wobei der Transistor 1 ab-
30
35

hängig von diesem Ansteuersignal S2 leitend angesteuert ist (eingeschaltet ist) oder sperrend angesteuert ist (ausgeschaltet ist).

5 Der Transistor 1 gemäß Figur 1 ist als MOS-Transistor, und speziell als IGBT, realisiert. Der IGBT weist einen Gateanschluss G, einen Kollektoranschluss C und einen Emitteranschluss E auf. Die Laststrecke des IGBT verläuft zwischen dem Kollektoranschluss C und dem Emitteranschluss E. Der Gateanschluss G des IGBT bildet dessen Ansteueranschluss. Das
10 Ansteuersignal S2 entspricht der Gate-Emitter-Spannung V_{ge} des IGBT 1, wobei der IGBT 1 leitet, wenn das Ansteuersignal S2 bzw. die Ansteuerspannung V_{ge} oberhalb eines Schwellenwertes liegt, und wobei der IGBT 1 sperrt, wenn das Ansteuersignal S2 bzw. die Ansteuerspannung V_{ge} unterhalb des Schwellenwertes liegt.
15

Es sei darauf hingewiesen, dass die Verwendung eines IGBT als Transistor lediglich als Beispiel zu verstehen ist. Anstelle
20 eines IGBT kann auch ein beliebiger anderer MOS-Transistor, wie beispielsweise ein n-Kanal-MOSFET oder ein p-Kanal-MOSFET verwendet werden. Die Ansteuerung eines n-Kanal-MOSFET entspricht der eines IGBT. Ein p-Kanal-MOSFET unterscheidet sich von einem n-Kanal-MOSFET und einem IGBT dadurch, dass anstelle
25 einer positiven Ansteuerspannung eine negative Ansteuerspannung benötigt wird, um den p-MOSFET leitend anzusteuern. Die nachfolgend erläuterten Grundprinzipien gelten jedoch für die Verwendung eines p-MOSFET als Transistor in entsprechender Weise. In der Schaltungsanordnung gemäß Figur 1 dient der
30 Transistor 1 zum getakteten oder gepulsten Schalten der Last Z bzw. zum getakteten oder gepulsten Anlegen der zwischen den Versorgungsanschlussklemmen anliegenden Versorgungsspannung an die Last Z. Diese Versorgungsspannung liegt dabei jeweils dann - annähernd vollständig - an der Last Z an, wenn der
35 Transistor 1 eingeschaltet ist. Die Ansteuerschaltung 2 erzeugt hierfür ein gepulstes Ansteuersignal S2 für den Transistor 1.

Figur 2 veranschaulicht ein typisches Kennlinienfeld eines MOS-Transistors, insbesondere eines IGBT. Dargestellt ist in Figur 2 die Abhängigkeit eines den Transistor 1 durchfließen-
den Laststroms I_c von einer über der Laststrecke C-E des
Transistors anliegenden Laststreckenspannung V_{ce} für ver-
schiedene Ansteuerspannungen bzw. für verschiedene Pegel des
Ansteuersignals S_2 . Jede dieser Kennlinien besitzt einen li-
nearen Bereich (ohmschen Bereich), in dem der Laststrom I_c
zunächst mit steigender Laststreckenspannung V_{ce} zunimmt, und
einen aktiven Bereich, in dem der Laststrom I_c bei zunehmen-
der Laststreckenspannung V_{ce} nur noch geringfügig bzw. unter-
proportional zunimmt. Dieser aktive Bereich wird bei einem
als MOSFET realisierten Transistor 1 auch als Sättigungsbe-
reich und bei einem als IGBT realisierten Transistor 1 auch
als Entsättigungsbereich bezeichnet. Die Werte der Laststre-
ckenspannungen, bei denen die einzelnen Kennlinien "abkni-
cken", d.h. bei denen der Sättigungsbereich beginnt, sind um-
so höher, je höher die Ansteuerspannung ist.

Zur Verringerung von Leitungsverlusten ist es wünschenswert,
den Transistor 1 über den gesamten Nennstrombereich im linea-
ren Bereich (ohmschen Bereich), d.h. im Sättigungsbereich bei
einem IGBT zu betreiben. Der Nennstrombereich ist der Strom-
bereich, innerhalb dem der Laststrom I_c im Normalbetrieb,
d.h. bei fehlerfreier Last, liegen darf, ohne dass die Gefahr
einer Zerstörung für den Transistor besteht. Dies kann da-
durch erreicht werden, dass eine Ansteuerspannung V_{ge} zur
leitenden Ansteuerung des Transistors 1 verwendet wird, die
weit oberhalb des Schwellenwertes liegt. Diese Ansteuerspan-
nung liegt beispielsweise bei 10V und mehr (typisch bei MOS-
FETs) oder gar 15V und mehr (typisch bei IGBTs). Die in Figur
2 mit $V_{ge}=V_n$ bezeichnete Kurve veranschaulicht die Kennlinie
eines Transistors für eine solch hohe Ansteuerspannung. Die
ausschließliche Verwendung einer solch hohen Ansteuerspannung
zu leitenden Ansteuerung des Transistors 1, birgt jedoch das

Risiko, dass bei einem Kurzschluss der Last Z sehr hohe Kurzschlussströme durch den Transistor 1 fließen.

Die Last Z kann eine beliebige elektrische Last sein, und
5 kann insbesondere auch weitere Teile einer Treiberschaltung
enthalten, wie z.B. einen Transistor (nicht dargestellt) der
den Transistor 1 zu einer Halbbrücke ergänzt, oder weitere
Transistoren (nicht dargestellt), die den Transistor 1 zu ei-
ner Vollbrücke ergänzen.

10 Die Figuren 3 und 4 veranschaulichen ein erstes Ausführungs-
beispiel eines erfindungsgemäßen Verfahrens zur Ansteuerung
eines in Reihe zu einer Last geschalteten Transistors, wie
beispielsweise des Transistors 1 gemäß Figur 1, im Normalbe-
15 trieb (Figur 3) und im Fehlerfall (Figur 4). Ein Fehlerfall
liegt dann vor, wenn vor oder während der getakteten Ansteue-
rung des Transistors ein Kurzschluss in der Last Z auftritt.

Die Figuren 3 und 4 zeigen jeweils zeitliche Verläufe des An-
20 steuersignals S2 und der Laststreckenspannung Vce des Tran-
sistors 1. Bei dem dargestellten Verfahren erfolgt eine ge-
pulste bzw. getaktete Ansteuerung des Transistors durch Be-
reitstellen von zeitlich aufeinanderfolgenden Ansteuerimpul-
sen. Das Ansteuersignal S2 kann insbesondere ein pulsweiten-
25 moduliertes (PWM) Signal sein, so dass die Dauer der einzel-
nen Ansteuerimpulse und der zeitliche Abstand zwischen zwei
aufeinander folgenden Ansteuerimpulsen variieren kann.

Bei dem Verfahren werden zwei unterschiedliche Arten von An-
30 steuerimpulsen verwendet, die sich bezüglich ihres Signalpe-
gels unterscheiden, nämlich ein Ansteuerimpuls eines ersten
Typs und ein Ansteuerimpuls eines zweiten Typs. Der Ansteuer-
impuls des ersten Typs weist einen ersten Ansteuerpegel S2₁
wenigstens für eine erste Zeitdauer T1 auf, und der Ansteuer-
35 impuls des zweiten Typs weist einen im Vergleich zu dem ers-
ten Ansteuerpegel S2₁ höheren zweiten Ansteuerpegel S2₂ auf.
In Figur 3 ist eine Ansteuersequenz mit einem Ansteuerimpuls

des ersten Typs und zwei darauffolgenden Ansteuerimpulsen des zweiten Typs dargestellt. Figur 3 zeigt dabei zwei mögliche Varianten für den Ansteuerimpuls des ersten Typs: eine erste Variante (gestrichelt dargestellt), bei der der Ansteuerimpuls des ersten Typs während seiner gesamten Zeitdauer den ersten Ansteuerpegel $S2_1$ annimmt; und eine zweite Variante, bei der der Ansteuerimpuls des ersten Typs während einer ersten Zeitdauer $T1$ den ersten Signalpegel $S2_1$ und anschließend für die restliche Zeitdauer des Ansteuerimpulses den zweiten Signalpegel $S2_2$ annimmt.

Bei dem Verfahren erfolgt während der Dauer der einzelnen Ansteuerimpulse eine Überwachung bzw. Auswertung der Laststreckenspannung V_{ce} . Je nachdem, ob eine Auswerteschaltung, die die Überwachung und Auswertung der Laststreckenspannung V_{ce} vornimmt, als analoge Schaltung oder als digitale Schaltung implementiert ist, kann die Auswertung der Laststreckenspannung V_{ce} während der Ansteuerimpulse permanent (bei einer analogen Schaltung) oder in regelmäßigen oder unregelmäßigen Zeitabständen (bei einer digitalen Schaltung) erfolgen. Die getaktete bzw. gepulste Ansteuerung des Transistors wird hierbei unterbrochen, wenn detektiert wird, dass die Laststreckenspannung V_{ce} bzw. der Betrag dieser Laststreckenspannung V_{ce} oberhalb eines Schwellenwertes liegt, der in Figur 3 mit V_{th1} bezeichnet ist. Ein solches Übersteigen des Schwellenwertes V_{th1} tritt während des in Figur 3 dargestellten Normalbetriebs nicht auf. Hingegen übersteigt bei dem in Figur 4 dargestellten Fehlerfall die Laststreckenspannung bei einem Ansteuerimpuls des ersten Typs den Schwellenwert V_{th1} , so dass die Ansteuerung noch während dieses Ansteuerimpulses unterbrochen wird und eine weitere Ansteuerung des Transistors 1 unterbunden wird.

Im Zusammenhang mit den in den Figuren 3 und 4 dargestellten Zeitverläufen und auch im Zusammenhang mit den nachfolgend noch dargestellten Zeitverläufen sei darauf hingewiesen, dass die dargestellten Signalverläufe idealisiert bzw. schematisch

dargestellt sind, so dass Einschwingvorgänge bzw. eventuell vorhandene Zeitverzögerungen zwischen Flanken des Ansteuer-signals S2 und hieraus resultierenden Flanken der Laststreckenspannung Vce in den Figuren nicht dargestellt sind.

5

Ein Ansteuerimpuls des ersten Typs hat - wenigstens während der ersten Zeitdauer T1 - einen niedrigeren Ansteuerpegel als ein Ansteuerimpuls des zweiten Typs. Tritt ein Kurzschluss in der Last auf, so fließt bei Ansteuerung des Transistors 1 mit einem Ansteuerimpuls des ersten Leitungstyps ein geringerer Kurzschlussstrom als bei Ansteuerung des Transistors 1 mit einem Ansteuerimpuls des zweiten Typs. Wird ein Kurzschluss bereits während eines Ansteuerimpulses des ersten Typs detektiert, so wie dies in Figur 4 dargestellt ist, so wird die Ansteuerung unterbrochen und es werden keine weiteren Ansteuerimpulse erzeugt. Insbesondere werden keine Ansteuerimpulse des zweiten Typs erzeugt, bei denen im Falle eines Kurzschlusses ein höherer Kurzschlussstrom fließen würde. Wird hingegen während eines Ansteuerimpulses des ersten Typs kein Kurzschluss detektiert, so kann die weitere Ansteuerung des Transistors 1 mit Ansteuerimpulsen des zweiten Typs erfolgen, durch welche der Transistor weiter aufgesteuert wird, so dass hier der Leitungswiderstand geringer ist. Ein solches Szenario ist in Figur 3 dargestellt.

25

Der erste Ansteuerpegel S2₁ für die Ansteuerimpulse des ersten Leitungstyps liegt beispielsweise im Bereich zwischen 5V und 8V, während der zweite Ansteuerpegel S2₁ beispielsweise im Bereich zwischen 10V und 15V liegt.

30

Ein erster Ansteuerimpuls kann bei dem Verfahren beispielsweise jeweils zu Beginn einer gepulsten Ansteuerung des Schalters 1 erzeugt werden. Der Beginn einer gepulsten Ansteuerung liegt beispielsweise dann vor, wenn der Transistor 1 zuvor nicht bzw. für längere Zeit nicht angesteuert war. "Für längere Zeit nicht angesteuert" bedeutet in diesem Zusammenhang, eine Ansteuerpause, die beispielsweise länger ist

35

als die Pause zwischen zwei Ansteuerimpulsen einer Ansteuersequenz, wie beispielsweise der in Figur 3 dargestellten Ansteuersequenz. Eine längere Ansteuerpause, liegt beispielsweise dann vor, wenn der Transistor 1 für eine Zeitdauer

5 nicht leitend angesteuert ist, die mehr als dem 5-fachen, dem 10-fachen, oder dem 100-fachen der Zeitdauer zwischen zwei unmittelbar aufeinanderfolgenden Ansteuerimpulsen der Ansteuersequenz oder der Zeitdauer eines Ansteuerzyklusses bei der getakteten Ansteuerung entspricht. Die Dauer eines Ansteuerzyklusses entspricht dem zeitlichen Abstand zwischen dem Beginn zweier unmittelbar aufeinanderfolgender Ansteuerimpulse während der getakteten Ansteuerung.

Bei einem weiteren Ausführungsbeispiel ist vorgesehen, zu Beginn einer Ansteuerung mehrere aufeinanderfolgende Ansteuerimpulse des ersten Typs zu erzeugen, wie beispielsweise eine Anzahl zwischen zwei und fünf Ansteuerimpulsen des ersten Typs.

20 Bei einem weiteren Ausführungsbeispiel ist vorgesehen, Ansteuerimpulse des ersten Typs in regelmäßigen oder unregelmäßigen Zeitabständen während einer Sequenz von Ansteuerimpulsen zu erzeugen, wie beispielsweise jeden n-ten Ansteuerimpuls als Ansteuerimpuls des ersten Typs zu erzeugen, wobei n eine beliebige ganze Zahl größer als 2 und insbesondere größer als 10 oder gar größer als 100 ist.

Bei einem weiteren Ausführungsbeispiel ist vorgesehen, während einer getakteten Ansteuerung abhängig von einem Steuersignal oder Testsignal Ansteuerimpulse des ersten Typs zu erzeugen. Das Steuersignal kann einer Ansteuerschaltung, die die Ansteuerimpulse für den Transistor 1 erzeugt, von außen, beispielsweise von einem Benutzer oder von einer Überwachungsschaltung zugeführt sein.

Figur 5 zeigt ein Ausführungsbeispiel einer Ansteuerschaltung 2. Diese Ansteuerschaltung 2 weist eine Messschaltung 3 und

eine Auswerte- und Ansteuersignalerzeugungsschaltung 4 auf. Die Messschaltung 3 ist dazu ausgebildet, die Laststreckenspannung V_{ce} zu messen bzw. auszuwerten und ein von dieser Auswertung abhängiges Mess- oder Auswertesignal S_3 zur Verfügung zu stellen. Die Messschaltung 3 umfasst in dem dargestellten Beispiel einen Spannungsteiler 31 mit Spannungsteilerwiderständen 31_1 , 31_2 , der parallel zu der Laststrecke C-E des Transistors 1 geschaltet ist. Die an dem Spannungsteiler abgreifbare Mittenspannung V_{31} ist proportional zu der Laststreckenspannung V_{ce} . Ein Komparator 32 vergleicht diese Spannung V_{31} mit einem Schwellenwert V_{31th} , der den in Figur 1 dargestellten ersten Schwellenwert V_{th1} repräsentiert. In dem dargestellten Beispiel liegt am Ausgang des Komparators 32 ein High-Pegel an, wenn die von der Laststreckenspannung V_{ce} abhängige Spannung V_{31} den Schwellenwert V_{31th} übersteigt. Der Schwellenwert V_{31th} wird durch eine Referenzspannungsquelle 33 erzeugt.

Optional ist dem Komparator 32 ein Tiefpassfilter, wie beispielsweise ein RC-Glied, nachgeschaltet, welches das Ausgangssignal des Komparators 32 tiefpassfiltert. Ein High-Pegel des Messsignals S_3 wird in diesem Fall nur dann an die Auswerte- und Ansteuersignalerzeugungsschaltung 4 weitergegeben, wenn ein High-Pegel am Ausgang des Komparators 32 für eine Zeitdauer anliegt, die länger ist als eine Filterzeitkonstante, beispielsweise eine RC-Zeitkonstante, des Tiefpassfilters 34. Hierdurch wird vermieden, dass Spannungsspitzen über der Laststrecke V_{ce} , die während Einschwingvorgängen nach dem Einschalten oder Ausschalten des Transistors 1 auftreten können, fälschlicherweise als Fehler bzw. Kurzschluss detektiert werden.

Figur 6 veranschaulicht ein weiteres Ausführungsbeispiel einer Ansteuerschaltung 2, die eine Messschaltung 5 und eine Auswerte- und Ansteuersignalerzeugungsschaltung 4 aufweist. Die Messschaltung 5 umfasst bei diesem Ausführungsbeispiel einen Kondensator 53, der über eine Diode 51 und einen optio-

nen Widerstand 52 parallel zu der Laststrecke C-E geschaltet ist. Parallel zu dem Kondensator 53 ist eine steuerbare Stromquelle 54 geschaltet, die einen Ladestrom oder einen Entladestrom für den Kondensator 53 bereitstellt und die durch ein von der Auswerte- und Ansteuersignalerzeugungsschaltung 4 bereitgestelltes Steuersignal S54 angesteuert ist. Eine Spannung V5 über dem Kondensator 53 wird mittels eines Komparators 55 mit einer Referenzspannung Vth5 verglichen, die den ersten Schwellenwert Vth1 repräsentiert. Am Ausgang des Komparators 55 steht ein Mess- oder Auswertesignal S5 zur Verfügung, das abhängig davon, ob die Spannung V5 über dem Kondensator 53 oberhalb oder unterhalb des Schwellenwertes Vth5 liegt, einen High-Pegel oder einen Low-Pegel annimmt. Ein High-Pegel repräsentiert in dem dargestellten Beispiel einen Fehlerfall, also einen Fall, bei dem die Laststreckenspannung Vce oberhalb des ersten Schwellenwertes liegt, der durch den Referenzwert Vth5 in Figur 6 repräsentiert ist. Dieser Referenzwert bzw. diese Referenzspannung Vth5 wird durch eine Referenzspannungsquelle 56 erzeugt.

Die Funktionsweise der in Figur 6 dargestellten Messschaltung 5 wird nachfolgend erläutert. Hierfür sei zunächst angenommen, dass der Transistor 1 sperrend angesteuert ist, so dass über der Laststrecke C-E des Transistors 1 die gesamte Versorgungsspannung abfällt. Während der sperrenden Ansteuerung des Transistors 1 wird der Kondensator 53 über die Stromquelle 54 entladen, bis eine Spannung V5 über dem Kondensator 53 den Wert von nahezu Null annimmt. Wird der Transistor 1 nachfolgend leitend angesteuert, so wird der Kondensator 53 durch die steuerbare Stromquelle 54 aufgeladen, wodurch eine Spannung V5 über dem Kondensator 53 ansteigt. Die Spannung über dem Kondensator 53 wird hierbei über die Diode 51 und den optionalen Widerstand 52 sowie die Laststrecke C-E des Transistors 1 begrenzt, und zwar auf einen Wert, der in etwa der Spannung Vce über der Laststrecke des Transistors 1 plus der Flussspannung der Diode 51 entspricht. . Liegt ein Kurzschluss der Last vor, und ist ein Spannungsabfall Vce über

der Laststrecke C-E des Transistors 1 entsprechend groß, so kann auch die Spannung V5 über dem Kondensator 53 entsprechend weit ansteigen. Steigt die Spannung V5 über dem Kondensator 53 auf einen Wert an, der oberhalb des Schwellenwertes Vth5 liegt, so zeigt das Mess- und Auswertesignal S5 einen Fehler an. In entsprechender Weise zeigt das Mess- und Auswertesignal keinen Fehler an, wenn die Spannung V5 über dem Kondensator 53, auf einen Wert unterhalb des Schwellenwerts Vth5 begrenzt wird. Dies ist gleichbedeutend damit, dass die Summe aus der Flussspannung der Diode 51 und der Laststreckenspannung Vce unterhalb des Schwellenwertes Vth5 liegt.

Eine Auswertung des Mess- und Auswertesignals S5 innerhalb der Auswerte- und Ansteuersignalerzeugungsschaltung 4 erfolgt nur während Ansteuerimpulsen, also während solcher Zeitdauern, während der der Kondensator 53 über die gesteuerte Stromquelle geladen wird. Da der Kondensator 53 während der Ausschaltdauern des Transistors 1 stets entladen wird (typischerweise bis 0V), ist die Spannung während dieser Ausschaltdauern stets kleiner als der Schwellwert Vth5. Es kann somit während der Ausschaltdauer kein Fehler angezeigt werden. Das Steuersignal S54 der Stromquelle S54 kann beispielsweise aus dem Ansteuersignal S2 für den Transistor 2 abgeleitet werden. Dieses Steuersignal S54 ist beispielsweise so gewählt, dass die Stromquelle 54 während der Ausschaltdauern des Transistors 2 so angesteuert ist, dass sie einen Entladestrom erzeugt, und dass die Stromquelle 54 während der Ausschaltdauern des Transistors 2 so angesteuert ist, dass sie einen Ladestrom erzeugt. Ein Entladestrom ist in diesem Fall ein Strom I54, der entgegen der in Figur 6 angezeigten Stromrichtung fließt, und Ladestrom ist in diesem Fall ein Strom I54, der in der in Figur 6 angezeigten Stromrichtung fließt. Die Beträge des Ladestroms und des Entladestroms können gleich sein, können sich jedoch auch unterscheiden. Steuerbare bzw. schaltbare Stromquellen, die - wie die Stromquelle 54 gemäß Figur 6 - nach Maßgabe eines Steuersignals einen Lade-

strom (positiven Strom) bzw. Entladestrom (negativen Strom) liefern, sind grundsätzlich bekannt, so dass auf weitere Ausführungen hierzu verzichtet werden kann.

- 5 Zur Veranschaulichung der Funktionsweise der in Figur 6 dargestellten Ansteuerschaltung zeigen die Figuren 7 und 8 Zeitverläufe des Ansteuersignals S2 und der Spannung V5 über dem Kondensator 53 für einen normalen Betrieb (Figur 7) und einen Fehlerfall (Figur 8). Im Normalbetrieb, bei dem bei dem in
- 10 Figur 7 dargestellten Beispiel zuerst ein Ansteuerimpuls des ersten Typs und dann Ansteuerimpulse des zweiten Typs erzeugt werden, bleibt die Spannung V5 sowohl während des Ansteuerimpulses des ersten Typs, also auch während der Ansteuerimpulse des zweiten Typs unterhalb des Schwellenwertes V_{th5} .
- 15 Das Mess- und Auswertesignal S5 (vgl. Figur 6) bleibt dadurch auf einem Signalpegel (einem Low-Pegel, bei dem Beispiel gemäß Figur 6), der einen fehlerfreien Betrieb bzw. Normalbetrieb anzeigt..
- 20 Im Fehlerfall, der in Figur 8 dargestellt ist, steigt die Spannung V5 über dem Kondensator 53 bereits während des Ansteuerimpulses des ersten Typs über den Schwellenwert V_{th5} an, so dass auf das Vorliegen eines Fehlers geschlossen wird, die Ansteuerung unterbrochen wird und eine weitere Ansteuerung unterbleibt. Dieser Fehler wird durch einen Fehlersignalpegel des Mess- und Auswertesignals S5 angezeigt. Dieser Fehlersignalpegel ist bei dem Ausführungsbeispiel gemäß Figur
- 25 6 ein High-Pegel dieses Mess- und Auswertesignals S5.
- 30 Wenngleich die Signalverläufe der Spannung V5 in den Figuren 7 und 8 so dargestellt sind, dass sich diese Signalverläufe unmittelbar ändern, wenn Ansteuerimpulse des Ansteuersignals S2 beginnen, sei darauf hingewiesen, dass eine solche Änderung der Spannung V5 nach einem Einschalten des Transistors 1
- 35 zeitverzögert erfolgen kann, und zwar bedingt durch das RC-Glied, das durch den Kondensator 53 und den optionalen Widerstand 52 gebildet ist.

Wie bereits zuvor erwähnt erfolgt eine Auswertung der Laststreckenspannung V_{ce} während aller Ansteuerimpulse, d.h. während der Ansteuerimpulse des ersten Typs und während der Ansteuerimpulse des zweiten Typs. Eine Ansteuerung des Transistors 1 wird dabei auch dann unterbrochen, wenn während Ansteuerimpulsen des zweiten Typs ein solcher Fehler detektiert wird. Ein solches Szenario ist in Figur 9 dargestellt. Figur 9 zeigt eine Sequenz von Ansteuerimpulsen des zweiten Typs. Zu einem Zeitpunkt t_1 tritt hierbei ein Fehler auf, so dass während eines darauffolgenden Ansteuerimpulses die Laststreckenspannung V_{ce} über den Schwellenwert V_{th1} ansteigt.

Figur 10 zeigt ein Ausführungsbeispiel der Auswerte- und Ansteuersignalerzeugungsschaltung, der das Mess- oder Auswertesignal S_3 bzw. S_5 zugeführt ist und die das Ansteuersignal S_3 für den Transistor erzeugt. Diese Auswerte- und Signalerzeugungsschaltung 4 weist eine Ansteuersignalerzeugungsschaltung 41 eine der Ansteuersignalerzeugungsschaltung 41 nachgeschaltete optionale Treiberschaltung 44 und eine Auswerteschaltung 42 auf. Die Auswerteschaltung 42 ist dazu ausgebildet, das Messsignal S_3 bzw. S_5 während der Einschaltdauern des Transistors 1 auszuwerten. Hierzu sind der Auswerteschaltung 42 das Messsignal S_3 bzw. S_5 und das Ansteuersignal S_2 zugeführt. Weist der Signalpegel des Messsignals S_3 bzw. S_5 während der Einschaltdauer des Transistors 1 auf einen Fehler hin, was bei den Messschaltungen gemäß der Figuren 5 und 6 dann der Fall ist, wenn die Messsignal S_3 bzw. S_5 einen High-Pegel aufweisen, so unterbindet die Ansteuerschaltung 52 eine weitere Ansteuerung des Transistors. Hierzu weist die Schaltung 4 ein Unterbrechungselement auf, das in Figur 10 schematisch als Schalter 43 dargestellt ist, das zwischen die Ansteuersignalerzeugungsschaltung 41 und die optionale Treiberschaltung 44 geschaltet ist. Die Ansteuerung dieses Schalters 43 erfolgt durch ein am Ausgang der Auswerteschaltung 42 zur Verfügung gestelltes Fehlersignal, das je nach Signalpegel das Vorliegen eines Fehlers oder das Nicht-Vorliegen eines

Fehlers anzeigt. Optional wird dieses Fehlersignal S42 an eine zentrale Steuerschaltung (nicht dargestellt) weitergegeben und/oder an die Ansteuersignalerzeugungsschaltung 41 weitergegeben.

5

Die Ansteuersignalerzeugungsschaltung 41 ist dazu ausgebildet, das Ansteuersignal S2 unter Anwendung eines der zuvor erläuterten Prinzipien als Folge von Ansteuerimpulsen des ersten Typs und des zweiten Typs zu erzeugen. Bei einem Ausführungsbeispiel ist vorgesehen, dass der Ansteuersignalerzeugungsschaltung 41 von einer externen Steuerschaltung, wie beispielsweise einem Mikrokontroller (nicht dargestellt) ein pulsweitenmoduliertes Signal PWM (in Figur 10 gestrichelt dargestellt) und ein Aktivierungs- oder Freigabesignal AKT (in Figur 10 ebenfalls gestrichelt dargestellt) zugeführt ist. Die Ansteuersignalerzeugungsschaltung 41 erzeugt abhängig von diesen beiden Signalen das Ansteuersignal S2 für den Transistor 1. Bei einem Ausführungsbeispiel ist dabei vorgesehen, dass die Ansteuersignalerzeugungsschaltung 41 während einer Zeitdauer, während der das Aktivierungssignal AKT einen vorgegebenen Signalpegel – wie beispielsweise eine High-Pegel – aufweist, Ansteuerimpulse des Ansteuersignals S2 erzeugt, deren Dauer der Dauer der Ansteuerimpulse des pulsweitenmodulierten Signals PWM entspricht. Hierbei ist weiterhin vorgesehen, dass ein erster Signalimpuls nach Vorliegen des vorgegebenen Pegels des Aktivierungssignals AKT ein Ansteuerimpuls des ersten Typs ist oder dass zwei oder mehr Ansteuerimpulse nach Vorliegen des vorgegebenen Pegels des Aktivierungssignals AKT Ansteuerimpulse des ersten Typs sind. Ein solches Vorgehen ist schematisch in Figur 11 dargestellt, in der zeitliche Verläufe des Aktivierungssignals AKT, des pulsweitenmodulierten Signals PWM und des Ansteuersignals S2 dargestellt sind. Die Ansteuerimpulse des ersten Typs weisen dabei jeweils für die erste Zeitdauer T1 den ersten Ansteuerpegel S2₁ und anschließend den zweiten Ansteuerpegel S2₂ auf. Bei dem in Figur 11 dargestellten Beispiel ist jeweils der erste

Signalimpuls nach einem Aktivierungspegel des Aktivierungssignals ein Signalimpuls des ersten Typs ist.

Figur 12 zeigt ein Ausführungsbeispiel einer Ansteuersignalerzeugungsschaltung 41, die die zuvor anhand von Figur 11 erläuterte Funktionalität besitzt.

Diese Ansteuersignalerzeugungsschaltung weist eine Ausgangs- oder Treiberstufe auf, die als Halbbrückenschaltung mit einem Low-Side-Schalter 421 und drei High-Side-Schaltern 418, 419, 420 realisiert ist. Die Schalter sind in dem dargestellten Beispiel als Bipolartransistoren realisiert. Dies ist jedoch lediglich ein Beispiel. Diese Schalter könnten in entsprechender Weise auch als MOS-Transistoren, wie MOSFET oder IGBT, oder als JFET realisiert sein. Außerdem sind bei der Schaltung gemäß Figur 12, die High-Side-Transistoren 418-420 zu dem Low-Side-Transistor 421 komplementäre Transistoren. Speziell sind die High-Side-Transistoren 418-420 in dem dargestellten Beispiel pnp-Transistoren, während der Low-Side Transistor ein npn-Transistor ist. Die High-Side-Transistoren 418-420 und der Low-Side-Transistor 421 könnten selbstverständlich auch vom gleichen Leitungstyp sein, was dann bei der Erzeugung der Ansteuersignale für diese Transistoren geeignet zu berücksichtigen ist.

Laststrecken (Kollektor-Emitter-Strecken) der High-Side-Transistoren 418-420 sind in Reihe zu der Laststrecke des Low-Side-Transistors 421 geschaltet. Ein den Laststrecken der High-Side-Transistoren 418-420 und der Laststrecke des Low-Side-Transistors 421 gemeinsamer Schaltungsknoten bildet einen Ausgang der Treiberstufe, an dem das Ansteuersignal S2 zur Verfügung steht.

Ein erster 418 der High-Side-Transistoren ist zwischen eine Klemme für ein erstes Versorgungspotenzial Vcc1 und den Low-Side-Transistor 421 bzw. den Ausgang geschaltet, und ein zweiter 419 und ein dritter 420 der High-Side-Transistoren

ist zwischen eine Klemme für ein zweites Versorgungspotenzial Vcc2 und den Low-Side-Transistor 421 bzw. den Ausgang geschaltet. Der Low-Side-Transistor 421 liegt mit seinem dem Ausgang abgewandten Anschluss an Bezugspotenzial. Das erste
5 Versorgungspotenzial Vcc1 repräsentiert bei dieser Schaltung den ersten (niedrigeren) Signalpegel des Ansteuersignal S2, und das zweite Versorgungspotenzial Vcc2 repräsentiert den zweiten (höheren) Signalpegel des Ansteuersignals S2. Bei dieser Schaltung wird ein erster Signalpegel des Ansteuersignals S2 erzeugt, wenn der erste High-Side-Transistor 418 leitet und die übrigen Transistoren 419, 420, 421 sperren. Ein
10 zweiter Ansteuersignalpegel des Ansteuersignals S2 wird erzeugt, wenn einer der zweiten und dritten High-Side-Schalter 419, 420 leitet und der Low-Side-Schalter 421 sperrt. Eine leitende Ansteuerung des anzusteuernenden Transistors (1 in Figur 6) erfolgt jeweils dann, wenn ein erster oder zweiter Ansteuersignalpegel des Ansteuersignals S2 vorliegt. Eine sperrende Ansteuerung des Transistors bzw. ein Ausschaltpegel des Ansteuersignals S2 liegt vor, wenn der Low-Side-Transistor
15 421 leitet und die High-Side-Transistoren 418, 419, 420 sperren. Die in Figur 12 dargestellte Ansteuersignalerzeugungsschaltung funktioniert für einen n-leitenden Transistor 1, kann in einfacher Weise jedoch auch für die Ansteuerung eines p-leitenden Transistors modifiziert werden.

25 Die High-Side-Transistoren 418-420 der Ausgangsstufe werden jeweils über Logikgatter angesteuert, die in dem Beispiel als NAND-Gatter realisiert sind. Dabei steuert ein erstes Gatter 414 den ersten High-Side-Transistor 418, ein zweites Gatter
30 415 den zweiten High-Side-Transistor 419 und ein drittes Gatter 416 den dritten High-Side-Transistor 420 an.

Die Ansteuersignalerzeugungsschaltung umfasst außerdem ein Eingangs-Gatter 411, dem das Aktivierungssignal AKT und das
35 pulsweitenmodulierte PWM zugeführt sind, ein Speicherelement 412, das in dem Beispiel als Flip-Flop realisiert ist und dem ebenfalls das Aktivierungssignal AKT und das pulsweitenmodu-

lierte PWM zugeführt sind, einen Inverter 417 der zwischen den Ausgang des Eingangsgatter 411 und den Ansteueranschluss des Low-Side-Transistors 421 geschaltet ist, und ein Verzögerungselement 413, das zwischen einen ersten Ausgang (den
5 nicht-invertierenden) Ausgang des Flip-Flops 412 und einen Eingang des zweiten Gatters 415 geschaltet ist.

Das Flip-Flop 412 ist in dem dargestellten Beispiel ein D-Flip-Flop, an dessen Dateneingang D das Aktivierungssignal
10 AKT und an dessen Takteingang das pulswertenmodulierte (PWM) Signal PWM anliegt. Das Flip-Flop ist in dem dargestellten Beispiel ein negativflankengetriggertes Flip. Dieses Flip-Flop wird mit der fallenden Flanke des ersten Signalimpulses des pulswertenmodulierten Signals PWM nach Vorliegen eines
15 Aktivierungspegels des Aktivierungssignals AKT gesetzt.

"Der erste Signalimpuls des PWM-Signals PWM" ist im folgenden der erste Signalimpuls nach Vorliegen des Aktivierungspegels des Aktivierungssignals AKT. Zu Beginn dieses ersten Signal-
20 impulses ist das Flip-Flop 412 noch nicht gesetzt. Der dritte High-Side-Schalter 420 ist hierbei über das dritte Gatter 416, dem das Signal am invertierenden Ausgang des Flip-Flops 412 und das Ausgangssignal des Eingangsgatters 411 zugeführt ist, gesperrt bzw. sperrend angesteuert und bleibt so lange
25 gesperrt, bis das Flip-Flop gesetzt wird. Zu Beginn des ersten Signalimpulses wird der erste High-Side-Transistor 418 durch das erste Gatter 414 leitend angesteuert, dem das Signal am nicht-invertierenden Ausgang des Flip-Flops 412 und das Ausgangssignal des Eingangsgatters 411 zugeführt ist. Das
30 Ansteuersignal S2 nimmt dadurch den ersten Signalpegel an.

Nach Ablauf einer durch das Verzögerungsglied 413 vorgegebenen Zeitdauer wird auch der zweite High-Side-Transistor 419 leitend angesteuert, und zwar durch das zweite Gatter 415,
35 dem das Signal am nicht-invertierenden Ausgang des Flip-Flops 412 über das Verzögerungsglied 413 und das Ausgangssignal des Eingangsgatters 411 zugeführt ist. Das Ansteuersignal S2

nimmt dadurch den zweiten Ansteuersignalpegel an. Der Low-Side-Transistor 421 bleibt während der leitenden Ansteuerung der High-Side-Transistoren gesperrt. Die Dauer, während der das Ansteuersignal S2 den ersten Ansteuersignalpegel annimmt, ist durch die Verzögerungszeit des Verzögerungsglieds 413 vorgegeben.

Nach dem ersten Signalimpuls, und damit nach Setzen des Flip-Flops, bleiben der erste und der zweite High-Side-Transistor 418, 419 gesperrt, nur noch der dritte High-Side-Transistor 420 wird leitend angesteuert, und zwar während der weiteren Signalimpulse des PWM-Signals PWM. Der Low-Side-Schalter 421 wird jeweils dann leitend angesteuert - und die High-Side-Schalter 418-420 werden sperrend angesteuert, wenn das Aktivierungssignal AKT oder das PWM-Signal einen Deaktivierungspegel bzw. Ausschaltpegel besitzen. Ein Rücksetzen des Flip-Flops 412 erfolgt mit dem ersten Signalimpuls des PWM-Signals PWM nach Ende des Aktivierungspegels des Aktivierungssignals AKT. Wenn das Aktivierungssignal AKT dann zu einem späteren Zeitpunkt erneut einen Aktivierungspegel annimmt, wird bei einem ersten Signalimpuls des pulswertenmodulierten Signals PWM erneut ein erster Signalimpuls des Ansteuersignals S2 erzeugt.

Bei der Ansteuersignalerzeugungsschaltung 41 gemäß Figur 12 wird mit dem ersten Signalimpuls des pulswertenmodulierten Signals PWM nach einem Aktivierungspegel des Aktivierungssignals AKT genau ein erster Signalimpuls des Ansteuersignals erzeugt. Bei einem weiteren Ausführungsbeispiel dieser Ansteuersignalerzeugungsschaltung ist vorgesehen, dass nach einem Aktivierungspegel des Aktivierungssignals AKT mehrere erste Signalimpulse erzeugt werden. Dies kann dadurch erreicht werden, dass anstelle des Flip-Flops 412 ein Zähler verwendet wird, der nach Beginn eines Aktivierungspegels des Aktivierungssignals AKT die Signalimpulse des pulswertenmodulierten Signals PWM zählt und so lange den dritten High-Side-Schalter 420 über das Gatter 416 gesperrt lässt und nur den

ersten und zweiten High-Side-Schalter 418, 419 aktiviert, um einen ersten Signalimpuls zu erzeugen, bis eine vorgegebene Anzahl von Signalimpulsen des pulswertenmodulierten Signals PWM erreicht ist.

5

Zusammenfassend veranschaulicht Figur 13 die Funktionsweise der zuvor erläuterten Ansteuerschaltung 2 anhand eines Zustandsdiagramms. Mit 101 ist in Figur 13 ein Aus-Zustand bezeichnet, bei dem der Transistor 1 sperrend angesteuert ist.

10

Zu Beginn einer gepulsten bzw. getakteten Ansteuerung des Transistors 1 nimmt die Ansteuerschaltung einen zweiten Zustand 102 an, in dem ein Ansteuerimpuls des ersten Typs erzeugt wird. Der Beginn einer gepulsten Ansteuerung kann beispielsweise durch das anhand von Figur 10 erläuterte Aktivierungssignal signalisiert werden.

15

Während ein Ansteuerimpuls des ersten Typs erzeugt wird, erfolgt gleichzeitig eine Auswertung der Laststreckenspannung V_{ce} des Transistors 1, wobei die Ansteuerschaltung in einen Fehlerzustand 105 übergeht, wenn bei Auswerten der Laststreckenspannung V_{ce} ein Fehler

20

detektiert wird. Wird kein solcher Fehler detektiert, bleibt der Ansteuerimpuls für eine vorgegebene Zeitdauer erhalten und es folgt anschließend eine Impulspause, die als Zustand 103 dargestellt ist, bis zu einem nächsten Ansteuerimpuls.

25

Der nächste Ansteuerimpuls kann wieder ein Ansteuerimpuls des ersten Typs sein. So ist bei einem Ausführungsbeispiel vorgesehen, nach einem Beginn der Ansteuerung, d.h.

nach Einsetzen des Aus-Zustands 101 eine Anzahl von Ansteuerimpulsen des ersten Typs zu erzeugen. Der Ansteuerimpuls nach einem ersten Ansteuerimpuls des ersten Typs kann jedoch auch

30

ein Ansteuerimpuls des zweiten Typs sein. Die Erzeugung eines Ansteuerimpulses des zweiten Typs erfolgt in dem in Figur 13 dargestellten Zustand 104. Wird während des Vorliegens eines Ansteuerimpulses des zweiten Typs ein Fehler detektiert, so geht die Ansteuerschaltung ebenfalls in den Fehlerzustand 105

35

über.

Ausgehend vom Zustand 104, bei dem Ansteuerimpulse des zweiten Typs erzeugt werden, kann die Ansteuerschaltung wieder in den Aus-Zustand 101 übergehen. Ein Ende der Ansteuerung, d.h. ein Beginn des Aus-Zustands wird - ebenso wie beispielsweise
5 der Beginn einer gepulsten Ansteuerung - durch das Aktivierungssignal AKT gemäß Figur 10 angezeigt.

Sofern ein Fehler detektiert wurde, kann die Ansteuerschaltung dauerhaft im Fehlerzustand 105 verbleiben. Bei einem
10 weiteren Ausführungsbeispiel ist jedoch vorgesehen, dass die Ansteuerschaltung 2 vom Fehlerzustand in den Aus-Zustand 101 übergeht, so dass eine erneute Ansteuerung möglich ist. Hierbei ist bei einem Beispiel vorgesehen, Fehlerereignisse, d.h. Übergänge der Ansteuerschaltung in den Fehlerzustand 105 zu
15 zählen, und die Ansteuerschaltung dauerhaft im Fehlerzustand - in dem keine Ansteuerung des Transistors 1 möglich ist - zu belassen, wenn eine vorgegebene Anzahl von Fehlerereignissen aufgetreten ist. Bei einem Beispiel ist hierbei vorgesehen, die Ansteuerschaltung dann dauerhaft im Fehlerzustand 105 zu
20 belassen, wenn die vorgegebene Anzahl von Fehlerereignissen während einer vorgegebenen Anzahl von Ansteuerimpulsen aufgetreten ist. Frühere Fehlerereignisse können dadurch "gelöscht" werden.

25 Abschließend sei darauf hingewiesen, dass Merkmale, die im Zusammenhang mit einem Ausführungsbeispiel erläutert wurden, auch mit Merkmalen anderer Ausführungsbeispiele kombiniert werden können, und zwar auch dann, wenn dies zuvor nicht explizit erwähnt wurde.

PATENTANSPRÜCHE

1. Verfahren zur gepulsten Ansteuerung eines Transistors (1),
der einen Ansteueranschluss (G) und eine Laststrecke (C-E)
5 aufweist und dessen Laststrecke in Reihe zu einer Last (Z)
geschaltet ist, wobei das Verfahren aufweist:

Ansteuern des Transistors mit einem Ansteuerimpuls eines ers-
ten Typs, der zumindest für eine erste Zeitdauer (T1) einen
10 ersten Ansteuerpegel (S2₁) aufweist, vor einem Ansteuerimpuls
eines zweiten Typs, der einen im Vergleich zu dem ersten An-
steuerpegel (S2₁) höheren zweiten Ansteuerpegel (S2₂) auf-
weist;

15 Auswerten einer Spannung (Vce) über der Laststrecke des Tran-
sistors (1);

Abbrechen der gepulsten Ansteuerung, wenn die Spannung (Vce)
über der Laststrecke einen vorgegebenen Schwellenwert über-
20 steigt.

2. Verfahren nach Anspruch 1, bei dem der Ansteuerimpuls des
ersten Typs nach der ersten Zeitdauer (T1) den zweiten An-
steuerpegel (S2₂) aufweist.

3. Verfahren nach Anspruch 1 oder 2, bei dem ein zeitlicher
Abstand zwischen dem Ansteuerimpuls des ersten Typs und dem
Ansteuerimpuls des zweiten Typs liegt.

4. Verfahren nach einem der Ansprüche 1 bis 3, das die Erzeu-
gung mehrerer Ansteuersequenzen mit jeweils mehreren Ansteu-
erimpulsen umfasst, wobei ein Ansteuerimpuls des ersten Typs
jeweils zu Beginn einer Ansteuersequenz erzeugt wird.

5. Verfahren nach einem der Ansprüche 1 bis 3, das die Erzeu-
gung mehrerer Ansteuersequenzen mit jeweils mehreren Ansteu-

erimpulsen umfasst, wobei mehrere Ansteuerimpulse des ersten Typs jeweils zu Beginn einer Ansteuersequenz erzeugt werden.

5 6. Verfahren nach einem der Ansprüche 1 bis 3, bei dem ein Ansteuerimpuls des ersten Typs in regelmäßigen Abständen erzeugt wird.

10 7. Verfahren nach einem der Ansprüche 1 bis 3, bei dem ein Ansteuerimpuls des ersten Typs abhängig von einem Testsignal erzeugt wird.

15 8. Verfahren nach einem der vorangehenden Ansprüche, bei dem eine Ansteuerung nach einem Abbruch der Ansteuerung dauerhaft unterbleibt.

9. Verfahren nach einem der Ansprüche 1 bis 7, das weiterhin aufweist:

20 erneutes Beginnen der Ansteuerung nach einem Abbruch, wobei ein erster Ansteuerimpuls nach Beginn einer erneuten Ansteuerung ein Ansteuerimpuls des ersten Typs ist.

10. Verfahren nach Anspruch 9, das weiterhin aufweist:

25 Zählen der Abbrüche und dauerhaftes Unterbrechen der Ansteuerung, wenn eine vorgegebene Anzahl von Abbrüchen erreicht ist.

30 11. Verfahren nach Anspruch 10, bei dem die Ansteuerung dauerhaft unterbrochen wird, wenn die vorgegebene Anzahl von Abbrüchen während einer vorgegebenen Anzahl von Ansteuerimpulsen auftreten.

35 12. Verfahren nach Anspruch 9, bei dem die Ansteuerung dauerhaft unterbrochen wird, wenn während des ersten Ansteuerimpulses nach Beginn einer erneuten Ansteuerung die Ansteuerung abgebrochen wird.

13. Ansteuerschaltung zur gepulsten Ansteuerung eines in Reihe zu einer Last geschalteten Transistors (1), die dazu ausgebildet ist:

5 den Transistor (1) mit einem Ansteuerimpuls eines ersten Typs, der zumindest für eine erste Zeitdauer (T_1) einen ersten Ansteuerpegel (S_{2_1}) aufweist, vor einem Ansteuerimpuls eines zweiten Typs, der einen im Vergleich zu dem ersten Ansteuerpegel höheren zweiten Ansteuerpegel (S_{2_2}) aufweist, anzusteuern;

eine Spannung (V_{ce}) über einer Laststrecke (C-E) des Transistors auszuwerten;

15 die gepulste Ansteuerung abzubrechen, wenn die Spannung (V_{ce}) über der Laststrecke (C-E) einen vorgegebenen Schwellenwert übersteigt.

20 14. Ansteuerschaltung nach Anspruch 13, die dazu ausgebildet ist, den Ansteuerimpuls des ersten Typs nach der ersten Zeitdauer mit dem zweiten Ansteuerpegel zu erzeugen.

25 15. Ansteuerschaltung nach Anspruch 13 oder 14, die dazu ausgebildet ist, mehrere Ansteuersequenzen mit jeweils mehreren Ansteuerimpulsen zu erzeugen, wobei ein Ansteuerimpuls des ersten Typs jeweils zu Beginn einer Ansteuersequenz erzeugt wird.

30 16. Ansteuerschaltung nach einem der Ansprüche 13 bis 15, die dazu ausgebildet ist, mehrere Ansteuersequenzen mit jeweils mehreren Ansteuerimpulsen zu erzeugen, wobei mehrere Ansteuerimpulse des ersten Typs jeweils zu Beginn einer Ansteuersequenz erzeugt werden.

35

17. Ansteuerschaltung nach einem der Ansprüche 13 bis 15, die dazu ausgebildet ist, einen Ansteuerimpuls des ersten Typs in regelmäßigen Abständen zu erzeugen.

5 18. Ansteuerschaltung nach einem der Ansprüche 13 bis 15, die dazu ausgebildet ist, einen Ansteuerimpuls des ersten Typs abhängig von einem Testsignal zu erzeugen.

10 19. Ansteuerschaltung nach einem der Ansprüche 13 bis 18, die dazu ausgebildet ist, eine Ansteuerung nach einem Abbruch der Ansteuerung dauerhaft zu unterbinden.

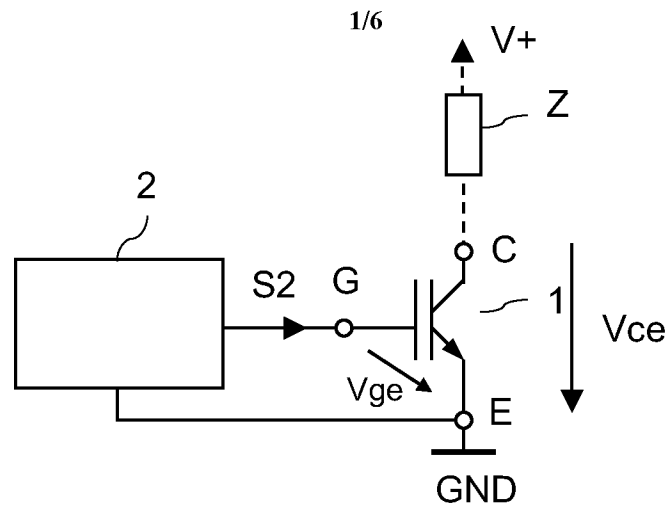


FIG 1

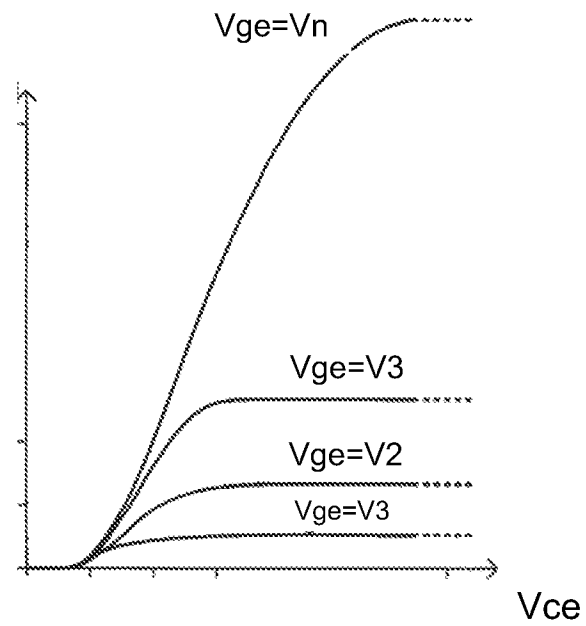


FIG 2

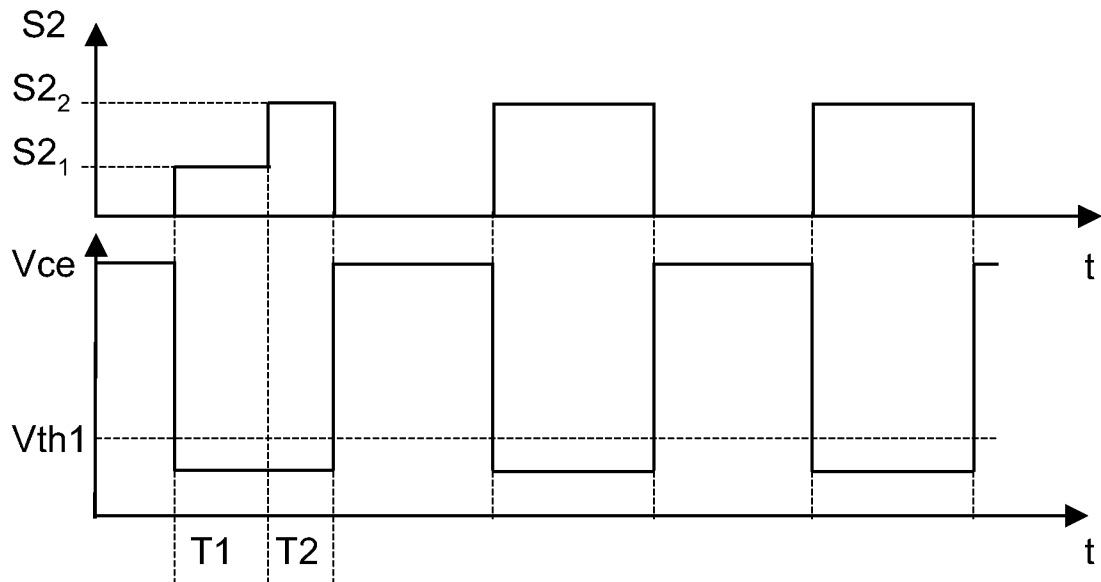


FIG 3

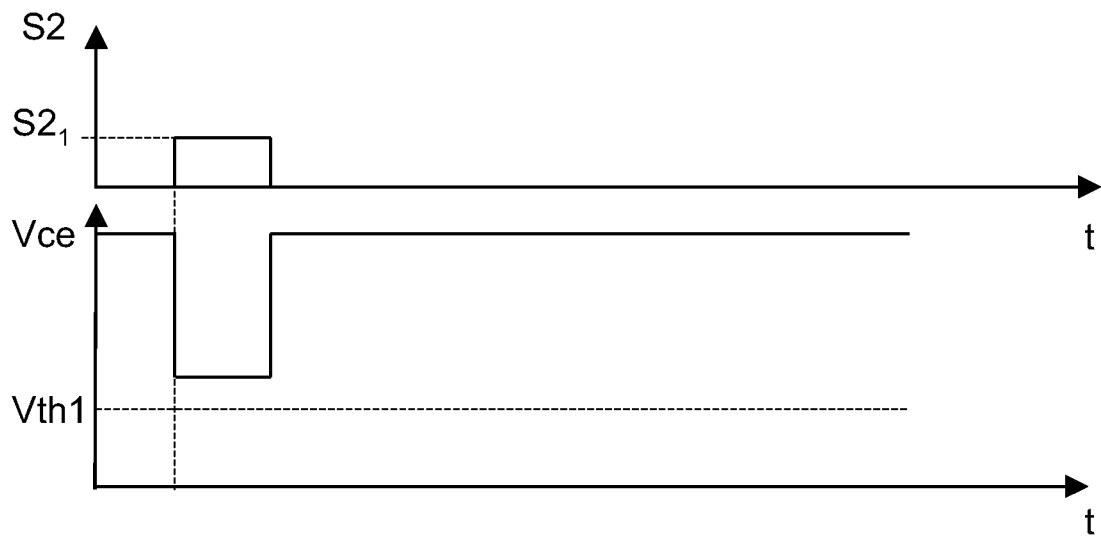


FIG 4

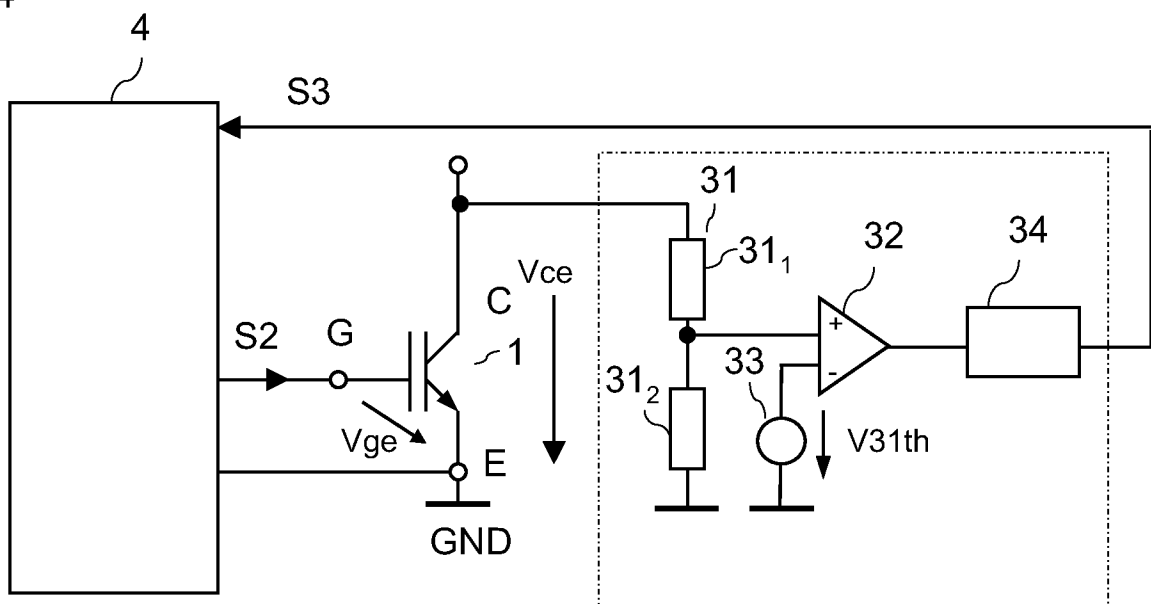


FIG 5

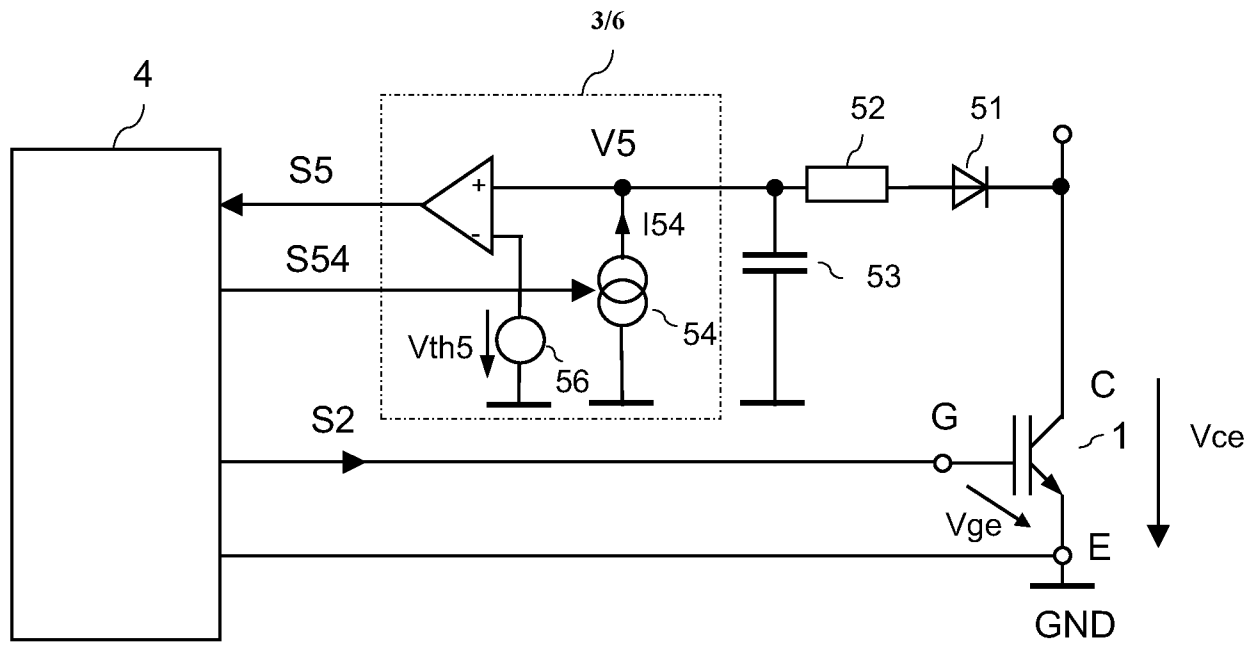


FIG 6

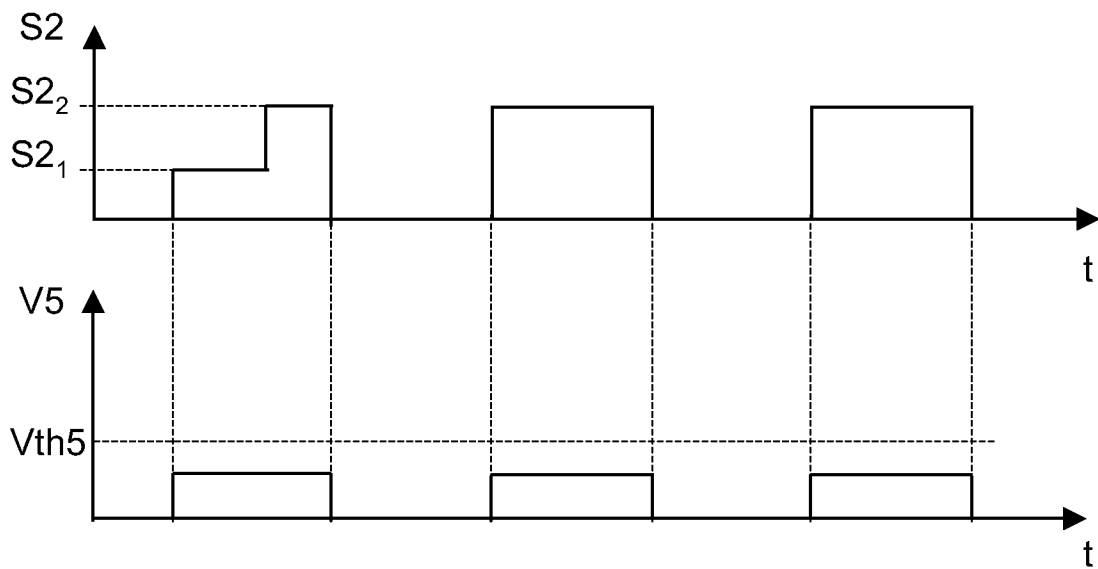


FIG 7

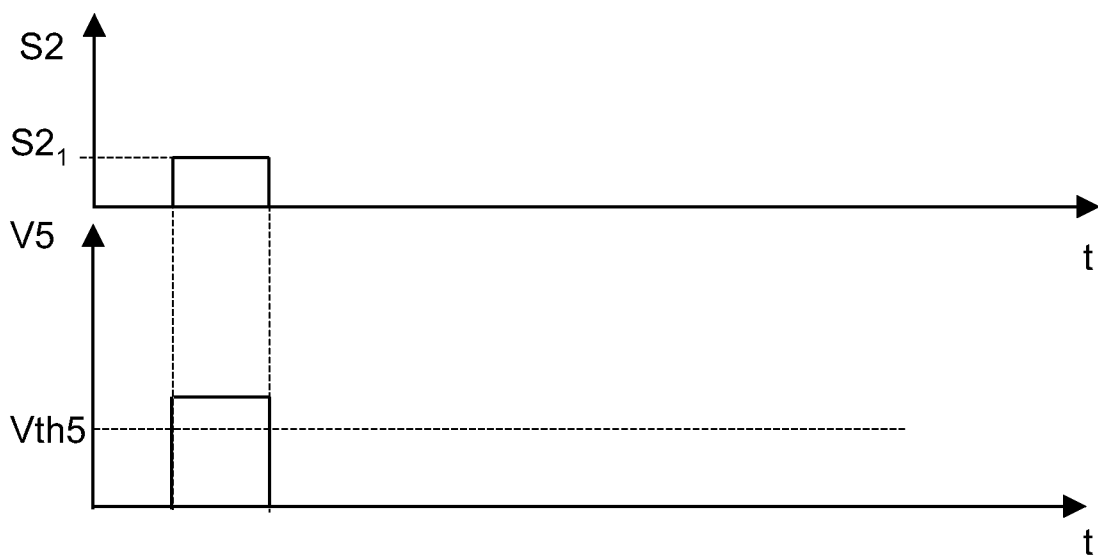


FIG 8

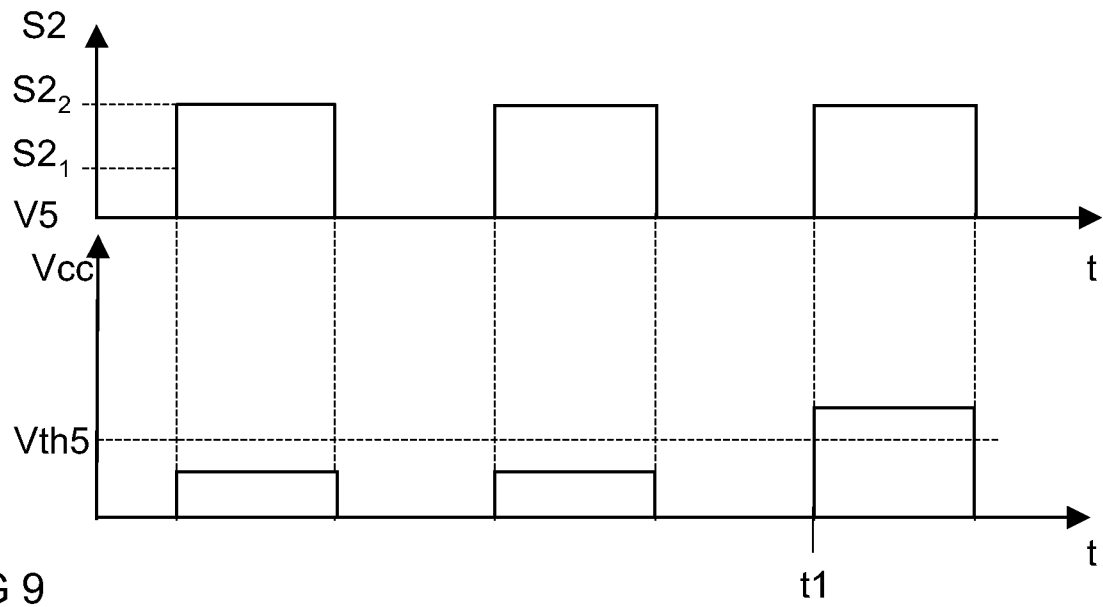


FIG 9

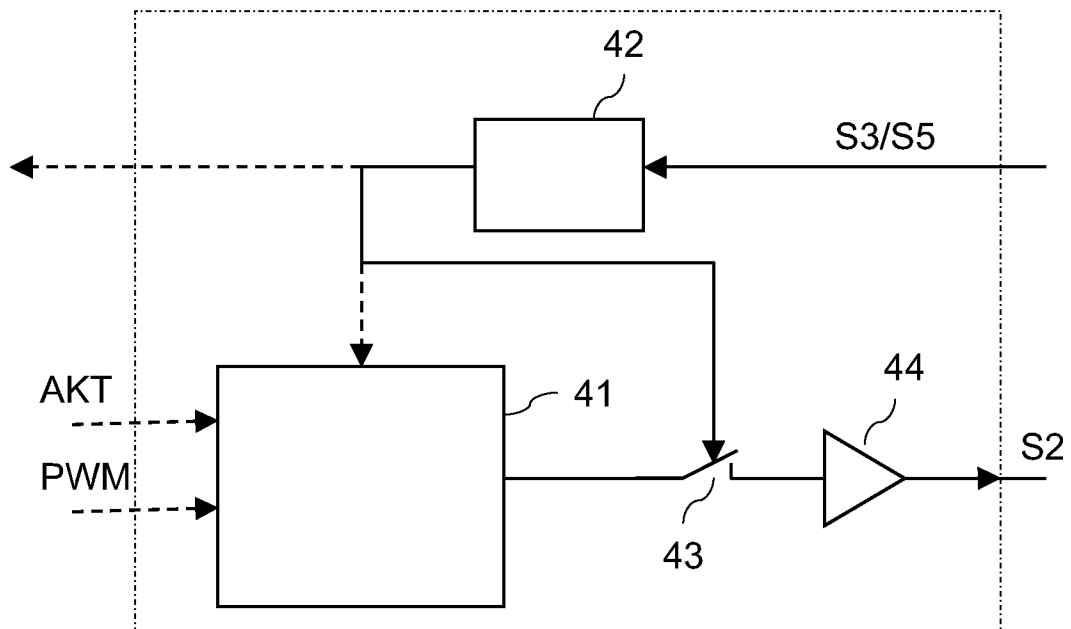


FIG 10

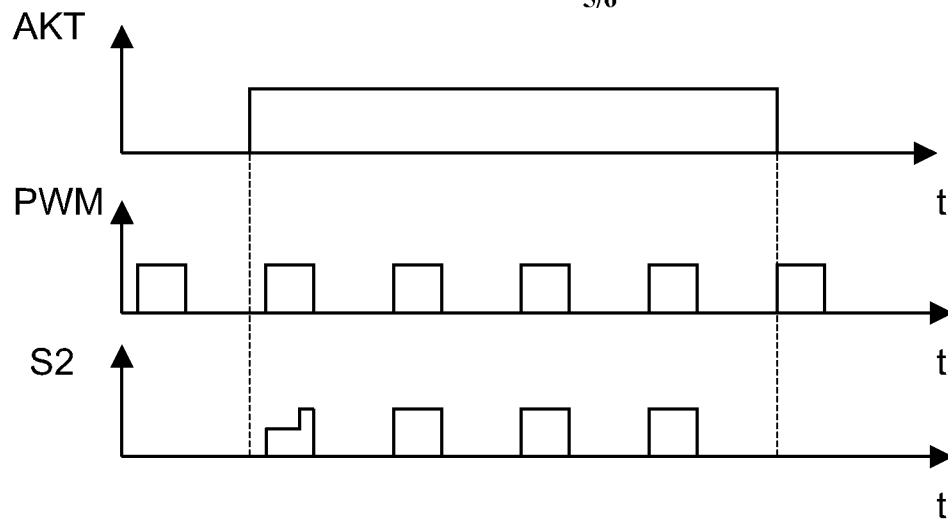


FIG 11

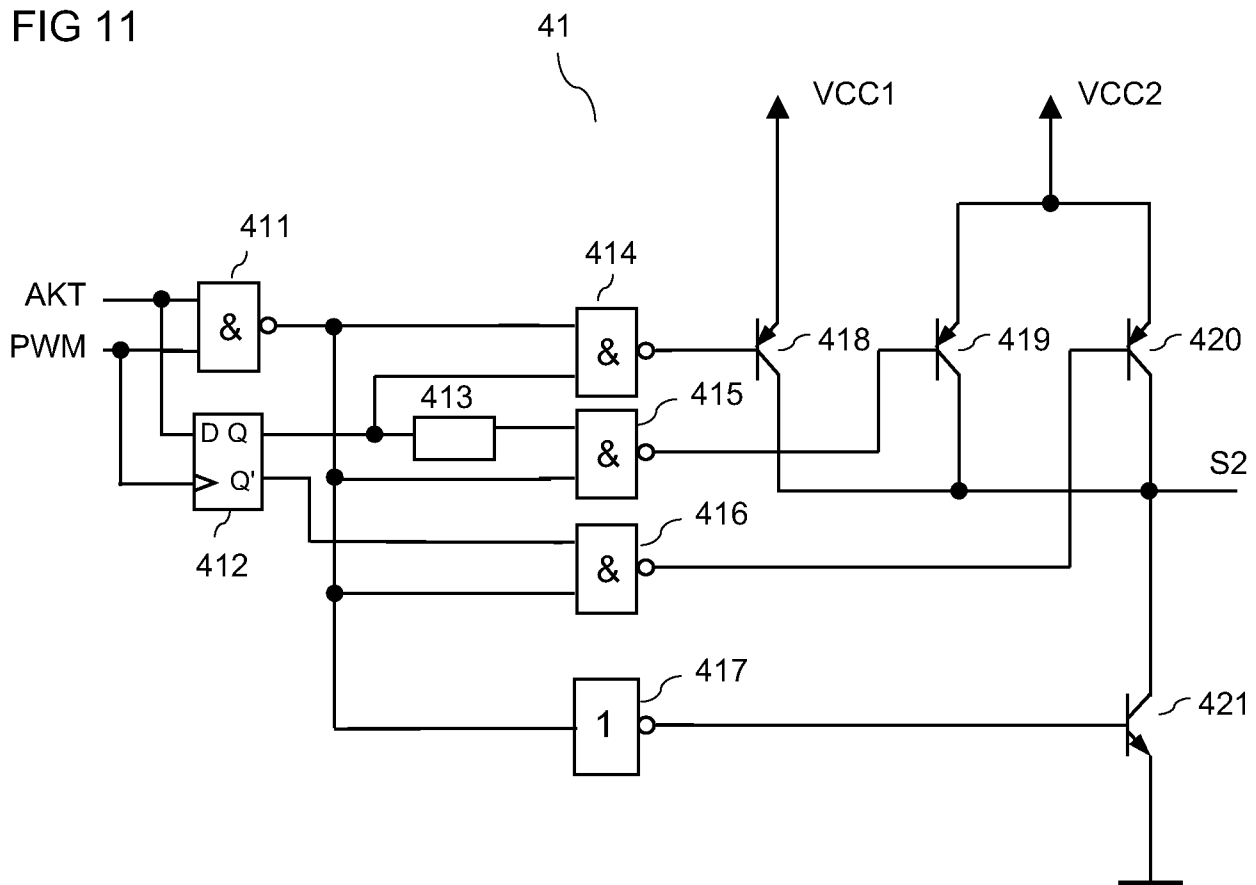


FIG 12

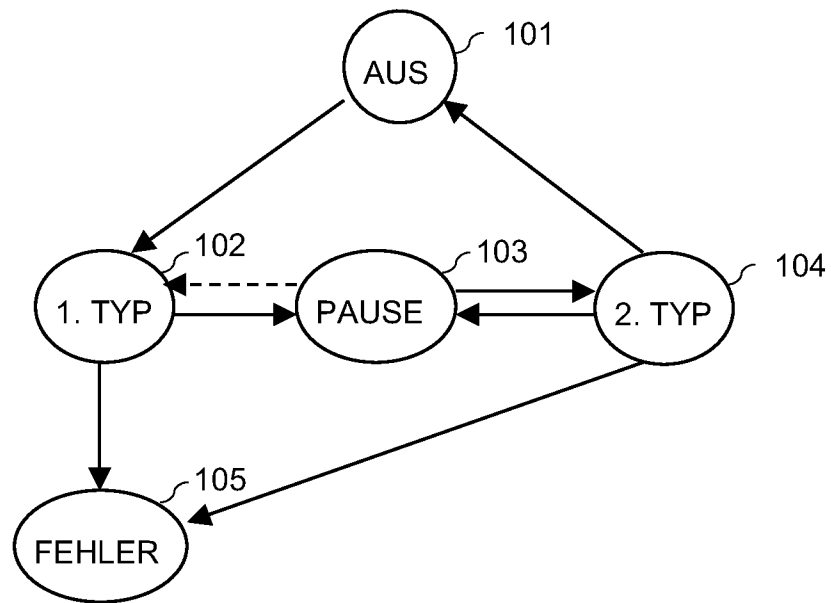


FIG 13

INTERNATIONAL SEARCH REPORT

International application No
PCT/DE2011/050058

A. CLASSIFICATION OF SUBJECT MATTER

INV. G01R31/02 H02H11/00 H03K17/082
ADD.

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G01R H02H H03K H03F

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

EPO-Internal, WPI Data

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	US 2011/002073 A1 (FUKUDA DAISUKE [JP] ET AL) 6 January 2011 (2011-01-06) figure 6 -----	1-19
A	US 2004/027762 A1 (OHI TAKESHI [JP] ET AL) 12 February 2004 (2004-02-12) figure 5 -----	1-19
A	EP 0 687 066 A1 (CONS RIC MICROELETTRONICA [IT]) 13 December 1995 (1995-12-13) figure 7 -----	1-19
A	EP 0 844 720 A2 (SEMIKRON ELEKTRONIK GMBH [DE]) 27 May 1998 (1998-05-27) figures 1,2 -----	1-19



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents :

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search

24 May 2012

Date of mailing of the international search report

04/06/2012

Name and mailing address of the ISA/

European Patent Office, P.B. 5818 Patentlaan 2
NL - 2280 HV Rijswijk
Tel. (+31-70) 340-2040,
Fax: (+31-70) 340-3016

Authorized officer

Simon, Volker

INTERNATIONAL SEARCH REPORT

Information on patent family members

International application No

PCT/DE2011/050058

Patent document cited in search report	Publication date	Patent family member(s)	Publication date
US 2011002073 A1	06-01-2011	CN 101911490 A	08-12-2010
		JP 2010062737 A	18-03-2010
		US 2011002073 A1	06-01-2011
		WO 2010026676 A1	11-03-2010

US 2004027762 A1	12-02-2004	CN 1476136 A	18-02-2004
		DE 10334832 A1	18-03-2004
		JP 3883925 B2	21-02-2007
		JP 2004064930 A	26-02-2004
		US 2004027762 A1	12-02-2004

EP 0687066 A1	13-12-1995	DE 69421075 D1	11-11-1999
		DE 69421075 T2	02-03-2000
		EP 0687066 A1	13-12-1995
		JP 8107629 A	23-04-1996
		US 5710690 A	20-01-1998

EP 0844720 A2	27-05-1998	DE 19648562 A1	04-06-1998
		EP 0844720 A2	27-05-1998

INTERNATIONALER RECHERCHENBERICHT

Internationales Aktenzeichen

PCT/DE2011/050058

A. KLASSIFIZIERUNG DES ANMELDUNGSGEGENSTANDES
INV. G01R31/02 H02H11/00 H03K17/082
ADD.

Nach der Internationalen Patentklassifikation (IPC) oder nach der nationalen Klassifikation und der IPC

B. RECHERCHIERTE GEBIETE

Recherchierter Mindestprüfstoff (Klassifikationssystem und Klassifikationssymbole)
G01R H02H H03K H03F

Recherchierte, aber nicht zum Mindestprüfstoff gehörende Veröffentlichungen, soweit diese unter die recherchierten Gebiete fallen

Während der internationalen Recherche konsultierte elektronische Datenbank (Name der Datenbank und evtl. verwendete Suchbegriffe)

EPO-Internal, WPI Data

C. ALS WESENTLICH ANGESEHENE UNTERLAGEN

Kategorie*	Bezeichnung der Veröffentlichung, soweit erforderlich unter Angabe der in Betracht kommenden Teile	Betr. Anspruch Nr.
A	US 2011/002073 A1 (FUKUDA DAISUKE [JP] ET AL) 6. Januar 2011 (2011-01-06) Abbildung 6 -----	1-19
A	US 2004/027762 A1 (OHI TAKESHI [JP] ET AL) 12. Februar 2004 (2004-02-12) Abbildung 5 -----	1-19
A	EP 0 687 066 A1 (CONS RIC MICROELETTRONICA [IT]) 13. Dezember 1995 (1995-12-13) Abbildung 7 -----	1-19
A	EP 0 844 720 A2 (SEMIKRON ELEKTRONIK GMBH [DE]) 27. Mai 1998 (1998-05-27) Abbildungen 1,2 -----	1-19



Weitere Veröffentlichungen sind der Fortsetzung von Feld C zu entnehmen



Siehe Anhang Patentfamilie

* Besondere Kategorien von angegebenen Veröffentlichungen :

"A" Veröffentlichung, die den allgemeinen Stand der Technik definiert, aber nicht als besonders bedeutsam anzusehen ist

"E" frühere Anmeldung oder Patent, die bzw. das jedoch erst am oder nach dem internationalen Anmeldedatum veröffentlicht worden ist

"L" Veröffentlichung, die geeignet ist, einen Prioritätsanspruch zweifelhaft erscheinen zu lassen, oder durch die das Veröffentlichungsdatum einer anderen im Recherchenbericht genannten Veröffentlichung belegt werden soll oder die aus einem anderen besonderen Grund angegeben ist (wie ausgeführt)

"O" Veröffentlichung, die sich auf eine mündliche Offenbarung, eine Benutzung, eine Ausstellung oder andere Maßnahmen bezieht

"P" Veröffentlichung, die vor dem internationalen Anmeldedatum, aber nach dem beanspruchten Prioritätsdatum veröffentlicht worden ist

"T" Spätere Veröffentlichung, die nach dem internationalen Anmeldedatum oder dem Prioritätsdatum veröffentlicht worden ist und mit der Anmeldung nicht kollidiert, sondern nur zum Verständnis des der Erfindung zugrundeliegenden Prinzips oder der ihr zugrundeliegenden Theorie angegeben ist

"X" Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann allein aufgrund dieser Veröffentlichung nicht als neu oder auf erfinderischer Tätigkeit beruhend betrachtet werden

"Y" Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann nicht als auf erfinderischer Tätigkeit beruhend betrachtet werden, wenn die Veröffentlichung mit einer oder mehreren Veröffentlichungen dieser Kategorie in Verbindung gebracht wird und diese Verbindung für einen Fachmann naheliegend ist

"&" Veröffentlichung, die Mitglied derselben Patentfamilie ist

Datum des Abschlusses der internationalen Recherche

24. Mai 2012

Absendedatum des internationalen Recherchenberichts

04/06/2012

Name und Postanschrift der Internationalen Recherchenbehörde

Europäisches Patentamt, P.B. 5818 Patentlaan 2
NL - 2280 HV Rijswijk
Tel. (+31-70) 340-2040,
Fax: (+31-70) 340-3016

Bevollmächtigter Bediensteter

Simon, Volker

INTERNATIONALER RECHERCHENBERICHT

Angaben zu Veröffentlichungen, die zur selben Patentfamilie gehören

Internationales Aktenzeichen

PCT/DE2011/050058

Im Recherchenbericht angeführtes Patentdokument		Datum der Veröffentlichung		Mitglied(er) der Patentfamilie		Datum der Veröffentlichung
US 2011002073	A1	06-01-2011	CN	101911490 A		08-12-2010
			JP	2010062737 A		18-03-2010
			US	2011002073 A1		06-01-2011
			WO	2010026676 A1		11-03-2010

US 2004027762	A1	12-02-2004	CN	1476136 A		18-02-2004
			DE	10334832 A1		18-03-2004
			JP	3883925 B2		21-02-2007
			JP	2004064930 A		26-02-2004
			US	2004027762 A1		12-02-2004

EP 0687066	A1	13-12-1995	DE	69421075 D1		11-11-1999
			DE	69421075 T2		02-03-2000
			EP	0687066 A1		13-12-1995
			JP	8107629 A		23-04-1996
			US	5710690 A		20-01-1998

EP 0844720	A2	27-05-1998	DE	19648562 A1		04-06-1998
			EP	0844720 A2		27-05-1998
