

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第6部門第3区分

【発行日】平成30年4月26日(2018.4.26)

【公表番号】特表2017-509998(P2017-509998A)

【公表日】平成29年4月6日(2017.4.6)

【年通号数】公開・登録公報2017-014

【出願番号】特願2016-559352(P2016-559352)

【国際特許分類】

G 06 F 12/08 (2016.01)

【F I】

G 06 F 12/08 505 C

G 06 F 12/08 543 B

【手続補正書】

【提出日】平成30年3月15日(2018.3.15)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

キャッシュデータをキャッシュにプリフェッチするための適応キャッシュプリフェッチ回路であって、

キャッシュミスに基づいて、少なくとも1つのミス状態手段を更新するためのミス追跡手段であって、前記キャッシュミスが、少なくとも1つの第1の専用プリフェッチポリシーが適用されるキャッシュ内の少なくとも1つの第1の専用キャッシュセットと、前記少なくとも1つの第1の専用プリフェッチポリシーとは異なる少なくとも1つの第2の専用プリフェッチポリシーが適用される前記キャッシュ内の少なくとも1つの第2の専用キャッシュセットとにおける、アクセスされたキャッシュエントリから生じる、ミス追跡手段と、

前記ミス追跡手段の前記少なくとも1つのミス状態手段に基づいて、前記少なくとも1つの第1の専用プリフェッチポリシーおよび前記少なくとも1つの第2の専用プリフェッチポリシーの中からプリフェッチポリシーを選択するためのプリフェッチフィルタ手段とを備える適応キャッシュプリフェッチ回路。

【請求項2】

前記ミス追跡手段は、少なくとも1つの第1の専用プリフェッチポリシーが適用されるキャッシュ内の少なくとも1つの第1の専用キャッシュセットと、前記少なくとも1つの第1の専用プリフェッチポリシーとは異なる少くとも1つの第2の専用プリフェッチポリシーが適用される前記キャッシュ内の少なくとも1つの第2の専用キャッシュセットとにおける、アクセスされたキャッシュエントリから生じるキャッシュミスに基づいて、少なくとも1つのミス状態を更新するように構成されたミス追跡回路であり、

前記プリフェッチフィルタ手段は、前記ミス追跡回路の前記少なくとも1つのミス状態に基づいて、前記少なくとも1つの第1の専用プリフェッチポリシーおよび前記少なくとも1つの第2の専用プリフェッチポリシーの中からプリフェッチポリシーを選択するように構成されたプリフェッチフィルタである、

請求項1に記載の適応キャッシュプリフェッチ回路。

【請求項3】

前記少なくとも1つの第1の専用プリフェッチポリシーが、第1の専用プリフェッチポリシーから成り、

前記少なくとも1つの第2の専用プリフェッチポリシーが、第2の専用プリフェッチポリシーから成り、

前記プリフェッチフィルタが、前記ミス追跡回路の前記少なくとも1つのミス状態に基づいて、前記少なくとも1つの第1の専用プリフェッチポリシーおよび前記少なくとも1つの第2の専用プリフェッチポリシーの中から前記プリフェッチポリシーを選択するように構成される、

請求項2に記載の適応キャッシュプリフェッチ回路。

【請求項4】

前記第1の専用プリフェッチポリシーが、非プリフェッチポリシーから成り、

前記第2の専用プリフェッチポリシーが、常時プリフェッチポリシーから成る、
請求項3に記載の適応キャッシュプリフェッチ回路。

【請求項5】

前記プリフェッチフィルタが、プリフェッチ制御回路によって発行された、前記キャッシュを充填させるためのプリフェッチ要求に適用されるべき前記プリフェッチポリシーを選択するようにさらに構成される、または、

前記ミス追跡回路が、少なくとも1つのミスカウンタから成り、前記少なくとも1つのミス状態が、少なくとも1つのミスカウントから成り、

前記少なくとも1つのミスカウンタが、前記少なくとも1つの第1の専用キャッシュセットおよび前記少なくとも1つの第2の専用キャッシュセットにおける前記アクセスされたキャッシュエントリから生じる前記キャッシュミスに基づいて、前記少なくとも1つのミスカウントを更新するように構成され、

前記プリフェッチフィルタが、前記少なくとも1つのミスカウンタの前記少なくとも1つのミスカウントに基づいて、前記少なくとも1つの第1の専用プリフェッチポリシーおよび前記少なくとも1つの第2の専用プリフェッチポリシーの中から前記プリフェッチポリシーを選択するように構成される、

請求項2に記載の適応キャッシュプリフェッチ回路。

【請求項6】

前記ミス追跡回路が、ミス飽和インジケータから成り、前記少なくとも1つのミス状態が、ミス状態から成り、

前記ミス飽和インジケータが、前記少なくとも1つの第1の専用キャッシュセットおよび前記少なくとも1つの第2の専用キャッシュセットにおける前記アクセスされたキャッシュエントリから生じる前記キャッシュミスに基づいて、前記ミス状態を更新するように構成され、

前記プリフェッチフィルタが、前記ミス飽和インジケータの前記ミス状態に基づいて、前記少なくとも1つの第1の専用プリフェッチポリシーおよび前記少なくとも1つの第2の専用プリフェッチポリシーの中から前記プリフェッチポリシーを選択するように構成される、

請求項2に記載の適応キャッシュプリフェッチ回路。

【請求項7】

前記ミス飽和インジケータが、ミス飽和カウンタから成り、前記ミス状態が、ミス飽和カウントから成り、

前記ミス飽和カウンタが、前記少なくとも1つの第1の専用キャッシュセットおよび前記少なくとも1つの第2の専用キャッシュセットにおける前記アクセスされたキャッシュエントリから生じる前記キャッシュミスに基づいて、前記ミス飽和カウントを更新するように構成され、

前記プリフェッチフィルタが、前記ミス飽和カウンタの前記ミス飽和カウントに基づいて、前記少なくとも1つの第1の専用プリフェッチポリシーおよび前記少なくとも1つの第2の専用プリフェッチポリシーの中から前記プリフェッチポリシーを選択するように構成される、

請求項6に記載の適応キャッシュプリフェッチ回路。

【請求項 8】

前記ミス飽和カウンタが、

前記少なくとも1つの第1の専用プリフェッчポリシーが適用される前記キャッシュ内の前記少なくとも1つの第1の専用キャッシュセットにおける前記アクセスされたキャッシュエントリから生じる前記キャッシュミスに基づいて、前記ミス飽和カウントを増分または減分することによって、前記ミス飽和カウントを更新し、

前記少なくとも1つの第1の専用プリフェッчポリシーとは異なる前記少なくとも1つの第2の専用プリフェッчポリシーが適用される前記キャッシュ内の前記少なくとも1つの第2の専用キャッシュセットにおける前記アクセスされたキャッシュエントリから生じる前記キャッシュミスに基づいて、前記ミス飽和カウントをそれぞれ減分または増分することによって、前記ミス飽和カウントを更新する

ように構成されることによって、前記ミス飽和カウントを更新するように構成される、または

前記プリフェッчフィルタが、前記ミス飽和カウンタの前記ミス飽和カウント内の少なくとも1つの有効ビットに基づいて、選択的に前記少なくとも1つの第1の専用プリフェッчポリシーおよび前記少なくとも1つの第2の専用プリフェッчポリシーの中から、プリフェッч制御回路によって発行されたプリフェッч要求に適用されるべき前記プリフェッчポリシーを選択しないようにさらに構成される、請求項7に記載の適応キャッシュプリフェッч回路。

【請求項 9】

前記ミス追跡回路が、各々がミス状態を含む複数のミスインジケータから成り、前記複数のミスインジケータの各々が、前記少なくとも1つの第1の専用キャッシュセットおよび前記少なくとも1つの第2の専用キャッシュセットの中の専用キャッシュセットに関連付けられ、

前記複数のミスインジケータがそれぞれ、前記キャッシュ内の前記少なくとも1つの第1の専用キャッシュセットおよび前記少なくとも1つの第2の専用キャッシュセットの中の前記専用キャッシュセットにおける前記アクセスされたキャッシュエントリから生じる前記キャッシュミスに基づいて、関連するミス状態を更新するようにさらに構成され、

前記プリフェッчフィルタが、前記複数のミスインジケータにおける前記少なくとも1つのミス状態の比較に基づいて、前記少なくとも1つの第1の専用プリフェッчポリシーおよび前記少なくとも1つの第2の専用プリフェッчポリシーの中から前記プリフェッчポリシーを選択するように構成される、または

前記プリフェッчフィルタが、前記ミス追跡回路の前記少なくとも1つのミス状態に基づいて、選択的に前記少なくとも1つの第1の専用プリフェッчポリシーおよび前記少なくとも1つの第2の専用プリフェッчポリシーの中から前記プリフェッчポリシーを選択しないようにさらに構成される、請求項2に記載の適応キャッシュプリフェッч回路。

【請求項 10】

前記プリフェッчフィルタが、前記少なくとも1つの第1の専用プリフェッчポリシーまたは前記少なくとも1つの第2の専用プリフェッчポリシーを常に選択しないようにさらに構成される、または

前記プリフェッчフィルタが、

前記ミス追跡回路の前記少なくとも1つのミス状態に基づいて、前記少なくとも1つの第1の専用プリフェッчポリシーまたは前記少なくとも1つの第2の専用プリフェッчポリシーが、プリフェッч制御回路によって発行されたプリフェッч要求に適用されるべきかどうかを確率的に判断し、

前記確率的な判断に基づいて、前記プリフェッч制御回路によって発行された前記プリフェッч要求に適用されるべき前記少なくとも1つの第1の専用プリフェッчポリシーまたは前記少なくとも1つの第2の専用プリフェッчポリシーを選択するようにさらに構成される、または、

適応キャッシュプリフェッч回路が、

各々が1つまたは複数のキャッシュエントリを記憶するように構成された複数のキャッシュセットを含む前記キャッシュであって、前記複数のキャッシュセットが、

前記少なくとも1つの第1の専用プリフェッчポリシーに基づいて、プリフェッчされたキャッシュデータを受信するように構成された前記少なくとも1つの第1の専用キャッシュセットと、

前記少なくとも1つの第2の専用プリフェッчポリシーに基づいて、前記プリフェッчされたキャッシュデータを受信するように構成された前記少なくとも1つの第2の専用キャッシュセットと、

前記少なくとも1つの第1の専用プリフェッчポリシーまたは前記少なくとも1つの第2の専用プリフェッчポリシーのいずれかに基づいて、前記プリフェッчされたキャッシュデータを受信するように構成された少なくとも1つのフォロワキャッシュセットと

を含む、前記キャッシュと、

メモリアドレスを含むメモリアクセス要求を受信し、前記メモリアドレスに対応するキャッシュエントリが前記キャッシュに含まれるかどうかを判断するように構成されたキャッシュコントローラと、

前記プリフェッчポリシーに従って前記プリフェッчされたキャッシュデータを前記キャッシュ内の前記複数のキャッシュセットにプリフェッчするためのプリフェッч要求を発行するように構成されたプリフェッч制御回路と

を備える、請求項2に記載の適応キャッシュプリフェッч回路。

【請求項11】

集積回路(IC)の中に配設される、または、

セットトップボックス、エンターテインメントユニット、ナビゲーションデバイス、通信デバイス、固定ロケーションデータユニット、モバイルロケーションデータユニット、モバイルפון、セルラーフון、コンピュータ、ポータブルコンピュータ、デスクトップコンピュータ、携帯情報端末(PDA)、モニタ、コンピュータモニタ、テレビジョン、チューナー、ラジオ、衛星ラジオ、音楽プレーヤ、デジタル音楽プレーヤ、ポータブル音楽プレーヤ、デジタルビデオプレーヤ、ビデオプレーヤ、デジタルビデオディスク(DVD)プレーヤ、およびポータブルデジタルビデオプレーヤから成る群から選択されたデバイスに統合される、請求項1に記載の適応キャッシュプリフェッч回路。

【請求項12】

専用キャッシュセットにおける専用プリフェッчポリシーを競合させることに基づいた適応キャッシュプリフェッчングの方法であって、

キャッシュ内でアドレス指定されるべきメモリアドレスを含むメモリアクセス要求を受信するステップと、

前記メモリアドレスに対応する、前記キャッシュ内の複数のキャッシュエントリの中のアクセスされたキャッシュエントリが、前記キャッシュに含まれるかどうかを判断することによって、前記メモリアクセス要求がキャッシュミスであるかどうかを判断するステップと、

少なくとも1つの第1の専用プリフェッчポリシーが適用される前記キャッシュ内の少なくとも1つの第1の専用キャッシュセットと、前記少なくとも1つの第1の専用プリフェッчポリシーとは異なる少なくとも1つの第2の専用プリフェッчポリシーが適用される前記キャッシュ内の少なくとも1つの第2の専用キャッシュセットとにおける、前記アクセスされたキャッシュエントリから生じる前記キャッシュミスに基づいて、ミス追跡回路の少なくとも1つのミス状態を更新するステップと、

キャッシュデータを前記キャッシュ内の複数のキャッシュセットの中のフォロワキャッシュセットにおけるキャッシュエントリにプリフェッчするためのプリフェッч要求を発行するステップと、

前記ミス追跡回路の前記少なくとも1つのミス状態に基づいて、前記少なくとも1つの第1の専用プリフェッчポリシーおよび前記少なくとも1つの第2の専用プリフェッчポリシーの中から、前記プリフェッч要求に適用されるべきプリフェッчポリシーを選択するス

テップと、

前記選択されたプリフェッчポリシーに基づいて、前記プリフェッчされたキャッシュデータを前記フォロワキャッシュセットにおける前記キャッシュエントリに充填するステップと

を含む方法。

【請求項 1 3】

前記ミス追跡回路の前記少なくとも1つのミス状態を更新するステップが、

非プリフェッчポリシーが適用される前記キャッシュ内の前記少なくとも1つの第1の専用キャッシュセットにおける前記アクセスされたキャッシュエントリから生じる前記キャッシュミスに基づいて、前記ミス追跡回路の前記少なくとも1つのミス状態を更新するステップと、

常時プリフェッчポリシーが適用される前記キャッシュ内の前記少なくとも1つの第2の専用キャッシュセットにおける前記アクセスされたキャッシュエントリから生じる前記キャッシュミスに基づいて、前記ミス追跡回路の前記少なくとも1つのミス状態を更新するステップと

を含む、または、

前記方法が、前記選択されたプリフェッчポリシーとしての前記少なくとも1つの第1の専用プリフェッчポリシーまたは前記選択されたプリフェッчポリシーとしての前記少なくとも1つの第2の専用プリフェッчポリシーを無視するステップをさらに含み、

前記方法が、前記少なくとも1つの第1の専用プリフェッчポリシーまたは前記少なくとも1つの第2の専用プリフェッчポリシーが前記選択されたプリフェッчポリシーとして選択されるべきかどうかを確率的に判断するステップをさらに含み、

記プリフェッчされたキャッシュデータを充填するステップが、前記確率的に判断されたプリフェッчポリシーに基づいて、前記プリフェッчされたキャッシュデータを前記フォロワキャッシュセットにおける前記キャッシュエントリに充填するステップを含む、
請求項12に記載の方法。

【請求項 1 4】

前記ミス追跡回路の前記少なくとも1つのミス状態を更新するステップが、前記少なくとも1つの第1の専用プリフェッчポリシーが適用される前記キャッシュ内の前記少なくとも1つの第1の専用キャッシュセットと、前記少なくとも1つの第1の専用プリフェッчポリシーとは異なる前記少なくとも1つの第2の専用プリフェッчポリシーが適用される前記キャッシュ内の前記少なくとも1つの第2の専用キャッシュセットとにおける、前記アクセスされたキャッシュエントリから生じる前記キャッシュミスに基づいて、少なくとも1つのミスカウンタの少なくとも1つのミスカウントを更新するステップを含み、

前記プリフェッчポリシーを選択するステップが、前記少なくとも1つのミスカウンタの前記少なくとも1つのミスカウントに基づいて、前記少なくとも1つの第1の専用プリフェッчポリシーおよび前記少なくとも1つの第2の専用プリフェッчポリシーの中から、前記プリフェッч要求に適用されるべき前記プリフェッчポリシーを選択するステップを含む、

請求項12に記載の方法。

【請求項 1 5】

プロセッサベースの適応キャッシュプリフェッч回路に、請求項12～14のいずれか一項に記載の方法を実行させるコンピュータ実行可能命令を記憶した非一時的コンピュータ可読記憶媒体。