

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第3645357号

(P3645357)

(45) 発行日 平成17年5月11日(2005.5.11)

(24) 登録日 平成17年2月10日(2005.2.10)

(51) Int. Cl.<sup>7</sup>

F I

H O 1 L 21/8242

H O 1 L 27/10 6 2 1 B

H O 1 L 21/822

H O 1 L 27/04 C

H O 1 L 27/04

H O 1 L 27/10 4 4 4 B

H O 1 L 27/105

H O 1 L 27/108

請求項の数 10 (全 9 頁)

(21) 出願番号 特願平8-124112  
 (22) 出願日 平成8年4月22日(1996.4.22)  
 (65) 公開番号 特開平8-306886  
 (43) 公開日 平成8年11月22日(1996.11.22)  
 審査請求日 平成13年4月25日(2001.4.25)  
 (31) 優先権主張番号 95106101.9  
 (32) 優先日 平成7年4月24日(1995.4.24)  
 (33) 優先権主張国 オーストリア(AT)

前置審査

(73) 特許権者 390039413  
 シーメンス アクチエンゲゼルシャフト  
 Siemens Aktiengesell  
 schaft  
 ドイツ連邦共和国 D-80333 ミュ  
 ンヘン ヴィッテルスバッハープラッツ  
 2  
 (74) 代理人 100075166  
 弁理士 山口 巖  
 (72) 発明者 デイトリツヒ ウイトマン  
 ドイツ連邦共和国 82008 ウンター  
 ハッヒング ルートヴィツヒ シュトイプ  
 シュトラーセ 2

最終頁に続く

(54) 【発明の名称】 コンデンサおよび半導体メモリデバイスの製造方法

(57) 【特許請求の範囲】

【請求項1】

半導体基板の上に形成された半導体回路装置において誘電体(13)ならびに第1(11)および第2(12)のコンデンサ電極を有するコンデンサ(9)を製造するための方法において、

半導体回路装置の基板の上に被覆された層(16)にトレンチ(18)を形成する工程と、トレンチ(18)の側壁にトレンチ(18)の内側の第2のコンデンサ電極(12)に対する導電性層(19)を少なくとも部分的に同形析出する工程と、第2のコンデンサ電極(12)に対する導電性層(19)の上にトレンチ(18)の内側に誘電体(13)に対するスペーサとしての役割をする補助層(20)を同形析出する工程と、補助層(20)の上にトレンチ(18)の内側に第1のコンデンサ電極(11)に対する導電性層(23)を同形析出する工程と、補助層(20)を少なくとも部分的に除去し、またそれにより第1および第2のコンデンサ電極に対する両導電性層(19、23)の間の少なくとも1つの部分範囲に中空層(25)を露出させる工程と、第1および第2のコンデンサ電極に対する両導電性層(19、23)の間の露出された中空層(25)に誘電体(13)を析出する工程とを含んでいることを特徴とするコンデンサの製造方法。

【請求項2】

誘電性層を析出する工程がスピノン技術により実行されることを特徴とする請求項1記載のコンデンサの製造方法。

【請求項3】

誘電体（１３）が溶剤に入れられた、レジスト状の粘性を有する物質として被覆され、またはスピノンされることを特徴とする請求項１記載のコンデンサの製造方法。

【請求項４】

誘電体（１３）が強誘電性のゲルであることを特徴とする請求項１記載のコンデンサの製造方法。

【請求項５】

強誘電性のゲルが鉛－ジルコン－チタン酸塩（PZT）および／またはストロンチウム－タンタル酸塩化合物を有することを特徴とする請求項４記載のコンデンサの製造方法。

【請求項６】

誘電体（１３）に対するスペーサとしての役割をする補助層（２０）がSiO<sub>2</sub>を有することを特徴とする請求項１記載のコンデンサの製造方法。

10

【請求項７】

トレンチ（１８）の深さが層（１６）の厚みに一致していることを特徴とする請求項１記載のコンデンサの製造方法。

【請求項８】

半導体基板の上に配置された多数のメモリセル（１）を有しその各々が半導体基板表面の平面（２１）に配置され、かつそれぞれゲート端子（８）ならびに第１の電極端子（５）および第２の電極端子（６）を有する選択トランジスタ（３）と、選択トランジスタ（３）に対応付けられかつこの選択トランジスタにより駆動可能で強誘電性の誘電体（１３）ならびに第１のコンデンサ電極（１１）および第２のコンデンサ電極（１２）を有するメモリコンデンサ（９）とを有し、前記選択トランジスタ（３）の各ゲート端子（８）が半導体メモリデバイスのワード線（７）と、選択トランジスタ（３）の各第１の電極端子（５）がビット線（４）と、そしてメモリコンデンサ（９）の各第１のコンデンサ電極（１１）が導電性材料から成る共通の導体層（１０）とそれぞれ接続されている半導体メモリデバイスを製造するための方法において、

20

選択トランジスタ（３）に対応付けられ、かつ強誘電性の誘電体（１３）を有するメモリコンデンサ（９）が、選択トランジスタ（３）ならびにワードおよびビット線（４、７）の接続のためのその付属の金属化層の製造後に、半導体基板の表面に対して平行に配置された選択トランジスタ（３）の平面（２１）に向かって突出している配置において以下に述べる工程、即ち、

30

強誘電性の誘電体（１３）を有するメモリコンデンサ（９）が選択トランジスタ（３）の完成後に、絶縁性のカバー層（１５）を全面被覆する工程と、選択トランジスタ（３）の第２の電極端子（６）への接触金属化層（１６）を形成する工程と、絶縁性のカバー層（１５）まで達するトレンチ（１８）を接触金属化層（１６）の内側にエッチングする工程と、トレンチ（１８）の内側の第２のコンデンサ電極（１２）に対する導電性層（１９）をトレンチ（１８）の側壁に同形析出する工程と、第２のコンデンサ電極（１２）に対する導電性層（１９）の上にトレンチ（１８）の内側に強誘電性の誘電体（１３）に対するスペーサとしての役割をする補助層（２０）を同形析出する工程と、補助層（２０）の上にトレンチ（１８）の内側に第１のコンデンサ電極（１１）に対する導電性層（２３）を同形析出する工程と、補助層（２０）を少なくとも部分的に除去し、かつそれにより第１および第２のコンデンサ電極に対する両導電性層（１９、２３）の間の中空層（２５）を露出させる工程と、第１および第２のコンデンサ電極に対する両導電性層（１９、２３）の間の露出された中空層（２５）のなかに強誘電性の誘電体（１３）を析出する工程とを経て製造され、

40

その際に強誘電性の誘電体（１３）を有するメモリコンデンサ（９）が選択トランジスタ（３）の第２の電極端子（６）に対する接触金属化層（１６）に形成されたトレンチ（１８）のなかに配置され、トレンチ（１８）の深さが接触金属化層（１６）の層厚みに一致していることを特徴とする半導体メモリデバイスの製造方法。

【請求項９】

強誘電性の誘電体（１３）を有する誘電性層を析出する工程がスピノン技術により実

50

行されることを特徴とする請求項 8 記載の半導体メモリデバイスの製造方法。

【請求項 10】

トレンチ (18) の内側輪郭に対して同形析出された第 2 のコンデンサ電極 (12) に対する導電性層 (19) が、少なくとも第 2 のコンデンサ電極に対する導電性層 (19) のトレンチの外側の平らに析出された部分 (24) が除去されるまで、バックエッチングされることを特徴とする請求項 8 記載の半導体メモリデバイスの製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体基板の上に形成された半導体回路装置において誘電体ならびに第 1 および第 2 のコンデンサ電極を有するコンデンサを製造するための方法、および半導体基板の上に配置された多数のメモリセルを有しその各々が半導体基板の表面に対してほぼ平行に延びている平面のなかに配置されまたそれぞれゲート端子ならびに第 1 の電極端子および第 2 の電極端子を有する選択トランジスタと、選択トランジスタに対応付けられまたこの選択トランジスタにより駆動可能で強誘電性の誘電体ならびに第 1 のコンデンサ電極および第 2 のコンデンサ電極を有するメモリコンデンサとを有し、その際に選択トランジスタの各ゲート端子が半導体メモリデバイスのワード線と、選択トランジスタの各第 1 の電極端子がビット線と、またメモリコンデンサの各第 1 のコンデンサ電極が導電性材料から成る共通の導体層と接続されている半導体メモリデバイスに関し、またこのような半導体メモリデバイスを製造するための方法に関する。

【0002】

【従来の技術】

強誘電性の誘電体を有するメモリコンデンサを有するこのような半導体メモリデバイス (いわゆる F R A M) はたとえばモアザミ (R. Moazzami) ほか著「V L S I テクノロジー・シンポジウム論文集 (Symposium on VLSI Technology Digest of Technical Papers) 1994」第 55 頁以降およびタツミ・スミほか著「I E E 国際固体回路会議 (IEEE International Solid-State Circuits Conference) 1994」第 268 頁以降から知られている。これらの半導体メモリデバイスでは強誘電性の誘電体を有するメモリコンデンサが平らに構成されており、また配線に基づいてビットあたり大きなセル面積を有するが、このことは要望される高い集積密度を考慮すると欠点であると考えられる。まだ問題が残されているが、強誘電性メモリまたは F R A M は大きな将来性が期待されている。それらは現在の半導体メモリ (D R A M、S R A M、E E P R O M、フラッシュ E E P R O M) を完全に押し退けることができよう。F R A M の利点はなかならず短いプログラミング時間 ( $> 20 \text{ ns}$ )、低いプログラミング電圧 (集積回路の約 3 V の供給電圧以下)、プログラミングの際の低いエネルギー消費 (電荷ポンプを必要としない) ならびに頻繁なプログラミング可能性 (E E P R O M における  $10^5$  にくらべて  $10^{12}$  が実証され、 $10^{15}$  が期待される) にある。強誘電性層に対して特に今日の時点で有望と思われる材料はたとえば鉛 - ジルコン - チタン酸塩、ストロンチウム - タンタル酸塩またはそれらの化合物である。F R A M の急速な導入を妨げている問題の一つは、集積回路の製造プロセスとの両立性がまだ解決されていないことである。特に、強誘電性のメモリキャパシタンスに白金電極を必要とすること、また強誘電性のゲルの被覆のために比較的大きな層厚み、従ってまた面積をとるキャパシタンスと結び付けられている現時点で通常の遠心技術を必要とすることは半導体テクノロジーでの正当化可能な使用を妨げており、従って F R A M の製造のための量産に適したプロセスはこれまでに知られていない。ここで、強誘電性の誘電体に対する比較的複雑な材料の析出およびそれと関連して満足できかつプロセスに適したソースの問題、さらに、ひび割れ、漏れ電流、温度の影響および電極付着に基づく層の不十分な品質がプロセス集積の問題に関係することも考慮に入れなければならない。その際に特にこれまでに知られている強誘電性の材料は水素に特に敏感に反応し、これは半導体メモリデバイスの公知の製造方法ではほとんど抑制され得ず、またそこに特にプラズマ析出プロセスおよびプラズマエッチングプロセスの際に問題となる。

10

20

30

40

50

## 【0003】

これらのF R A Mセルとならんで、メモリコンデンサの誘電体に対する従来からの材料を有する高密度に集積されたD R A M半導体メモリも知られている。その際に、現在約256メガバイトまでのメモリ容量を有するD R A M半導体メモリを実現するため、セル面積が小さくなる際にもたとえばセルあたり20 f Fよりも大きい十分なキャパシタンスを達成するために、高い誘電定数を有する誘電体が使用される。この目的に対して今日までたいていの場合にO N O層が使用されるが、しかしその際には、漏れ電流が厚みの一層の減少の際に予め定められた限界値を越えて上昇し、また十分なキャパシタンス（面積）がトレンチまたはスタックコンデンサのような高コストの構造によってのみ得られるので、テクノロジー的な限界がしばしば認められる。これらの理由から、ますますメモリコンデンサの誘電体に対して十分に高い誘電定数を有する新しい材料が使用されているが、これまでに知られている代替的な誘電性材料は半導体メモリデバイスを製造するために従来使用される方法で生ずる通常の負荷、特にプロセス温度に対する安定性、望ましくない化学的反応などに非常に敏感である。

10

## 【0004】

## 【発明が解決しようとする課題】

このような従来技術から出発して、本発明の課題は半導体回路装置におけるコンデンサを製造するための方法、ならびに相応に高い信頼性および品質において従来からのD R A M回路にはほぼ比較可能な集積密度を有する強誘電性のメモリキャパシタンスを有する半導体メモリデバイスを提供すること、またこのような半導体メモリデバイスを製造するための方法であって、比較的わずかなコストで既存のプロセスラインにおいて集積可能であり、量産に適しており、すなわちできるだけ少ない早期故障において強誘電性のメモリコンデンサを有する完成した半導体メモリデバイスの高い収率を可能にする方法を提供することである。

20

## 【0005】

## 【課題を解決するための手段】

これらの課題は、本発明によれば、請求項1によるコンデンサの製造方法、請求項8による半導体メモリデバイスの製造方法および請求項12による半導体メモリデバイスにより解決される。

## 【0006】

請求項1によるコンデンサの製造方法において誘電性層を析出する工程は好ましくはスピンのオン技術により実行される。本発明の原理に従って、粘性のあるレジスト状のコンシステンシーに基づいて好ましくはスピン・オン技術で被覆され得る誘電性層がナノメートル範囲内の厚みで被覆され得る。

30

## 【0007】

その際にスピン・オン技術により、好ましくは溶剤のなかに入れられた物質として存在している誘電体の材料が第1および第2のコンデンサ電極に対する両導電性層の間の露出された中空層のなかにも析出され得る。

## 【0008】

本発明の好ましい実施態様では、誘電体はスピン・オン技術により被覆される強誘電性のゲルである。さらに、誘電体はスピン・オン技術で被覆すべき必ずしも強誘電性ではない他の物質、すなわち既知の物質にくらべて大きい誘電定数を有する誘電体に対する物質であってもよい。

40

## 【0009】

本発明によればさらに、請求項8に記載した種類の半導体メモリデバイスにおいて、選択トランジスタに対応付けられまた強誘電性の誘電体を有するメモリコンデンサが基板表面の平面向かって突出している配置を有する。その際に強誘電性の誘電体を有するメモリコンデンサは選択トランジスタの第2の電極端子まで達するトレンチの内側に配置されており、その際にトレンチの深さは接触金属化層の層厚みと一致している。突出している配置のなかにも強誘電性の誘電体を有するメモリコンデンサを構成することは、F R A Mセル

50

の面積ができるだけ小さい場合にも十分なキャパシタンスを達成することを可能にし、その際に基板表面の平面に向かって突出している強誘電性のメモリコンデンサの配置を有する本発明による構成、すなわち所望の高い集積密度に関して臨界的とみなすべき強誘電体の構成は、この点に関してそれほど臨界的でないメモリセルの構成部分、すなわち電極を含めて完全な金属化層を有する選択トランジスタの完全な製造後に、好ましくはスピントン技術により被覆すべき強誘電性のゲルが両コンデンサ電極の間に形成される薄い中空層の内側に入れられ、その際に中空層が同じく基板表面の平面に向かって突出している配置を有することにより可能にされる。

**【0010】**

本発明の原理に従って、基板表面の平面に向かって突出しているメモリコンデンサの配置はほぼ円筒対称に構成されており、基板表面の平面に対して少なくとも近似的に垂直に延びている円筒中心軸線を有する。

10

**【0011】**

トレンチの内側に形成されたメモリコンデンサの第2のコンデンサ電極はトレンチの垂直な側壁に同形析出された金属スペーサとして構成されてよい。

**【0012】**

さらに好ましい実施態様では、メモリコンデンサの第1のコンデンサ電極が、トレンチの内側に形成されており、トレンチの長手方向と同軸にまた第2のコンデンサ電極と向かい合って延びている電極部分を有し、また強誘電性の誘電体が少なくとも第1のコンデンサ電極の電極部分と第2のコンデンサ電極との間に配置されている。その際に、メモリコンデンサの第1のコンデンサ電極はコップ状に第2のコンデンサ電極の内側に構成されてよい。

20

**【0013】**

本発明による方法では、選択トランジスタに対応付けられまた強誘電性の誘電体を有するメモリコンデンサが選択トランジスタならびにそのワードおよびビット線の接続のための付属の金属化層の製造後に、半導体基板の表面に対してほぼ平行に配置された選択トランジスタの平面に向かって突出している配置において製造される。その際に強誘電性の誘電体を有するメモリコンデンサは選択トランジスタの第2の電極端子に対するいずれにせよ存在している接触金属化層に形成されたトレンチのなかに配置されており、その際にトレンチの深さは接触金属化層の層厚みに一致している。

30

**【0014】**

本発明による方法の基礎となっているものは先ず、強誘電性の材料が半導体メモリデバイスを製造するためのプロセス工程において、選択トランジスタに対応付けられているすべての電極を含めて完全な金属層と一緒に完全に構成された選択トランジスタの完成後に初めて誘電性の材料が被覆され、また必要な結晶化の実行のために熱処理を受けることにより、半導体メモリデバイスまたはその製造のためのプロセス工程に成功裡に組み入れられ得るという認識である。

**【0015】**

本発明による方法は、RAMセルと同様に占有面積の小さいFRAMメモリデバイスの製造を既存のプロセス工程に組み入れ可能なプロセス工程により可能にする。その際に強誘電性の誘電体の層厚みは好ましくはナノメートル範囲内に正確に設定され得る。

40

**【0016】**

本発明の原理に従って、強誘電性の誘電体を有するメモリコンデンサを有する半導体メモリデバイスを製造するための方法は選択トランジスタの完成後に、絶縁性のカバー層を全面被覆する工程と、選択トランジスタの第2の電極端子への接触金属化層を形成する工程と、絶縁性のカバー層まで達するトレンチを接触金属化層の内側にエッチングする工程と、トレンチの内側の第2のコンデンサ電極に対する導電性層をトレンチの側壁に同形析出する工程と、第2のコンデンサ電極に対する導電性層の上にトレンチの内側に強誘電性の誘電体に対するスペーサとしての役割をする補助層を同形析出する工程と、補助層の上にトレンチの内側に第1のコンデンサ電極に対する導電性層を同形析出する工程と、補助層

50

を少なくとも部分的に除去し、またそれにより第1および第2のコンデンサ電極に対する両導電性層の間の中空層を露出させる工程と、第1および第2のコンデンサ電極に対する両導電性層の間の露出された中空層に強誘電性の誘電体を析出する工程とにより製造される。

#### 【0017】

強誘電性の誘電体を誘電体誘電性層を析出する工程はスピン・オン技術により実行されると有利である。

#### 【0018】

本発明による方法の特に好ましいプロセス工程は、トレンチの内側輪郭に対して同形析出された第2のコンデンサ電極に対する導電性層が、少なくとも第2のコンデンサ電極に対する導電性層のトレンチの外側の平らに析出された部分が除去されるまで、バックエッチングされることを特徴とする。こうして両コンデンサ電極の電氣的短絡の危険が避けられる。

10

#### 【0019】

本発明による半導体メモリデバイスおよびその製造方法の特に好ましい実施態様では、強誘電性の誘電体は、特に鉛-ジルコン-チタン酸塩(PZT)および/またはストロンチウム-タンタル酸塩化合物を有する強誘電性のゲルである。

#### 【0020】

さらに、第1および/または第2のコンデンサ電極に対する層の材料は好ましくはチタンおよび/または白金を有し、その際に第1および/または第2のコンデンサ電極に対する層は多重層として、好ましくはチタン/チタン窒化物/白金またはチタン/チタン窒化物/タングステンの層列を有する多重層として構成することができる。

20

#### 【0021】

##### 【実施例】

以下、図面に示されている実施例により本発明を一層詳細に説明する。

#### 【0022】

図1の等価回路によるFRAMセル1を有する半導体メモリデバイスは、半導体基板2の上に構成されており、タングステンまたはポリサイドから製造されたビット線4に接続されている第1の電極端子5(ソース)、第2の電極端子6(ドレイン)および $n^+$ -ポリ-Siまたはポリサイドから製造されたワード線7に接続されているゲート端子8を有する好ましくはMOS形式の選択トランジスタ3と、共通の導体層10(フィールドプレート)と接続されている第1のコンデンサ電極11、選択トランジスタ3の第2の電極端子6と接続されている第2のコンデンサ電極12および第1および第2のコンデンサ電極の間に入れられた強誘電性の誘電体13を有するメモリコンデンサ9とを有する。

30

#### 【0023】

半導体メモリデバイスを製造するための本発明による方法の図2ないし図4に示されている実施例の出発点は、ビット線4の製造を含めてそれ自体はDRAMプロセスから公知の工程により製造された図2に示されている配置である。この配置では、全面にプレーナ化された絶縁性のカバー層15、たとえばBPSG流動ガラスが析出され、また選択トランジスタ3の $n^+$ ドーパされたドレイン領域17の端子(第2の電極端子6)に対する自己調節される(重なり合う)接触金属化層16が形成されている。接触金属化層16はその際に好ましくは約 $0.7\mu\text{m}$ の厚みを有する $n^+$ ポリSi層として同形析出されている。

40

#### 【0024】

それに続いて、接触金属化層16のなかに異方性エッチングにより、基板表面の平面21に向かって突出して構成され選択トランジスタ3の範囲のすぐ上側に配置されてまたBPSG層15まで達するトレンチ18が形成される。

#### 【0025】

それに続いて、図3のように、トレンチ18の垂直な側壁に導電性層19、すなわち金属から成る間隔ホルダー(スペーサ)が同形析出およびそれに続く導電性層19の異方性エッチングにより形成される。スペーサは好ましくはTi/TiN/PtまたはTi/Ti

50

N/Wの層列を有する。

#### 【0026】

こうして生じた配置の上に、図3のように、強誘電性の誘電体に対するスペーサとしての役割をする $\text{SiO}_2$ から成る補助層20が導電性層19の上にトレンチ18の内側に同形析出され、その際に $\text{SiO}_2$ 補助層20の厚みは後の強誘電性層の厚みに一致している。 $\text{SiO}_2$ 補助層20の上に共通のコンデンサプレート10を形成するため、たとえば白金またはタングステンのような高温度安定な金属から成る導電性層23が同形析出される。トレンチ18のなかに残留する空所は適当な充填材料22で満たされ、その際にたとえばポリ $\text{Si}$ から成る充填材料22が同形析出され、また好ましくは異方性にバックエッチングされる。こうして図3に示されている配置が生ずる。

10

#### 【0027】

それに続く工程で、白金またはタングステンから成る導電性層23が、少なくとも水平な範囲の上に配置された導電性層23の部分24が除去されるまで、バックエッチングされる。

#### 【0028】

熱処理の実行およびそれによるすべてのそれ以前のプロセス工程の回復後に、強誘電性の誘電体に対するスペーサとしての役割をする補助層20の材料が、図4中に示されているように、少なくともコンデンサ電極11および12に対する両層19および26の間に基板表面の平面21に対してほぼ垂直に向けられた中空層25が形成されるまで、好ましくは湿式化学的に露出エッチングされ、この中空層のなかにそれに続いて強誘電性ゲルの薄い膜がスピン-コーティングにより被覆される。その際に両コンデンサ板19および23の間の空所は強誘電性ゲルにより満たされる。強誘電性の誘電体の結晶形成のために、これは熱処理を受ける。補助層20の材料の湿式化学的エッチングの際に放置された底26はトレンチ18の内側に同軸に配置された第1のコンデンサ電極23を機械的に支持する役割をする。

20

#### 【0029】

それに続いて、図4のように、好ましくは $\text{SiO}_2$ から成るパッシベーション層27が全面に析出される。それに、たとえば金属化のためのそれ自体は公知の別のプロセス工程が続く。

#### 【図面の簡単な説明】

30

【図1】FRAMセルを有する本発明による半導体メモリデバイスの等価回路図。

【図2】本発明による半導体メモリデバイスの一製造工程を示す概略図。

【図3】本発明による半導体メモリデバイスの一製造工程を示す概略図。

【図4】本発明による半導体メモリデバイスの一製造工程を示す概略図。

#### 【符号の説明】

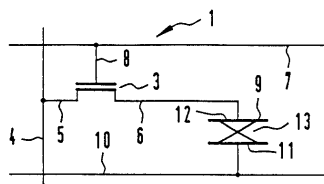
- 1 FRAMセル
- 2 半導体基板
- 3 選択トランジスタ
- 4 ビット線
- 5 第1の電極端子（ソース）
- 6 第2の電極端子（ドレイン）
- 7 ワード線
- 8 ゲート端子
- 9 メモリコンデンサ
- 10 導体層（フィールドプレート）
- 11 第1のコンデンサ電極
- 12 第2のコンデンサ電極
- 13 強誘電性の誘電体
- 15 絶縁性カバー層
- 16 接触金属化層

40

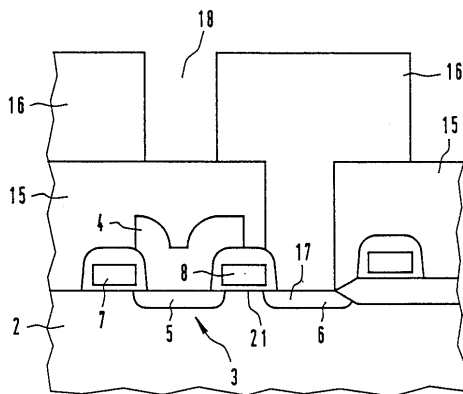
50

- 18      トレンチ
- 19      導電性層
- 20      補助層
- 21      基板表面の平面
- 22      充填材料
- 23      導電性層

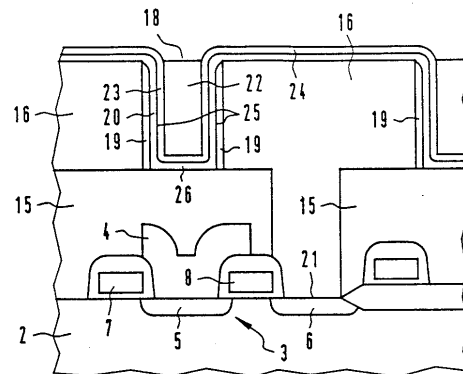
【図 1】



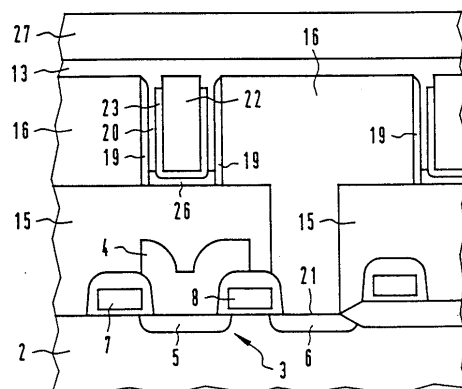
【図 2】



【図 3】



【図 4】





---

フロントページの続き

(72)発明者 ゲオルク テンペル

ドイツ連邦共和国 81927 ミュンヘン フラツシエントレーガーシュトラッセ 17

審査官 井原 純

(56)参考文献 特開平05-343615 (JP, A)

特開平06-037271 (JP, A)

特開平06-125059 (JP, A)

特開平07-099290 (JP, A)

特開平08-097219 (JP, A)

(58)調査した分野(Int.Cl.<sup>7</sup>, DB名)

H01L 21/8242

H01L 21/822

H01L 27/04

H01L 27/105

H01L 27/108