公告本

294812

申請日期	85.5.01
案號	85105228
類別	G11C 8/12 7/06

（以上各欄由本局填註）

A4
C4

294812

發明 ~~新型~~ 專利說明書

一、發明 ~~新型~~ 名稱	中文	可調式多層接頭導向之互連結構
	英文	"SCALABLE MULTIPLE LEVEL TAB ORIENTED INTERCONNECT ARCHITECTURE"
二、發明 ~~創作~~ 人	姓名	1.班傑明・S・丁 2.彼德・M・派尼
	國籍	1.美國　　2.德國
	住、居所	1.美國加州莎拉托加市蘇利文道21120號 2.美國加州山景市安納普瑞華達1110號
三、申請人	姓名（名稱）	美商BTR公司
	國籍	美國
	住、居所（事務所）	美國內華達州雷諾市東第1街1號內華達州公司基金會轉
	代表人姓名	班傑明・S・丁

經濟部中央標準局員工消費合作社印製

本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

裝 訂 線

294812

（由本局填寫）

承辦人代碼：	
大　　類：	
ＩＰＣ分類：	

A6
B6

本案已向：

美　國（地區）　申請專利，申請日期：1995.5.3　案號：08/433,041，□有　□無主張優先權

有關微生物已寄存於：　　，寄存日期：　　，寄存號碼：

（請先閱讀背面之注意事項再填寫本頁各欄）

裝

訂

線

經濟部中央標準局員工消費合作社印製

本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（1）

發明背景

1.發明領域

本發明係關於可程式型閘陣列之領域。更明確地說，本發明係關於用以增加可規畫閘陣列之導引性與改善可規畫閘陣列之訊號速率的可調式多層連接器接頭網路。

2.技術背景

可規畫閘陣列(FPGA)是一種可由使用者加以程式化來執行邏輯函數之高成本效益，高密度之現成積體邏輯電路。電路設計者定義所要之邏輯函數而根據該邏輯函數來程式化FPGA以處理訊號。視邏輯密度要求與產量而定，FPGA就成本與上市所需時間而言是一卓越之替代方案。典型之FPGA基本上包含一外環之輸入／輸出塊區，而且該等輸入／輸出塊區圍繞一內矩陣之可組態式函數產生器(CFG)邏輯塊區。位於FPGA之週邊的輸入／輸出塊區可由使用者程式化以致每一輸入／輸出塊區可獨立地程式化成爲一輸入或一輸出且也可爲三態型。每一邏輯塊區一般包含CFG與儲存暫存器。CFG是用以執行其之輸入變數的布林(Boolean)函數。

互連結構佔據邏輯塊區矩陣之列與行之間以及邏輯塊區與輸入／輸出塊區之間的通道。該等互連結構提供控制晶片之二或更多指定點之連接的彈性。通常一金屬線網路沿水平與垂直方向以列與行排放於邏輯塊區之間。可程式型開關連接邏輯塊區與輸入／輸出塊區之輸入及輸出至該等金屬線。位於列與行之交點的跨點開關與切換器是用以切

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（2）

換訊號自一線至另一線。通常長線是用以沿伸晶片之全部長度及／或寬度以提供點對點之連接性。輸入／輸出邏輯塊區之函數與他們個別之互連皆可程式化。一般而言，該等函數是由儲存於晶片上記憶體或分離記憶體之組態程式來加以控制。

隨著技術日趨精密，FPGA之功能也日趨精密。一陣列之CFG的數目獲得提高以提供更複雜之邏輯函數。互連結構之數目也隨之增加。與CFG及互連結構數目之不斷增加相互競爭的是需要使得晶片保持愈小愈好。一種使得所需之晶片裝置的數量最小化的方法是使得導引結構最小化而同時維持一定程度之互連性。因此，應可看出隨著建構於晶片之功能的增加，連接極多訊號所需之互連結構可迅速地耗盡。因此，大部份CFG由於無法存取而閒置未使用或者CFG只是用以互連引線而非執行某種邏輯函數。此可導致不必要之長導引延遲與低邏輯使用率。替代方案是提供更多之導引結構，而此會大幅增加晶片模之尺寸。

發明摘要

本案提出一種改良式可規畫閘陣列(FPGA)，而該種FPGA包含利用較低層之連接來界接邏輯細胞群並利用較高層之連接來界接較低層之連接的接頭網路連接器。在一實例中，連接器是用以界接一群組件或可組態式函數產生器(CFG)，包含儲存組件，至一階層式導引網路之某些層。一邏輯塊區之每一群或每一叢是由多個可程式化耦接至一組雙向輸入／輸出線之CFG來構成。本實例運用一種提供

本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）
經濟部中央標準局員工消費合作社印製
（請先閱讀背面之注意事項再填寫本頁）
裝 訂 線

五、發明說明（3）

細密顆粒性但不會大幅增加邏輯組件之改良式叢結構。雙向輸入／輸出線耦接至連接器。連接器包含一經由一可程式型開關耦接至雙向輸入／輸出線之連接器接頭線。連接器接頭線也耦接至一相鄰塊區之連接器與雙向輸入／輸出線。經常，訊號導引發生於相鄰塊區之間，而以前技術使用連接導引階層之較高層的珍貴導引線。在本發明之改良式FPGA中，來自邏輯塊區之訊號可直接導引至相鄰邏輯塊區而無需運用導引線網路。此使得無需使用珍貴之導引線來執行較長，非相鄰塊區之導引，且因此非相鄰導引所需之空間可獲得最佳化。一額外，重要之優點是訊號導引所導致之阻塞可最小化，因爲每一雙向輸入／輸出線經由二塊區連接器接頭網路來選擇性耦接至導引階層。

多個雙向開關也耦接至雙向輸入／輸出線，且該等開關可程式化以允許啓源於雙向輸入／輸出線之訊號可耦接至多層之階層式導引線的一或更多層。第一可程式型驅動器與第二可程式型驅動器可程式化耦接於雙向輸入／輸出線與多個開關之間。第一驅動器驅動經由雙向輸入／輸出線所接收之來自邏輯細胞之訊號經由既定之可程式型開關至導引線階層之一或更多導引線。第二驅動器驅動經由一可程式型開關所接收之來自導引線階層之一導引線的訊號至雙向輸入／輸出線。因此，本案提供一種具彈性，可程式型開關。另外，連接器可程式化以提供"扇出"(fan-out)能力，其中連接器驅動多個導引線而不會招致重大之額外訊號延遲且無需使用多個接頭連接器網路。

經濟部中央標準局員工消費合作社印製

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（4）

在另一實例中，接頭連接器網路也可用以導引較低層導引線至較高層導引線。這在符合沿較長之導引線驅動訊號而無需要求所有訊號驅動器皆強至足以沿最長之導引線來驅動訊號之需要方面尤其有用。尤其，該實例提供跨越相當於導引階層之第三層之距離的導引接頭線。一接頭網路耦接至每一導引接頭線以經由接頭線可程式化連接每一塊區至多個較高層導引線之一。連接器包含用以沿導引階層之較長較高層導引線來驅動訊號之可程式型雙向驅動器。

該等連接器網路使得可建構一種高彈性之導引方法，其中每一層之導引線分成許多組。例如，第一組邏輯組件或CFG可存取一組導引線而第二組邏輯組件或CFG可存取第二組導引線。第二組邏輯組件或CFG可藉由第二組邏輯組件或CFG之對應連接器網路來存取第一組導引線。同樣地，第二組邏輯組件或CFG可藉由第一組邏輯組件或CFG之連接器網路來存取第一組導引線。因此第一組CFG與第二組CFG皆可存取該二組導引線而使得訊號之導引阻塞的可能性最小化。

另外，最好包含一轉向矩陣以使位於一導引線之訊號轉換至不同指向之另一導引線。例如，一轉向矩陣之轉向組件使得訊號可在水平導引線與垂直導引線之間轉換。因爲轉向矩陣需要相當大量之晶片空間，連接器網路可用以提供足夠之連接性，尤其對於最常發生之二區段的對角線連接而同時使得轉向矩陣之佔用空間最小化。尤其，連接器網路使得裝置可建構部分轉向矩陣，其中最多一半數目之

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（5）

轉向組件可獲得刪除以節省晶片之空間。

此外，此包含多層之導引線，連接器接頭網路與轉向矩陣之改良型導引階層使得一改良型，節省空間之佈置圖可用於積體電路建構，且當SRAM做爲組態位元時特別有用。此佈置圖是一可調式塊區架構，其中一2×2塊區群之每一塊區連接器接頭網路是沿相鄰軸相對於彼此配置成爲鏡像。另外，做爲每一塊區之輸入／輸出裝置的雙向輸入／輸出線只指向二方向(而非典型之北，南，東與西四方向)以致相鄰塊區之塊區連接器接頭網路在指向上彼此相對。此種指向與配置使得塊區可共用導引結構。此可降低導引區段需求。此外，此配置使得2×2塊區或4×4塊區群成爲可調式。

此改良型佈置圖也有效地運用模空間且留下極少佈置無用空間，因爲此佈置圖提供具有小邏輯區域之多個連續之記憶體與通閘陣列(其提供雙向開關之功能)給塊區連接器接頭網路之CFG與驅動器。因此得以避免一般由於混合記憶體與邏輯所招致之間隙。叢內導引線與雙向導引線連同記憶體與通閘陣列相互混合並重疊於晶片之不同層之上提供較高層導引線之連接與塊區之CFG之間的連接。

附圖簡短說明

圖1是可實現本發明之一可規畫閘陣列邏輯之方塊圖。

圖2A展示一邏輯叢之實例。

圖2B展示一邏輯叢之間之本地連接的實例。

圖3A與3B描寫一具有垂直塊區連接器之邏輯叢的範例

本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）
經濟部中央標準局員工消費合作社印製
（請先閱讀背面之注意事項再填寫本頁）
裝 訂 線

五、發明說明（6　）

。

圖4A展示塊區連接器與塊區連接器接頭網路之間的連接，且該等塊區連接器接頭網路界接導引階層之較高導引線。

圖4B展示可程式化連接至導引階層之多層之垂直線的示範水平塊區連接器接頭網路。

圖4C展示可程式化連接至導引階層之多層之水平線的示範垂直塊區連接器接頭網路。

圖5是展示2×2邏輯塊區與提供導引階層較高層之界面之塊區連接器接頭網路以及轉向矩陣的簡圖。

圖6A與圖6B展示塊區連接器接頭網路連接至多層導引線之導引線子集的另一實例。

圖7A，7B與7C分別是第一層導引線之水平與垂直MLA轉向網路，與第二及第三層導引線之部份轉向網路之實例的簡化方塊圖。

圖8A是展示一邏輯塊區之佈置平面圖的簡圖。

圖8B是一2×2邏輯塊區陣列之簡化佈置平面圖。

詳細說明

本案說明一種可程式型邏輯電路，例如可規畫閘陣列(FPGA)，之改良式連接器接頭網路，互連結構與佈置平面圖。下面用以解釋之說明陳述極多特定細節，例如組合式邏輯細胞或可組態型函數產生器(CFG)組態，CFG之數目，等等，以協助完全瞭解本發明。但是，熟悉本技術領域者應可明白本發明之實現無需該等特定細節。在其他情形

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（7）

之下，爲眾所知之結構與裝置是以方塊圖之型式來表示以免不必要地模糊本發明。也應注意的是本發明說明一種利用靜態隨機存取記憶體(SRAM)來控制所用之雙向開關之狀態的實例。但是本發明適用於多種製程，而該等製程包含，但不限於，SRAM，動態隨機存取記憶體(DRAM)，保險絲／反保險絲，可清除與程式化型唯讀記憶體(EPROM)，可電氣清除與程式化型唯讀記憶體(EEPROM)與鐵電性製程。運用連接器接頭網路於導引階層做爲界接點與雙向驅動器的概念可運用於此種驅動器之審智置放極端重要的深次微米遮罩型閘陣列。

圖1顯示一可實現本發明之示範FPGA的方塊圖。陣列100包含輸入／輸出邏輯塊區102，103，111，與112，而該等輸入／輸出邏輯塊區提供FPGA封裝之外接腳與內部使用者邏輯之間的界面，直接或經由輸入／輸出邏輯塊區至核心界面塊區104，105，113與114。四界面塊區104，105，113，與114提供核心106與輸入／輸出邏輯塊區102，103，111，與112之間的去耦接。

核心106包含邏輯與互連階層，而互連階層包含根據本發明之說明所描述之連接器接頭網路。隨後會加以說明，此種改良式互連階層可用以產生導致模尺寸大爲降低之佈置圖。因此，當互連密度增加時，模尺寸會以遠較低之速率來增加。核心包含CFG以及控制邏輯之程式化，本文所述之實例運用SRAM技術。但是，也可運用保險絲或反保險絲，EEPROM／鐵電性或類似技術。此實例使用一分離之

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明 (8)

時脈／重置邏輯110以群爲基礎來提供時脈與重置線以使時間差最小化。

本實例以稱爲叢(cluster)之群爲單位來提供CFG。圖2A是一邏輯叢之範例。圖2A所展示之邏輯叢意欲做爲示範且邏輯叢可由其他組件，例如邏輯閘或正反器，來構成。請參看圖2A，邏輯叢200是由四組件所構成。該等組件包含一2-輸入CFG 202，二3-輸入CFG 204，206與D正反器208。CFG202也可爲3-輸入CFG。CFG202，204，206是可程式型組合邏輯，而該等組合邏輯以使用二輸入值(對於CFG202)或三輸入值(對於CFG204，206)爲基礎來提供一預定輸入。該等CFG是利用諸值來程式化以提供代表所要邏輯函數之輸出。D正反器208充當暫時之儲存組件，例如暫存器。

此種一2-輸入，1-輸出之CFG，二3-輸入，1-輸出之CFG與一D正反器的組合可執行多種邏輯與算術函數。例如，該等組件可程式化以執行例如比較器函數或累積器函數。應注意的是此種組件之組合提供細密顆粒性而無需增加冗餘組件，而該等冗餘組件會增加模尺寸並減慢處理速率。此外，此種組件之組合也使得組件之運用最大化因而使得模尺寸空間之運用最大化。導致更多可觸接之輸出點之細密顆粒性特性是一有用之特性，因爲經常需要一特定組件組合所產生之中間訊號。

此外，叢內部之本地互連是建構成爲使得可利用最小延遲來處理訊號。叢組件202，204，206，208是經由互連線I-

經濟部中央標準局員工消費合作社印製
（請先閱讀背面之注意事項再填寫本頁）
裝 訂 線
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（9）

M0至I-M5（本文統稱爲I-矩陣線）來連接，而該等互連線是以水平與垂直指向來通過邏輯叢。一叢之內部連接可經由開關，例如開關220-244，來程式化。內部連接線I-M0至I-M5與開關220-244構成本文所稱之I-矩陣。I-矩陣提供組件202，204，206，208與此叢之至少一其他組件的連接性。例如，CFG 202之輸出可藉由致能開關224與228來連接至CFG 204之輸入。

爲確保處理所導致之訊號延遲最小化，在D正反器208與3-輸入CFG 204，206之間提供分離，直接之連接。請繼續參看圖2A，開關250-255與連接線提供此種連接。吾人已經決定3-輸入CFG 204，206之輸入與輸出經常連同暫存器208來執行程式化函數。例如，該等3-輸入CFG與暫存器可用以提供一位元之多功函數。

雙向開關250-255可程式化成爲利用多種方式來導引訊號以達成特定函數。例如，CFG 204輸出之訊號可藉由致能開關251來驅動D正反器208。此外，該訊號可藉由致能開關250來驅動至I-矩陣。同樣地，CFG 206之輸出可藉由致能開關255來驅動D正反器208之輸入。藉由選擇性致能開關也可導致其它導引路徑。另外，CFG 202之輸出可藉著經由I-矩陣之間接連來驅動D正反器208。因此，此實例可達成極高之彈性。

D正反器之輸出訊號的導引也可藉由開關252與253來程式化。藉由選擇性致能開關252或253與I-矩陣之選擇性開關，該輸出訊號可導引至該叢或其他叢之諸組件的任一組

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（10）

件。該訊號輸出被選擇性導引通過鄰近CFG 204之開關233-235或至鄰近CFG 206之開關241，242，與243。模空間之節省是在不降低裝置組件之使用程度之下達成。

每一邏輯叢可藉由延伸I-矩陣於相鄰叢之間並經由開關來連接至邏輯塊區內之其他邏輯叢。圖2B展示選擇性連接至相鄰邏輯叢261與263之I-矩陣線之第一邏輯叢260的I-矩陣互連線I-M0至I-M5，分別經由開關264，265，266，267，275與276。

本文所述之彈性一部分是藉由所使用之極多雙向開關來達成。以前也注意到該等開關可利用多種方式來建構。例如，該等開關可建構成爲可斷式鏈接，而該等鏈接是藉由斷開保險絲來使得開關斷開或短路。此外，開關是由SRAM陣列之一位元所控制之通閘。該陣列之位元的狀態決定一對應之通閘爲斷開或閉合。雖然SRAM建構由於程式化容易而通常較受歡迎，所需之模空間卻遠較多。因此，一種使得模尺寸最小化之技術是使用較少之開關來提供下述之導引階層之個別導引線之間的互連。這在本文稱爲部份涵蓋結構。例如，在圖2A中，開關221，220連接I-M0與I-M5至CFG 202之輸入。下文將針對本實例來加以說明，部份轉向矩陣是用以刪除一般用於轉向矩陣之多達50%之開關。

爲達成進位鏈以及其他應用之高效率建構，諸叢之間的交錯或管狀連接是用以增加連接性。圖2B展示一邏輯叢內之I-矩陣至相鄰叢之延伸。例如，開關275連接叢260之I-

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（11）

M5至叢261之I-M0且開關276連接叢260之I-M1至叢261之I-M2。

多個互連之邏輯叢構成一邏輯塊區。在本實例中，每一邏輯塊區包含四邏輯叢，而該四邏輯叢組成一2×2陣列。每一邏輯塊區具有一組雙向導引線，且邏輯叢內之所有CFG皆可程式化連接至該組雙向導引線。雙向導引線提供訊號進入與離開邏輯塊區至一階層式導引架構之導引線的路徑，而該階層式導引架構在階層之不同層具有多種長度之連接。也可看出塊區連接器也可提供相同塊區與相鄰塊區之邏輯叢之諸CFG之間的連接。雖然邏輯塊區之每一邏輯叢之每一組件的輸入與輸出可選擇性連接至每一塊區連接器以控制模尺寸之擴充，最好每一輸入與輸出選擇性連接至塊區連接器之一子集。此種實例之一範例展示於圖3B。

請參看圖3B，其展示塊區300以內通往塊區連接器之連接之一實例的符號表示。每一叢200之每一組件，例如，CFG1，CFG2與CFG3連接至二經辨識之塊區連接器(BC)之輸入。二塊區連接器經辨識成爲耦接至2-輸入CFG1之輸出且三塊區連接器耦接至3-輸入CFG(CFG2，CFG3)之輸出。耦接至每一組件之特定塊區連接器分散於該塊區之組件之間以使連接性最大化。

塊區連接器提供用以互連稱爲多層架構(MLA)導引網路之導引階層之較高層連接的輸入與輸出機制。該網路包含組織成爲一階層之多層導引線(例如MLA-1，MLA-2，

本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）
經濟部中央標準局員工消費合作社印製
（請先閱讀背面之注意事項再填寫本頁）
裝 訂 線

五、發明說明（12）

MLA-3，等等），其中較高層之導引線的長度爲較低層導引線的倍數。例如，MLA-2導引線之長度是MLA-1導引線的二倍而MLA-3導引線之長度是MLA-2導引線之二倍。

本案運用一種改良式塊區連接器接頭網路來界接塊區連接器(BC)至MLA導引網路與相鄰邏輯塊區之相鄰塊區連接器。如圖4A所示，一塊區連接器接頭網路，例如401-408，連接至每一塊區300之每一塊區連接器線。圖4B展示一連接至垂直之MLA導引線之水平塊區連接器接頭網路的實例。圖4C展示一連接至水平之MLA導引線之垂直塊區連接器接頭網路的實例。

在圖4B所展示之實例中，第一邏輯塊區之塊區連接器(BC)接頭網路401包含多個可程式型開關432-437。該等雙向開關使得可選擇性導引訊號經由BC線438通往／離開該邏輯塊區。網路401也包含二可程式型驅動器439與440。在本實例中，該等驅動器439，440是由二位元441，442之狀態來加以控制；但是，很明顯的可使用一控制位元來取代該二控制位元，其中當該位元處於一狀態時一驅動器，例如，驅動器440是作用的，而當該位元處於第二狀態時第二驅動器，例如，驅動器439是作用的。此外，很明顯的BC接頭網路也可建構成爲利用單一或多個驅動器以及其他組件來執行本文所述之功能。

BC接頭連接器網路提供一種簡單但有效之方式來導引訊號通往與離開邏輯塊區。藉由可程式型開關432，經由BC線438通往或離開該塊區之訊號可程式化耦接至一相鄰邏

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（13）

輯塊區之BC接頭網路402。在本展示中，藉由開關432經由BC線438來導引之訊號可經由開關454來導引至BC線443。經由開關432來自BC線438之線415的相同訊號可選擇性導引通過驅動器456並經由四開關447-450之一來導引至一選擇之MLA。例如，BC接頭網路，例如BC接頭401與402，連接至標示爲425，426與427之MLA-1，2與3。因此，除了提供通往相鄰邏輯塊區之直接導引機制以外，BC接頭網路提供一替代路徑以導引一訊號經由一相鄰邏輯塊區之接頭連接器網路至諸MLA。此使得阻塞或導引路徑無法使用之發生最少化。例如，藉由開關452與開關433來提供一替代路徑451以互連塊區連接器438與443。因此，應可看出運用該等BC接頭網路可達成極大彈性之導引以及極高效率之導引。一額外優點是訊號速率；此種架構導致輕載線且因此即使導引彈性獲得提升也不會危害訊號速率。在圖4B中，BC接頭網路可用以提供訊號扇出能力以藉由設定適當開關，例如434，435，436，437，以連接多個MLA線，而不致引起一般扇出裝置會導致之訊號速率降低。

在一例如示於圖5之實例中，每一BC線可經由一BC接頭網路來程式化連接至一相鄰之BC接頭網路與MLA網路之導引線。此提供極大之導引彈性。本實例之MLA導引網路是說明成爲具有多層導引線與一選擇性耦接水平及垂直MLA線以提高連接性之可程式型開關矩陣。第一層MLA導引線(MLA-1)提供許多組塊區連接器之間的互連。可程

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（14）

式型開關是用以提供使用者選擇要連接之塊區連接器的能力。因此，一組邏輯塊區群之第一邏輯塊區可連接至屬於相同群之第二邏輯塊區，其中一邏輯塊區群是一組邏輯塊區。當然一邏輯塊區之諸開關可進一步程式化以導引該邏輯塊區內之訊號。第二層MLA導引線(MLA-2)提供各種MLA-2線之互連以影響一塊區叢之存取與連接，而在本實例中該塊區叢包含一4×4矩陣之塊區。本實例提供開關以使使用者可程式設計所要之連接。第二層MLA線之跨距最好大於MLA-1線之跨距一因數。例如，MLA-2線之跨距最好是MLA-1線的二倍。

應可看出，可建構額外之MLA導引線層以提供較多數目與群之邏輯塊區，邏輯叢，邏輯區(其爲一8×8矩陣之塊區)，等等，之間的可程式型互連。每一額外層跨越比相鄰較低層大一因數(例如2之倍數)之距離。因此，提供一用以建構導引之多維方法。導引訊號於一邏輯塊區之互連之間。該等訊號然後是經由塊區連接器與對應之塊區連接器接頭網路來加以存取並根據程式化開關來加以導引。塊區連接器接頭網路致能通往較高層MLA導引線，例如MLA-2與MLA-3導引線，之可程式型直接連接。此外，可經由該階層之較低層並藉由位於該階層之諸導引線層之間的可程式型開關來達成該階層之較高層導引線。

圖6A與6B提出另一實例，其中每一BC接頭網路連接至多層導引線之一組導引線。一相鄰BC接頭網路連接至另一組導引線。在本發明中，每一組導引線之數目相同於一未

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（15）

分組之層之MLA線的數目。合成之結果是導引線之數目加倍且因而連接性增加。但是，該等組也可包含較少或額外之導引線以達成所要之連接性程度。

訊號是可程式化導引於BC接頭網路之間以達成所要之連接性程度。例如，圖6A展示相鄰之水平BC接頭網路600，605。BC網路600可程式化連接至第一組MLA-2線615。同樣地，相鄰之BC接頭網路605可程式化連接至第二組MLA-2線620。如果，例如，啓源於BC線627之訊號將要導引至只耦接至BC接頭網路605之MLA-2之一訊號線，該訊號可經由開關631，接頭線629，驅動器630與開關632自BC接頭網路600導引至BC接頭網路605以可程式化連接至MLA-2線620。同樣地，如果啓源於連接至BC接頭網路605之一塊區的訊號將要導引至MLA-3 635，該訊號是經由BC接頭網路600，開關633，驅動器634，開關636來導引至MLA-3 635。BC接頭網路因此運作以提高一有限連接性結構之連接性。BC接頭網路也使得設計者可藉由選擇最佳之MLA線來導引訊號以使負載最小化且使訊號速率最大化，無論是否可經由一相鄰BC接頭連接器網路來存取該MLA。此外，負載獲得最小化。尤其，BC接頭連接器網路與一部分轉向矩陣最多可降低負載至50%，而導致訊號速率之重大改善。

在本實例中，導引階層之最先三層，MLA-1，MLA-2與MLA-3，是用以互連一8×8塊區矩陣，其中每一塊區是由四邏輯叢來構成。每一塊區經由BC接頭連接器網路可

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（16）

程式化連接至一MLA接頭線。每一MLA接頭線可程式化連接至一MLA接頭連接器網路，且該MLA塊區接頭網路以一類似於BC接頭網路之方式運作來導引訊號通往及離開較高層之導引線。

當晶片之CFG的數目增加時，需要額外之互連。在本架構中，最好增加導引階層之層數以維持訊號之可導引性。在該階層之每一較高層，自較低層導引線之導引的長度會增加。爲驅動較長之訊號導引線，需要較大之訊號驅動器。爲使對於模尺寸之影響最小化，最好限制驅動導引階層較高層所特有之較長導引線之訊號驅動器的數目。此外，最好該架構爲可調式以提供高效率之設計機制來滿足晶片邏輯電路之遞增密度與所需之連接性並使相關於極多數目之零件之工程努力最小化。因此，吾人已發現在階層之最先一些層以後，最好提供一MLA接頭連接器網路以致能可調性，以及提供較長，較高層之導引線之訊號驅動功能。

最好提供可程式型轉向開關以選擇性連接水平MLA線與垂直MLA線。此展示於圖7A。圖7A展示一轉向矩陣且該轉向矩陣是用以連接MLA-1之8線至四邏輯塊區712，714，716與718之部份轉向網路710。轉向網路710是由多個轉向位元來加以控制，而該等轉向位元控制一水平MLA線，例如，線720，與一垂直MLA線，例如，線722，之一特定交點是否相連以致訊號可導引於水平MLA線720與垂直MLA線722之間。圖7A表示一用以連接MLA-1導引線之轉向矩陣。此轉向矩陣710提供完全之函蓋，亦即每一水平

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（17）

MLA-1線可程式化連接至每一垂直MLA-1線。

完全轉向矩陣也可運用於較高層之MLA線，例如MLA-2與MLA-3。但是，在本實例中，每一層之線數目具有多組之導引線。爲藉由減少構成轉向矩陣所需之開關的數目以節省模空間，因而使用部分轉向矩陣。圖7B展示一2×2矩陣邏輯塊區內之MLA-2與MLA-3線之轉向網路710的部份轉向矩陣。如前所注意到，藉由使得轉向矩陣之尺寸最小化來達成之模節省可彌補連接性之任何降低。此外，連接性之任何降低也因可導引訊號通過塊區連接器接頭網路410，420，430，440，450，460，470，480至MLA導引階層之其他導引線而獲得彌補，如圖6A與圖6B所示。

圖7C提供一部份轉向矩陣之實例，而該部份轉向矩陣是用以互連由四2×2矩陣之邏輯塊區所組成之一4×4矩陣的MLA-2與MLA-3導引線。應注意的是部份轉向矩陣之個別開關的位置配置成爲使得每一線之負載達到平衡。尤其，最好每一線之開關數目皆相同以使每一線之負載維持恆定。在本實例中，此是藉由交替部份轉向矩陣之鏡像來達成，例如圖7C所示。

此種包含導引線，塊區連接器接頭網路與轉向矩陣之改良式導引階層允許使用一改良式節省空間之佈置圖於半導體裝置。本文所討論之架構與改良式佈置圖之好處在SRAM建構中特別明顯。廣泛之模節省是藉由組織記憶體成爲大，連續之塊區來實現。此與以前技術之佈置圖大爲不同，而以前技術之佈置圖整合邏輯與記憶體導致極多之

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（18）

浪費空間，而該等浪費空間通常稱爲佈置無用空間。此外，此佈置圖包含一可調式塊區架構，其中每一塊區包含多個連續記憶體的通閘陣列。叢內導引線與雙向導引線疊加於記憶體與通閘陣列之不同層以提供通往較高層導引線之連接與塊區之諸CFG之間的連接。每一記憶體與通閘陣列包含SRAM與通閘來控制上述之可程式型開關。單一塊區之佈置圖可輕易調整成爲產生多個塊區結構之佈置圖。在本實例中，一包含導引線與轉向矩陣之4×4矩陣之塊區可藉由4×4矩陣之簡單複製與接合來調整成爲較大矩陣之塊區。

此改良式佈置圖將針對圖8A與8B所展示之實例來加以說明。邏輯塊區佈置圖的一實例展示於圖8A。每一邏輯叢800包含叢820之組件或CFG與由I-矩陣線841-846所構成之I-矩陣以及記憶體與通閘陣列830，而記憶體與通閘陣列830控制耦接至該叢之組件之CFG的輸入／輸出線801-811與I-矩陣線之間的選擇性連接。由一小記憶體與通閘陣列所構成之I-矩陣延伸840位於相鄰之記憶體與通閘陣列830之間以選擇性連接一叢之I-矩陣線841-846至相鄰叢之I-矩陣。

包含塊區連接器861-868之塊區連接器(爲簡化圖8A之故未展示垂直塊區連接器)，記憶體與通閘陣列850選擇性耦接至每一叢820之組件，且記憶體與通閘陣列850控制該叢之組件與塊區連接器線之間之訊號的導引。

此佈置圖最好是利用符合下列標準之邏輯設計來加以實

（請先閱讀背面之注意事項再填寫本頁）
裝 訂 線
經濟部中央標準局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（19）

現。每一塊區提供一塊區之少於所有可能方向(亦即北，南，東或西)或"側"之雙向輸入／輸出存取。在本實例中，每一塊區提供該塊區二側之塊區連接器接頭網路，一在水平方向而一在垂直方向。最好是彼此之複製品的該等塊區連接器接頭網路沿著一2×2陣列之對應軸彼此形成鏡像。此可藉由再參看圖7C來想像。請參看圖7C，且尤其參看該等塊區連接器接頭網路之指向，410是450之鏡像，460是480之鏡像，440是430之鏡像，且470是450之鏡像。

請繼續參看圖7C，執行鏡射以致對應於每一塊區之可程式型開關，亦即連接組件至I-矩陣線之開關，連接叢組件至塊區連接器線之開關與提供I-矩陣延伸之開關，可在佈置圖中彼此相鄰。如自圖8A應可看出，2×2矩陣可設計成爲使得記憶體與通閘陣列830，840與850建構成爲一連續塊區之記憶體855。除了使得佈置無用空間最小化以外，此佈置圖簡化製造，因爲大部份之模包含具有小邏輯區間(例如邏輯叢820)之記憶體陣列。此外，藉由提供記憶體陣列之群組化，晶片之程式化可獲得簡化，因爲可使用簡單之X-Y定址。

此佈置圖之一額外好處是塊區配置使得可用一簡單有效之方式來使相鄰塊區共用導引結構而無需大幅增加線數目或額外位元。

圖8B藉由展示2×2塊區之佈置來繼續此改良式佈置圖之展示。每一塊區(以輪廓來表示例如組件860)包含多個塊區連接器BC0-BC7。每一塊區860之佈置圖是圖8A所說明之

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（20）

佈置圖。如前所述，每一860內之塊區連接器線耦接至一些塊區連接器接頭網路且該等塊區連接器接頭網路提供通往相鄰塊區與通往導引階層之較高層導引線的連接。記憶體與通閘陣列880代表該等塊區連接器接頭網路之開關。包含位於塊區連接器接頭網路之驅動器的驅動器邏輯882與記憶體分離且需要該模之一小部份。轉向矩陣884也是由一記憶體與通閘陣列所組成。未加以展示之MLA線最好指向於記憶體與通閘陣列880與884以上之一平行層以提供一控制連接性之簡單機制。

此佈置圖可藉由圖8B所展示之裝置之複製來加以調整。如前所注意到，但是，爲使利用部份轉向矩陣之本實例之諸線的負載最小化，最好該等部份轉向矩陣在指向上交替，例如圖7C所示。一旦一4×4塊區矩陣佈置圖獲得實現，較大矩陣之實現可藉由該4×4矩陣之複製與相鄰矩陣之導引線與塊區連接器的接合來達成。

熟悉本技術領域者應可明瞭此種佈置圖之優點。本案達成模空間之使用效率。此外，可調性是藉由邏輯塊區之佈置之複製來輕易達成，而可調性允許不同尺寸之裝置之輕以擴展可利用最小之工程努力來建造。

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

四、中文發明摘要（發明之名稱：可調式多層接頭導向之互連結構）

本案提出一種用以藉由雙向導引線來界接第一邏輯塊區至至少一第二邏輯塊區之塊區連接器接頭網路，該第一邏輯塊區包含多個可程式型互連之可組態式函數產生器(CFG)以對訊號執行函數，該塊區連接器接頭網路包含：

第一雙向輸入／輸出線，第一邏輯塊區之至少一CFG可程式化耦接至第一雙向輸入／輸出線；

耦接至第一雙向輸入／輸出線之第一可程式型開關；

耦接至第一可程式型開關與第二邏輯塊區之第一雙向輸入／輸出線的第一塊區連接器接頭線，以提供第一邏輯塊區之第一雙向輸入／輸出線與第二邏輯塊區之第一雙向輸入／輸出線之間的可程式型連接；

英文發明摘要（發明之名稱："SCALABLE MULTIPLE LEVEL TAB ORIENTED) INTERCONNECT ARCHITECTURE"

A block connector tab network for interfacing a first logic block to at least one second logic block through bidirectional routing lines, said first logic block comprising a plurality of programmable interconnected configurable function generators (CFGs) for performing functions on signals, said block connector tab network comprising:

a first bidirectional input/output line, at least one CFG of the first logic block programmably coupled to the first bidirectional input/output line;

a first programmable switch coupled to the first bidirectional input/output line;

a first block connector tab line coupled to the first programmable switch and a first bidirectional input/output line of the second logic block to provide a programmable connection between the first bidirectional input/output line of the first logic block and the first bidirectional

（請先閱讀背面之注意事項再填寫本頁各欄）

裝 訂 線

經濟部中央標準局員工消費合作社印製

本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

四、中文發明摘要（發明之名稱：　　）

耦接至雙向導引線之多個第二可程式型開關；

耦接至雙向輸入／輸出線與多個第二可程式型開關之第一可程式型驅動器，該第一可程式型驅動器可程式化驅動在雙向輸入／輸出線所接收之訊號至多個第二可程式型開關；

耦接至雙向輸入／輸出線與多個第二可程式型開關之第二可程式型驅動器，該第二可程式型驅動器可程式化驅動藉由多個第二可程式型開關之一開關所接收之訊號至雙向輸入／輸出線。

英文發明摘要（發明之名稱：　　）

input/output line of the second logic block;

a plurality of second programmable switches coupled to the bidirectional routing lines;

a first programmable driver coupled to the bidirectional input/output line and the plurality of second programmable switches, said first programmable driver programmably driving a signal received across the bidirectional input/output line to the plurality of second programmable switches;

a second programmable driver coupled to the bidirectional input/output line and the plurality of second programmable switches, said second programmable driver programmably driving a signal received via a switch of the plurality of second programmable switches to the bidirectional input/output line.

（請先閱讀背面之注意事項再填寫本頁各欄）

裝　訂　線

經濟部中央標準局員工消費合作社印製

本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

六、申請專利範圍

1. 一種用以藉由雙向導引線來界接第一邏輯塊區至至少一第二邏輯塊區之塊區連接器接頭網路，該第一邏輯塊區包含多個可程式型互連之可組態型函數產生器(CFG)以對訊號執行函數，該塊區連接器接頭網路包含：

第一雙向輸入／輸出線，第一邏輯塊區之至少一CFG可程式化耦接至第一雙向輸入／輸出線；

耦接至第一雙向輸入／輸出線之第一可程式型開關；

第一塊區連接器接頭線，第一塊區連接器接頭線耦接至第一可程式型開關與第二邏輯塊區之第一雙向輸入／輸出線以提供第一邏輯塊區之第一雙向輸入／輸出線與第二邏輯塊區之第一雙向輸入／輸出線之間的可程式型連接；

耦接至雙向導引線之多個第二可程式型開關；

耦接至雙向輸入／輸出線與多個第二可程式型開關之第一可程式型驅動器，該第一可程式型驅動器可程式化驅動在雙向輸入／輸出線所接收之訊號至多個第二可程式型開關；

耦接至雙向輸入／輸出線與多個第二可程式型開關之第二可程式型驅動器，該第二可程式型驅動器可程式化驅動經由多個第二可程式型開關之一開關所接收之訊號至雙向輸入／輸出線。

2. 根據申請專利範圍第1項之塊區連接器接頭網路，該塊區連接器接頭網路進一步包含耦接於雙向輸入／輸出線與第一可程式型驅動器與第二可程式型驅動器之間的第

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
經濟部中央標準局員工消費合作社印製
本紙張尺度適用中國國家標準(CNS)A4規格(210×297公釐)

六、申請專利範圍

三可程式型開關。

3. 根據申請專利範圍第2項之塊區連接器接頭網路，該塊區連接器接頭網路進一步包含啓始於第二邏輯塊區之塊區連接器接頭網路的第二塊區連接器接頭線，該第二塊區連接器接頭線可程式化耦接至雙向輸入／輸出線。
4. 根據申請專利範圍第1項之塊區連接器接頭網路，其中第一可程式型開關與第二可程式型開關皆包含一非揮發型切換組件。
5. 根據申請專利範圍第1項之塊區連接器接頭網路，其中第一可程式型開關與第二可程式型開關皆可根據儲存於一記憶體之一位元的狀態來程式化。
6. 根據申請專利範圍第1項之塊區連接器接頭網路，其中第一可程式型驅動器可根據儲存於記憶體之第一位元的狀態來程式化而第二可程式型驅動器可根據儲存於記憶體之第二位元的狀態來程式化。
7. 根據申請專利範圍第1項之塊區連接器接頭網路，其中第一可程式型驅動器可根據儲存於記憶體之第一位元的狀態來程式化而第二可程式型驅動器可根據第一位元之狀態的補數來程式化。
8. 一種邏輯裝置，該種邏輯裝置包含：

多個邏輯塊區，每一邏輯塊區包含多個可程式型互連之可組態型函數產生器(CFG)以對訊號執行函數；

指向第一方向之第一組雙向導引線與指向第一方向之第一組雙向導引線以耦接多個邏輯塊區；

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
經濟部中央標準局員工消費合作社印製
本紙張尺度適用中國國家標準(CNS)A4規格(210×297公釐)

六、申請專利範圍

用以界接多個邏輯塊區之每一邏輯塊區至第一組雙向導引線的多個塊區連接器接頭網路，每一塊區連接器接頭網路包含：

第一雙向輸入／輸出線，多個邏輯塊區之邏輯塊區之每一CFG可程式化耦接至第一雙向輸入／輸出線；

耦接至第一組雙向導引線之多個第一可程式型開關；

耦接至雙向輸入／輸出線與多個第一可程式型開關之第一可程式型驅動器，該第一可程式型驅動器可程式化驅動在雙向輸入／輸出線所接收之訊號至多個第一可程式型開關；及

耦接至雙向輸入／輸出線與多個第一可程式型開關之第二可程式型驅動器，該第二可程式型驅動器可程式化驅動經由多個第一可程式型開關之一開關所接收之訊號至雙向輸入／輸出線；及

一包含多個第三可程式型開關之轉向矩陣，每一開關可程式化耦接於第一組導引線之一導引線與第二組導引線之一導引線之間。

9. 根據申請專利範圍第8項之邏輯裝置，該邏輯裝置進一步包含如同第一塊區連接器接頭線啓始於相鄰邏輯塊區之塊區連接器接頭網路的第二塊區連接器接頭線，該第二塊區連接器接頭線可程式化耦接至雙向輸入／輸出線。

10. 根據申請專利範圍第8項之邏輯裝置，其中第一組雙向導引線之指向垂直於第二組雙向導引線。

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
經濟部中央標準局員工消費合作社印製
本紙張尺度適用中國國家標準(CNS)A4規格(210×297公釐)

六、申請專利範圍

11. 根據申請專利範圍第8項之邏輯裝置，該邏輯裝置進一步包含用以界接多個邏輯塊區之每一邏輯塊區至第二組雙向導引線之多個塊區連接器接頭網路。

12. 根據申請專利範圍第8項之邏輯裝置，其中每一塊區連接器接頭網路進一步包含：

耦接至第一雙向輸入／輸出線之第二可程式型開關；

第一塊區連接器接頭線，第一塊區連接器接頭線耦接至第二可程式型開關與一相鄰邏輯塊區之第一雙向輸入／輸出線以提供該邏輯塊區之第一雙向輸入／輸出線與相鄰邏輯塊區之第一雙向輸入／輸出線之間的可程式型連接。

13. 根據申請專利範圍第12項之邏輯裝置，其中每一第一可程式型開關，第二可程式型開關與第三可程式型開關皆包含一保險絲。

14. 根據申請專利範圍第12項之邏輯裝置，其中每一第一可程式型開關，第二可程式型開關與第三可程式型開關皆可根據儲存於一記憶體之一位元的狀態來程式化。

15. 根據申請專利範圍第8項之邏輯裝置，其中轉向矩陣是選擇性耦接第一組導引線之一部份導引線與第二組導引線之一部份導引線的部分轉向矩陣。

16. 根據申請專利範圍第8項之邏輯裝置，其中轉向矩陣是選擇性耦接第一組導引線之每一導引線至第二組導引線之一對應導引線的全部涵蓋轉向矩陣。

17. 一種邏輯裝置，該種邏輯裝置包含：

（請先閱讀背面之注意事項再填寫本頁）
裝
訂

經濟部中央標準局員工消費合作社印製

本紙張尺度適用中國國家標準(CNS)A4規格(210×297公釐)

六、申請專利範圍

多個邏輯塊區，每一邏輯塊區包含多個可程式型互連之可組態型函數產生器(CFG)以對訊號執行函數；

耦接多個邏輯塊區之第一組雙向導引線；

用以界接多個邏輯塊區之每一邏輯塊區至第一組雙向導引線之第一部份的第一塊區連接器接頭網路，該第一塊區連接器接頭網路包含：

第一雙向輸入／輸出線，每一CFG可程式化耦接至第一雙向輸入／輸出線，及

耦接於第一雙向輸入／輸出線與第一組雙向導引線之第一部份之間的多個第一可程式型開關；

用以界接多個邏輯塊區之第二邏輯塊區至第一組雙向導引線之第二部份的第二塊區連接器接頭網路，該第二塊區連接器接頭網路包含：

第二雙向輸入／輸出線，每一CFG可程式化耦接至第二雙向輸入／輸出線，及

耦接於第二雙向輸入／輸出線與第一組雙向導引線之第二部份之間的多個第二可程式型開關；

該第一塊區連接器接頭網路進一步包含耦接至第一可程式型開關與第二雙向輸入／輸出線之第一塊區連接器接頭線以提供第一邏輯塊區之第一雙向輸入／輸出線與第二邏輯塊區之第二雙向輸入／輸出線之間的可程式型連接；及

該第二塊區連接器接頭網路進一步包含耦接至第三可程式型開關與第一雙向輸入／輸出線之第二塊區連接器

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
經濟部中央標準局員工消費合作社印製

本紙張尺度適用中國國家標準(CNS)A4規格(210×297公釐)

六、申請專利範圍

接頭線以提供第二邏輯塊區之第二雙向輸入／輸出線與第一邏輯塊區之第一雙向輸入／輸出線之間的可程式型連接；

該第一與第二塊區連接器接頭網路可程式化分別耦接第一與第二邏輯塊區至第一組雙向導引線之第二與第一部份。

18. 根據申請專利範圍第17項之邏輯裝置，該邏輯裝置進一步包含：

具有第一部份與第二部份之第二組雙向導引線，該第一組導引線指向第一方向而該第二組雙向導引線指向第二方向；

第一轉向矩陣，該第一轉向矩陣包含多個開關以選擇性耦接第一組雙向導引線之第一部份的導引線至第二組雙向導引線之第一部份的導引線；及

第二轉向矩陣，該第二轉向矩陣包含多個開關以選擇性耦接第一組雙向導引線之第二部份的導引線至第二組雙向導引線之第二部份的導引線。

19. 根據申請專利範圍第17項之邏輯裝置，該邏輯進一步包含：

具有第一部份與第二部份之第二組雙向導引線，該第一組導引線指向第一方向而該第二組雙向導引線指向第二方向；及

一轉向矩陣，該轉向矩陣包含多個開關以選擇性耦接第一組雙向導引線之雙向導引線至第二組雙向導引線之

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
經濟部中央標準局員工消費合作社印製
本紙張尺度適用中國國家標準(CNS)A4規格(210×297公釐)

六、申請專利範圍

雙向導引線。

20. 根據申請專利範圍第19項之邏輯裝置，其中轉向矩陣是選擇性耦接第一組導引線之一部份導引線與第二組導引線之一部份導引線的部份轉向矩陣。

21. 根據申請專利範圍第19項之邏輯裝置，其中轉向矩陣是選擇性耦接第一組導引線之每一導引線至第二組導引線之一對應導引線的全部涵蓋轉向矩陣。

22. 根據申請專利範圍第17項之邏輯裝置，其中該第一塊區連接器接頭網路進一步包含耦接至第一雙向輸入／輸出線與多個第一可程式型開關之第一可程式型驅動器，該第一可程式型驅動器可程式化驅動在第一雙向輸入／輸出線所接收之訊號至多個第一可程式型開關，與耦接至第一雙向輸入／輸出線與多個第一可程式型開關之第二可程式型驅動器，該第二可程式型驅動器可程式化驅動經由多個第一可程式型開關所接收之訊號至第一雙向輸入／輸出線。

23. 根據申請專利範圍第17項之邏輯裝置，其中第三可程式型驅動器耦接至第二雙向輸入／輸出線與多個第二可程式型開關，該第三可程式型驅動器可程式化驅動在第二雙向輸入／輸出線所接收之訊號至多個第四可程式型開關，且第四可程式型驅動器耦接至第二雙向輸入／輸出線與多個第四可程式型開關，該第四可程式型驅動器可程式化驅動經由多個第四可程式型開關之一開關所接收之訊號至第二雙向輸入／輸出線。

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
經濟部中央標準局員工消費合作社印製
本紙張尺度適用中國國家標準(CNS)A4規格(210×297公釐)

六、申請專利範圍

24. 一種可程式型裝置，該種可程式型裝置包含對訊號執行運作之多個組件，該等組件可程式化連接至階層式組織之雙向導引線的多層，其中雙向導引線階層之每一較高層之導引線長於相鄰較低層之導引線，一導引線連接器接頭是用以界接一組件至高於一預定層之雙向導引線層，該導引線連接器接頭包含：

雙向輸入／輸出線，每一組件可程式化耦接至雙向輸入／輸出線；

耦接至高於預定層之雙向導引線層之導引線的多個可程式型開關；

耦接至雙向輸入／輸出線與多個可程式型開關之第一可程式型驅動器，該第一可程式型驅動器可程式化驅動在雙向輸入／輸出線所接收之來自低於一預定層之雙向導引線之導引線的訊號至多個可程式型開關，以致該訊號被選擇性驅動於高於該預定層之一雙向導引線之一導引線；

耦接至雙向輸入／輸出線與多個可程式型開關之第二可程式型驅動器，該第二可程式型驅動器可程式化驅動自高於預定層之一雙向導引線層之一導引線所接收之訊號經由多個可程式型開關之一開關至雙向輸入／輸出線，以致該訊號被驅動於低於該預定層之雙向導引線之一導引線。

25. 根據申請專利範圍第24項之可程式型邏輯裝置，其中該等多個可程式型開關之每一開關可程式化耦接至高於

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
經濟部中央標準局員工消費合作社印製
本紙張尺度適用中國國家標準(CNS)A4規格(210×297公釐)

六、申請專利範圍

預定層之雙向導引線的一導引線。

26. 根據申請專利範圍第24項之可程式型邏輯裝置，其中第一雙向輸入／輸出線包含一組第一雙向輸入／輸出線。

27. 根據申請專利範圍第24項之可程式型邏輯裝置，其中每一層之雙向導引線包含多組之導引線。

28. 根據申請專利範圍第24項之可程式型邏輯裝置，其中雙向導引線包含指向第一方向之第一組與指向第二方向之第二組，該可程式型導引裝置包含多個導引線連接器接頭，至少一導引線連接器接頭選擇性耦接至第一組雙向導引線之高於預定層之一層的導引線且至少一第二導引線連接器接頭選擇性耦接至第二組雙向導引線之高於預定層之一層的導引線。

29. 一種細密顆粒可程式型邏輯裝置，該種裝置包含用以對訊號執行函數之多個互連邏輯叢，每一該邏輯叢包含：

包含第一可程式型組合邏輯之第一組件，該第一可程式型組合邏輯接收至少二輸入並產生單一第一輸出；

包含第二可程式型組合邏輯之第二組件，該第二可程式型組合邏輯接收三輸入並產生單一第二輸出；

包含第三可程式型組合邏輯之第三組件，該第三可程式型組合邏輯接收三輸入並產生單一第三輸出；

一具有一輸入與輸出之暫存器；

一包含一組互連矩陣線與可程式型開關之互連矩陣，且該等可程式型開關可程式化連接第一，第二與第三組

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
經濟部中央標準局員工消費合作社印製
本紙張尺度適用中國國家標準(CNS)A4規格(210×297公釐)

六、申請專利範圍

件之輸入及輸出與暫存器；

至少一第一直接輸入線與可程式化耦接第二組件之輸出至暫存器之輸入的開關；及

至少一第二直接輸入線與可程式化耦接第三組件之輸出至暫存器之輸入的開關。

30. 根據申請專利範圍第29項之細密顆粒性邏輯裝置，其中暫存器可程式化耦接至互連矩陣，而此是藉由可程式化耦接暫存器之輸出至第二組件之輸出與第三組件以致暫存器之輸出經由第二組件之輸出或第三組件耦接至互連矩陣來導引至互連矩陣來完成。

31. 根據申請專利範圍第29項之細密顆粒性邏輯裝置，其中暫存器是D正反器。

32. 根據申請專利範圍第29項之細密顆粒性邏輯裝置，其中第一邏輯裝置包含不多於二之輸出與不少於三之輸入。

33. 根據申請專利範圍第29項之細密顆粒性邏輯裝置，其中一邏輯叢之互連矩陣可藉由連接相鄰邏輯叢之組件之可程式型延伸來程式化耦接至相鄰之邏輯叢。

34. 一種用於一包含多個邏輯組件之可程式型邏輯裝置的方法，該種方法是用以連接邏輯組件，該種方法包含下列步驟：

導引第一群階層式導引結構，該等第一群導引結構包含至少一層之第一雙向導引線，且至少一雙向接頭導引線；

導引第二群階層式導引結構，該等第二群導引結構包

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
經濟部中央標準局員工消費合作社印製
本紙張尺度適用中國國家標準(CNS)A4規格(210×297公釐)

六、申請專利範圍

含至少一層之第二雙向導引線；

可程式化耦接一連接器接頭網路於至少一雙向接頭導引線與第二雙向導引線之間，該連接器接頭網路包含至少一可程式型驅動器，而該等可程式型驅動器是用以驅動在雙向接頭導引線所接收之訊號至一選擇之第二雙向導引線並驅動在一選擇之第二雙向導引線所接收之訊號至雙向接頭導引線。

35. 根據申請專利範圍第34項之方法，其中每一後續較高層之第一雙向導引線之長度大於先前較低層之第一雙向導引線之長度一因數。

36. 根據申請專利範圍第35項之方法，其中雙向接頭導引線具有對應於第一雙向導引線之最高層的長度。

37. 根據申請專利範圍第34項之方法，該方法進一步包含調整一訊號驅動器成爲足以驅動第二雙向導引線之最高層的步驟，而該訊號驅動器驅動一訊號自雙向接頭導引線至選擇之第二雙向導引線。

38. 根據申請專利範圍第37項之方法，其中該等至少一訊號驅動器包含二訊號驅動器，其中驅動訊號自雙向接頭導引線至選擇之第二雙向導引線之該第一訊號驅動器大於驅動訊號自選擇之第二雙向導引線至雙向接頭導引線之第二訊號驅動器。

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
經濟部中央標準局員工消費合作社印製

本紙張尺度適用中國國家標準(CNS)A4規格(210×297公釐)

圖1

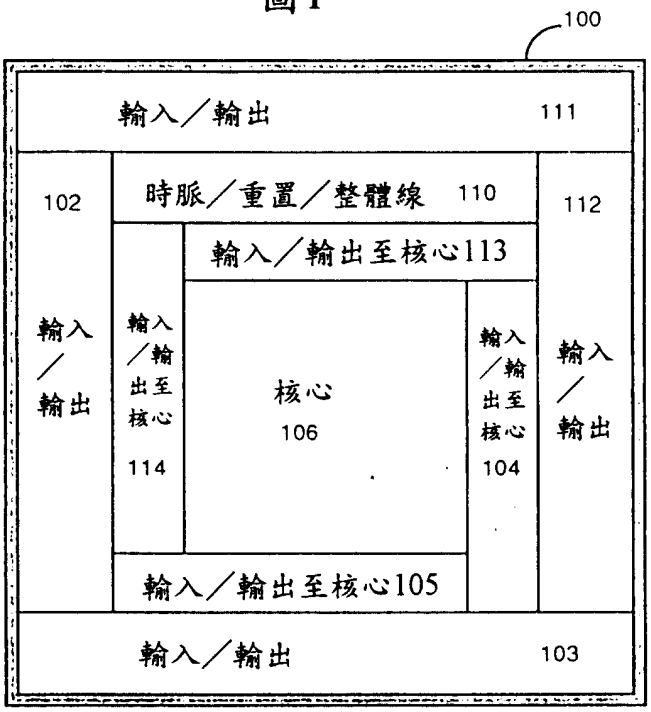

100
輸入／輸出
111
102
時脈／重置／整體線 110
112
輸入／輸出至核心113
輸入／輸出
輸入／輸出至核心
114
核心
106
輸入／輸出至核心
104
輸入／輸出
輸入／輸出至核心105
輸入／輸出
103

圖2A

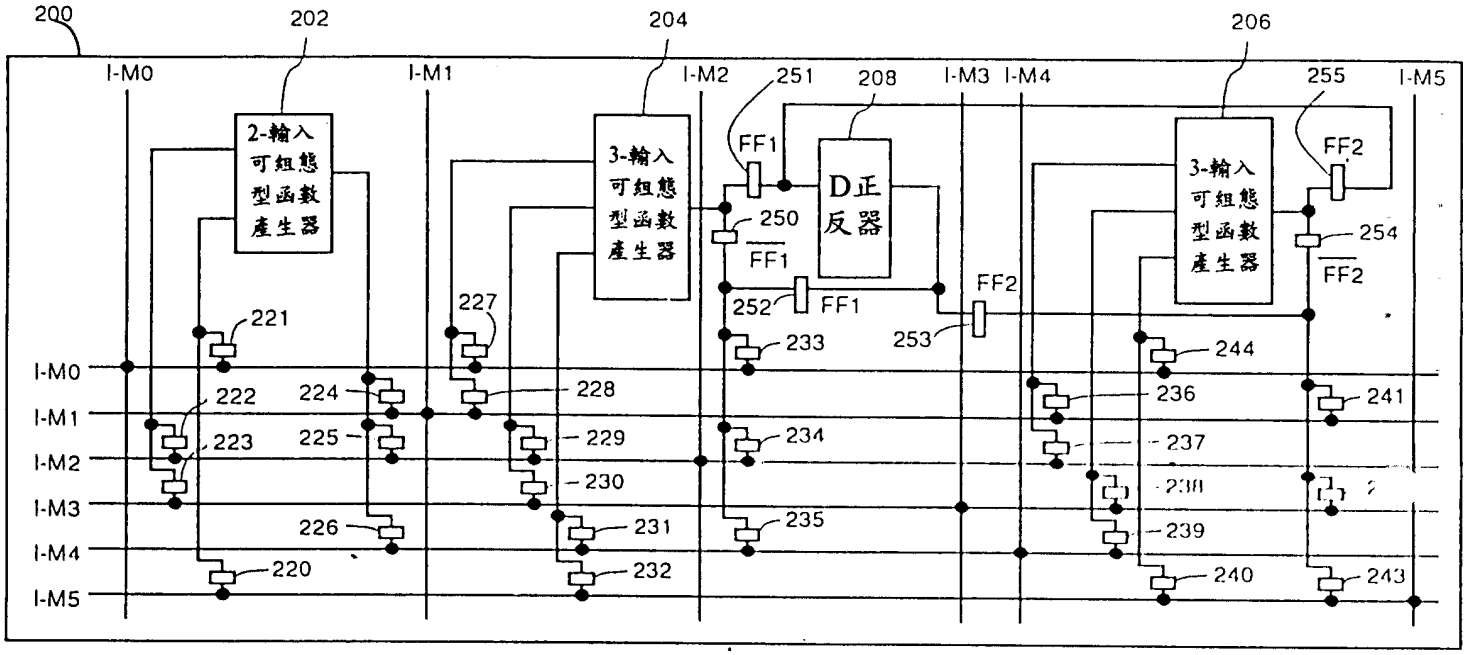

200
202
204
206
I-M0
I-M1
I-M2
I-M3
I-M4
I-M5
2-輸入可組態型函數產生器
3-輸入可組態型函數產生器
3-輸入可組態型函數產生器
D正反器
FF1
FF2
251
208
255
250
252
253
254
221
222
223
224
225
226
227
228
229
230
231
232
233
234
235
236
237
238
239
240
241
243
244
220

圖2B

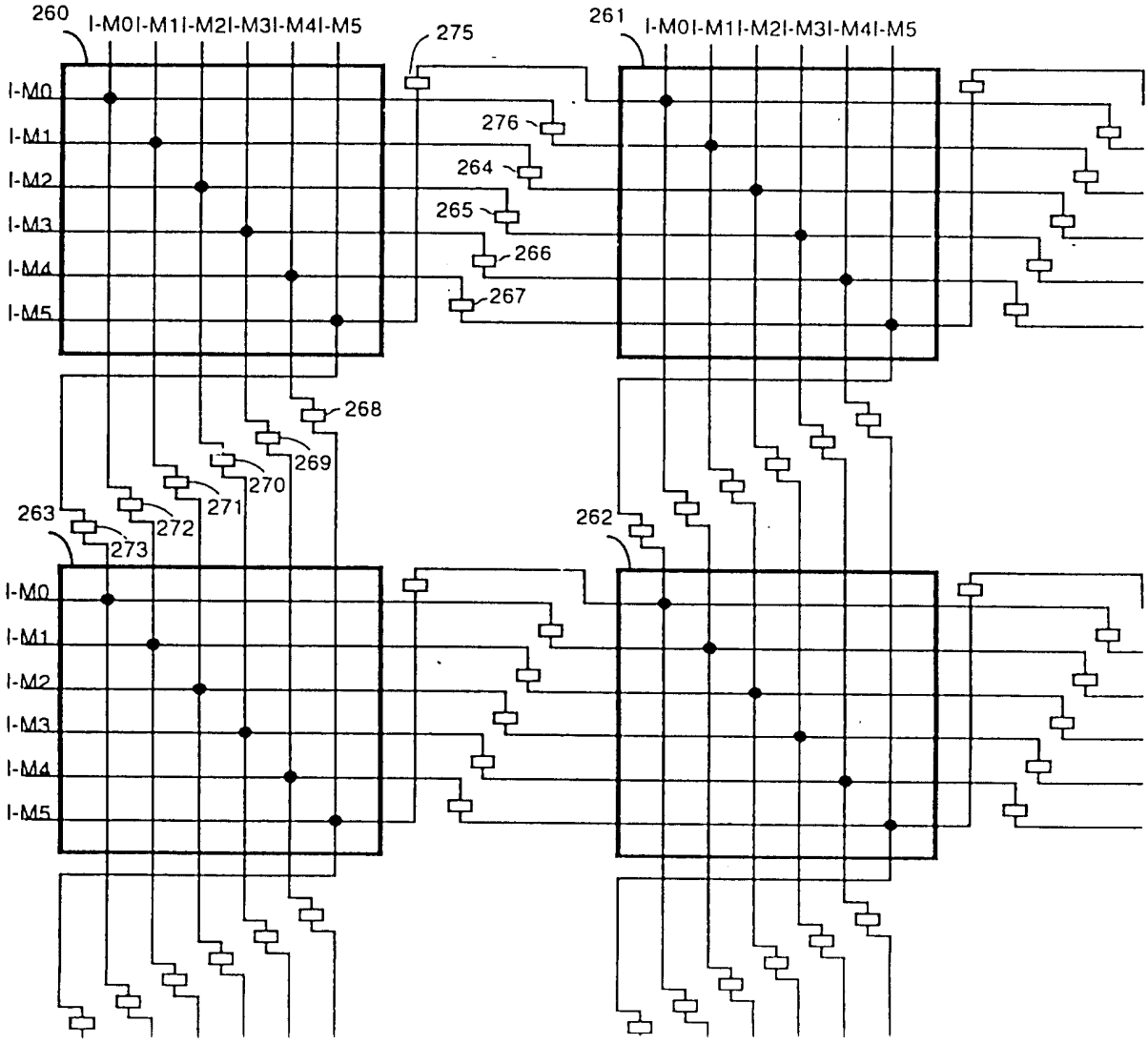

260
261
I-M0 I-M1 I-M2 I-M3 I-M4 I-M5
275
276
264
265
266
267
268
269
270
271
272
273
263
262

圖3A

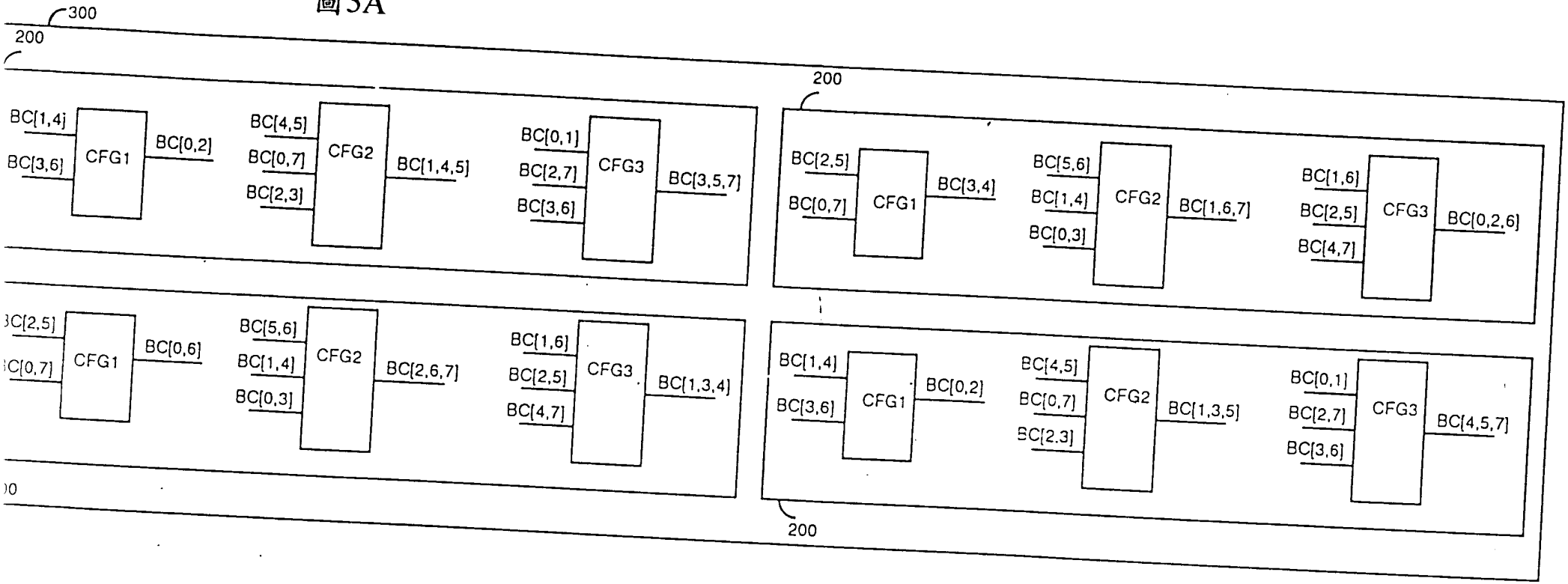
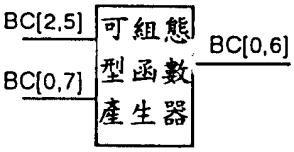

300
200
200
BC[1,4]
BC[3,6]
CFG1
BC[0,2]
BC[4,5]
BC[0,7]
BC[2,3]
CFG2
BC[1,4,5]
BC[0,1]
BC[2,7]
BC[3,6]
CFG3
BC[3,5,7]
BC[2,5]
BC[0,7]
CFG1
BC[3,4]
BC[5,6]
BC[1,4]
BC[0,3]
CFG2
BC[1,6,7]
BC[1,6]
BC[2,5]
BC[4,7]
CFG3
BC[0,2,6]
BC[2,5]
BC[0,7]
CFG1
BC[0,6]
BC[5,6]
BC[1,4]
BC[0,3]
CFG2
BC[2,6,7]
BC[1,6]
BC[2,5]
BC[4,7]
CFG3
BC[1,3,4]
BC[1,4]
BC[3,6]
CFG1
BC[0,2]
BC[4,5]
BC[0,7]
BC[2,3]
CFG2
BC[1,3,5]
BC[0,1]
BC[2,7]
BC[3,6]
CFG3
BC[4,5,7]
200

圖3B


BC[2,5]
BC[0,7]
可組態型函數產生器
BC[0,6]

等於

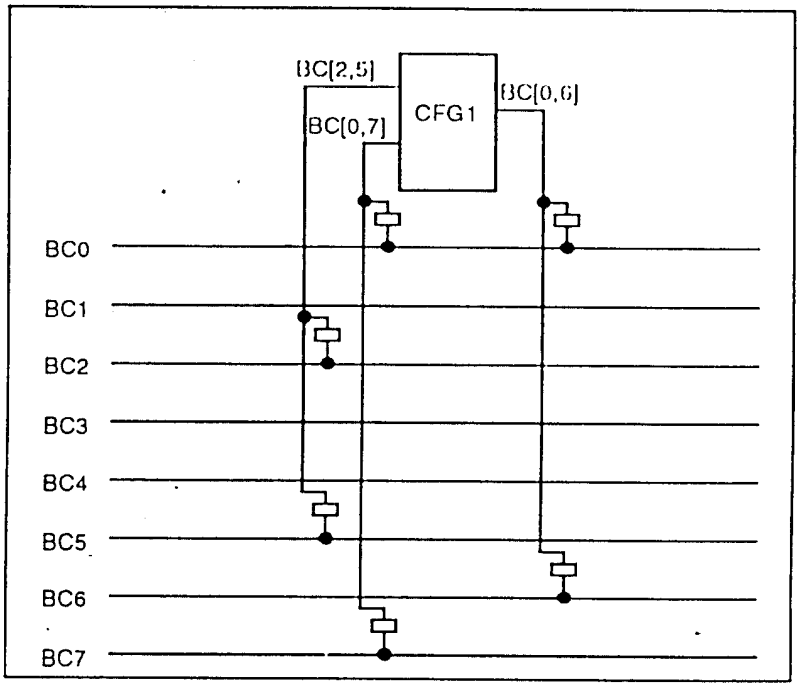
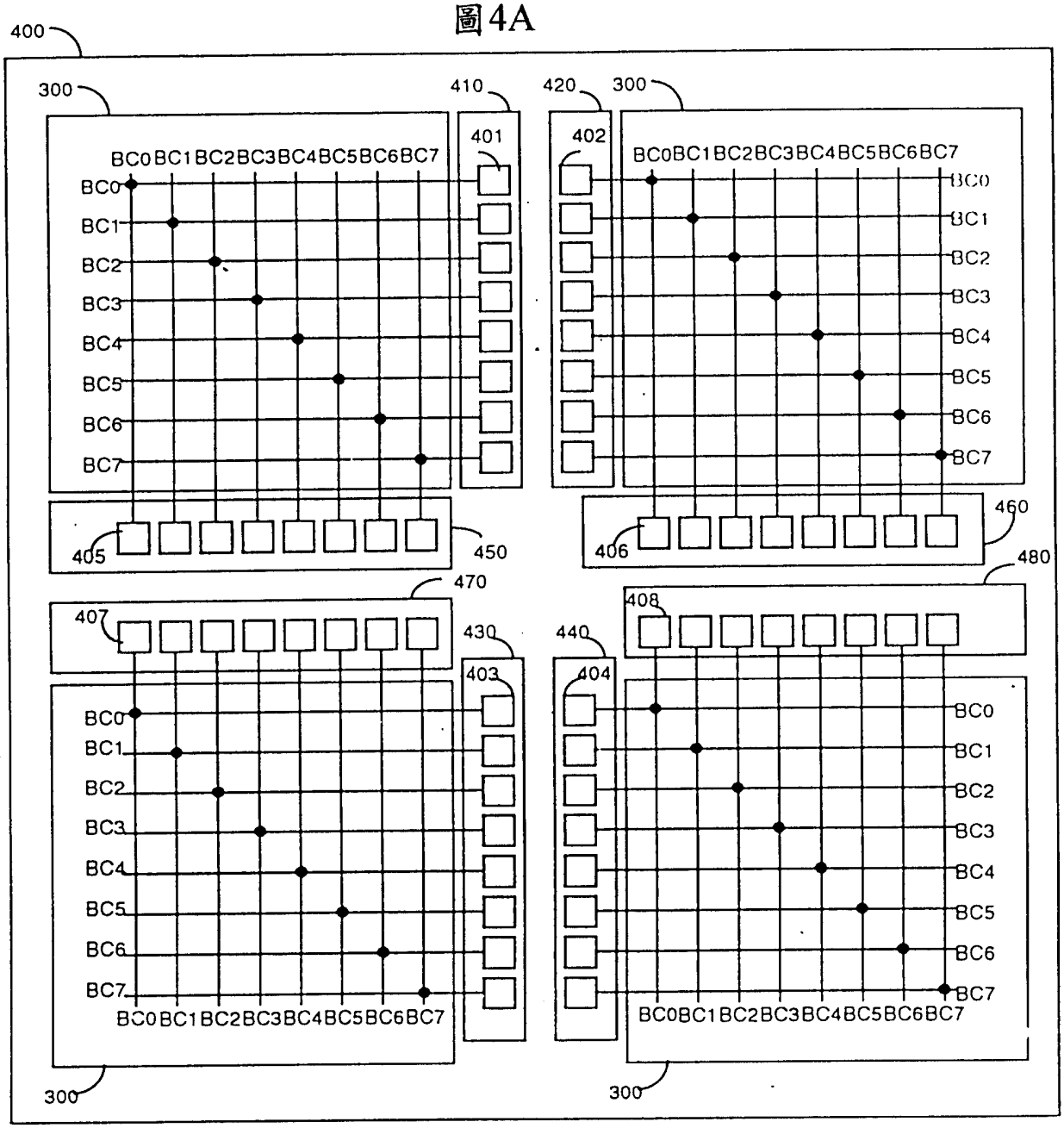

BC[2,5]
BC[0,7]
CFG1
BC[0,6]
BC0
BC1
BC2
BC3
BC4
BC5
BC6
BC7

圖4A



□：塊區連接器接頭網路

圖4B

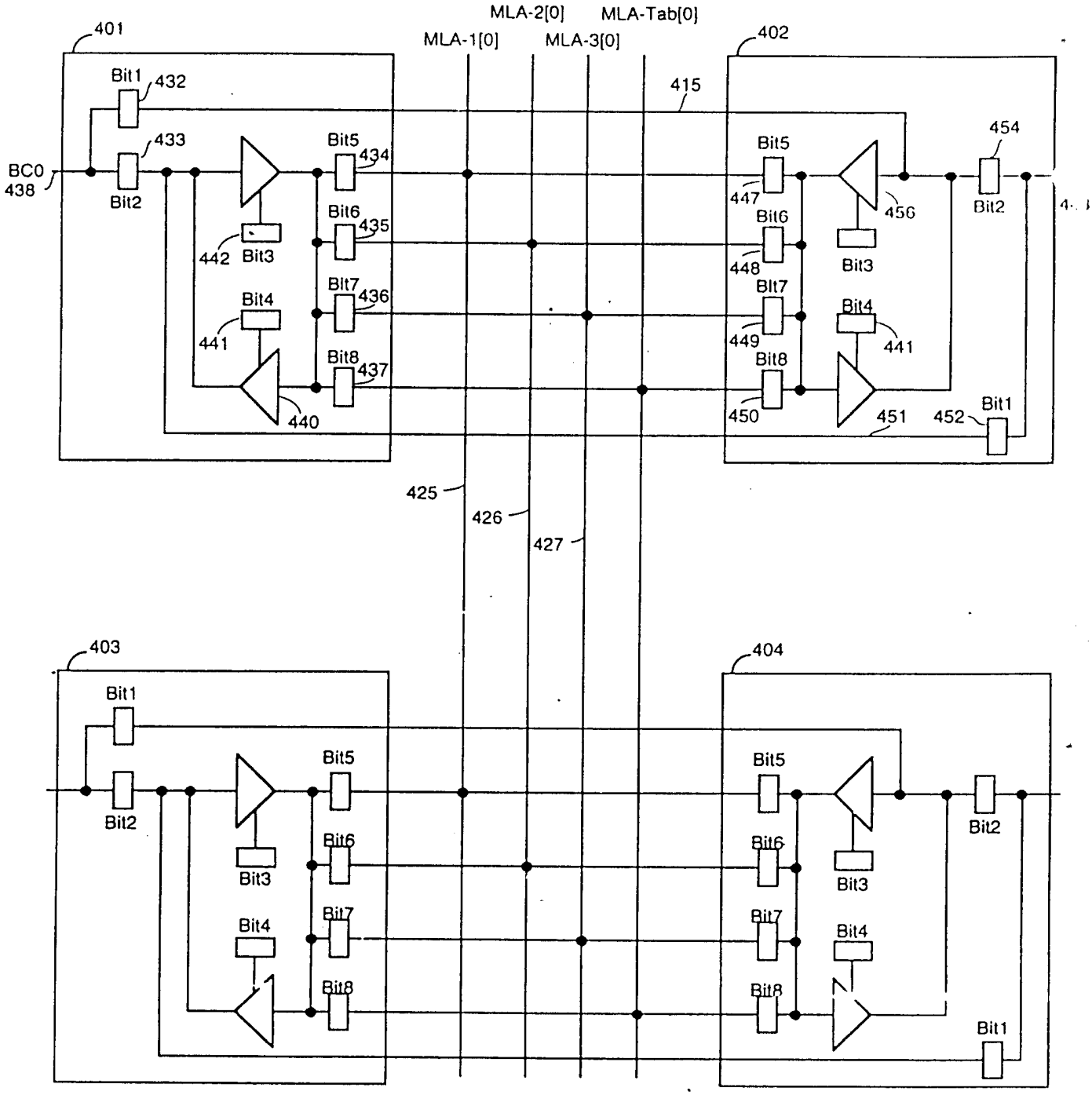

MLA-2[0]
MLA-Tab[0]
MLA-1[0]
MLA-3[0]
401
402
403
404
415
425
426
427
BC0
438
Bit1
Bit2
Bit3
Bit4
Bit5
Bit6
Bit7
Bit8
432
433
434
435
436
437
440
441
442
447
448
449
450
451
452
454
456

圖4C

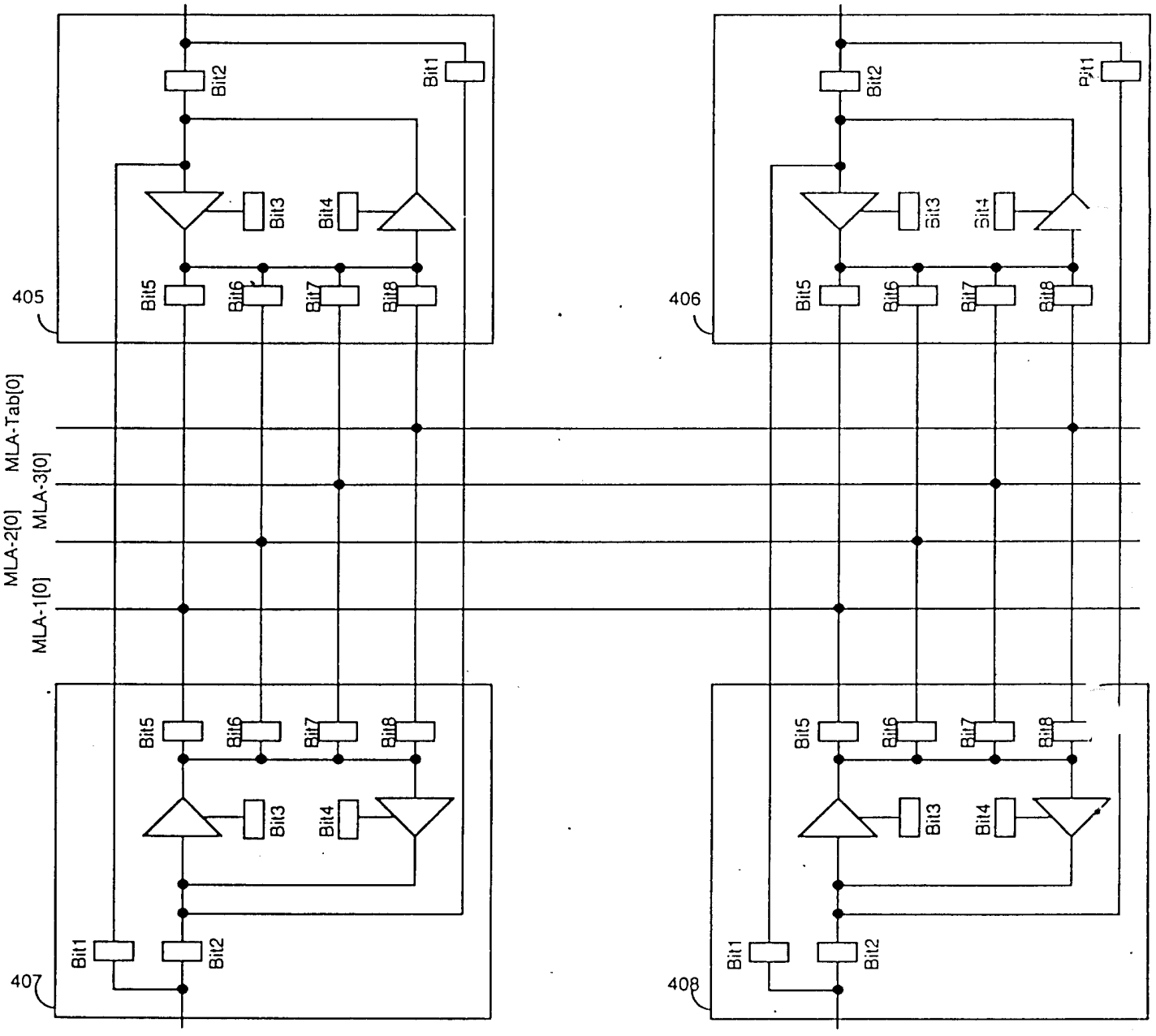

405
406
407
408
Bit1
Bit2
Bit3
Bit4
Bit5
Bit6
Bit7
Bit8
MLA-Tab[0]
MLA-3[0]
MLA-2[0]
MLA-1[0]

圖5

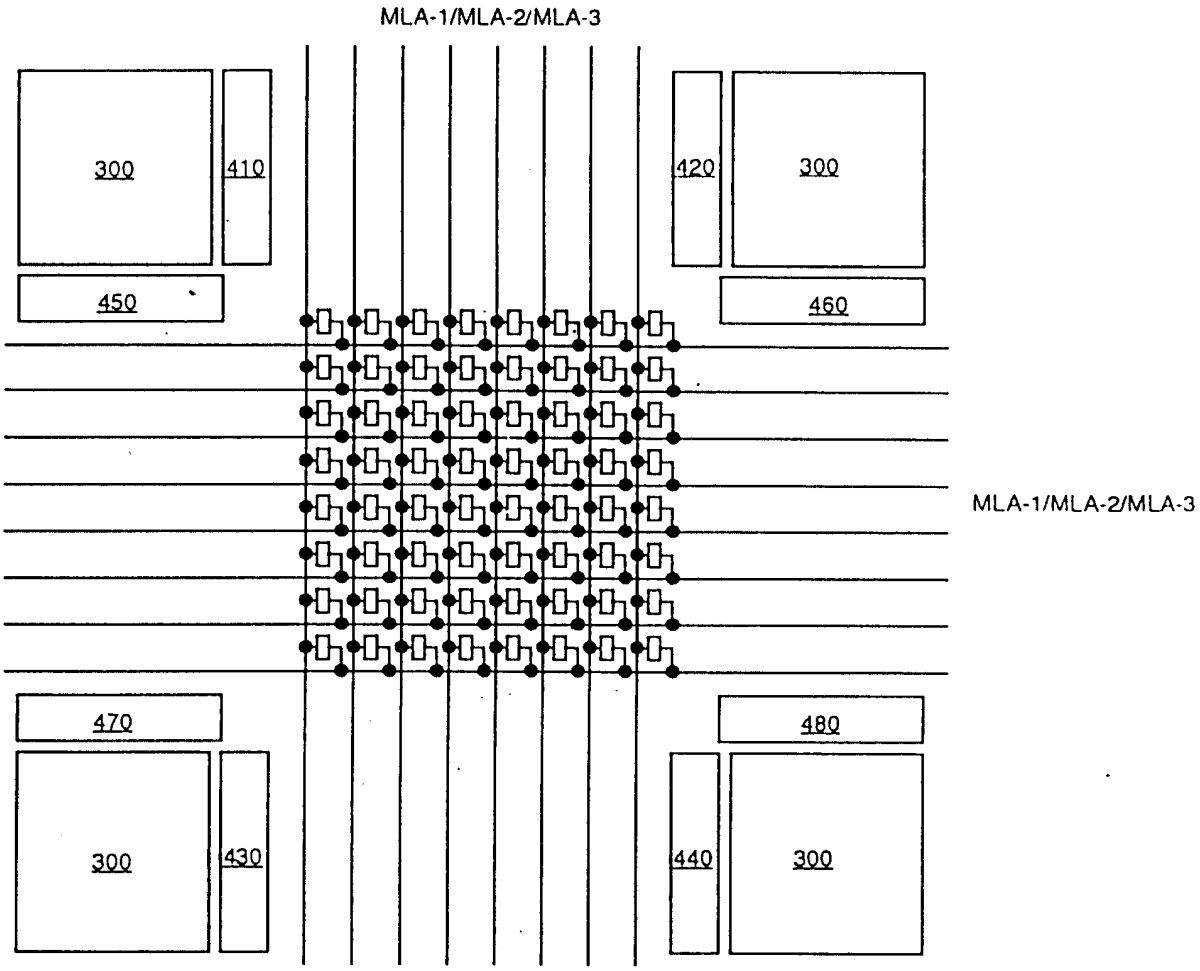

MLA-1/MLA-2/MLA-3
300
410
420
300
450
460
MLA-1/MLA-2/MLA-3
470
480
300
430
440
300

圖6A

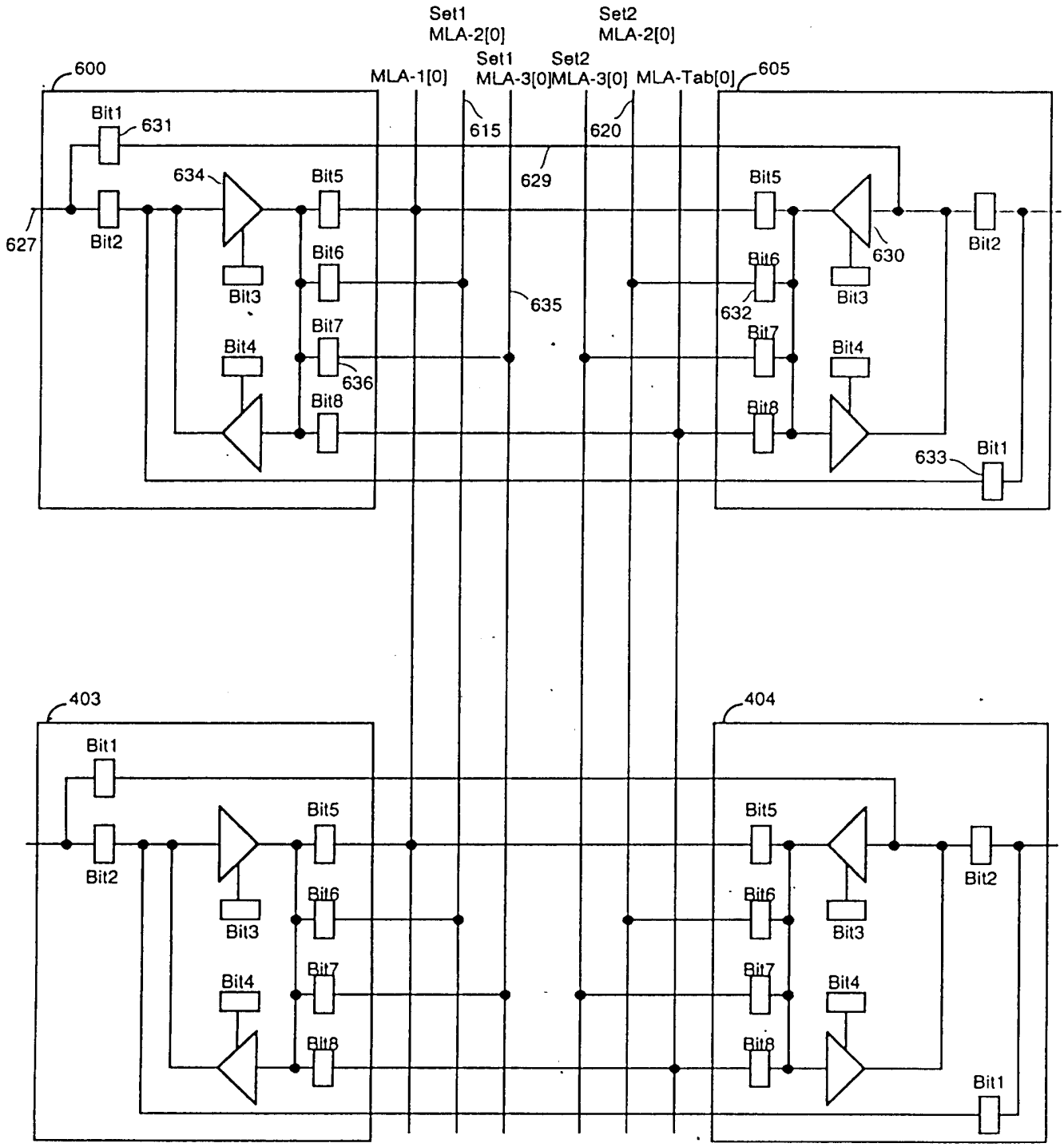

Set1
MLA-2[0]
Set2
MLA-2[0]
Set1
MLA-3[0]
Set2
MLA-3[0]
MLA-1[0]
MLA-Tab[0]
600
605
615
620
629
627
631
634
635
636
630
632
633
Bit1
Bit2
Bit3
Bit4
Bit5
Bit6
Bit7
Bit8
403
404

圖6B

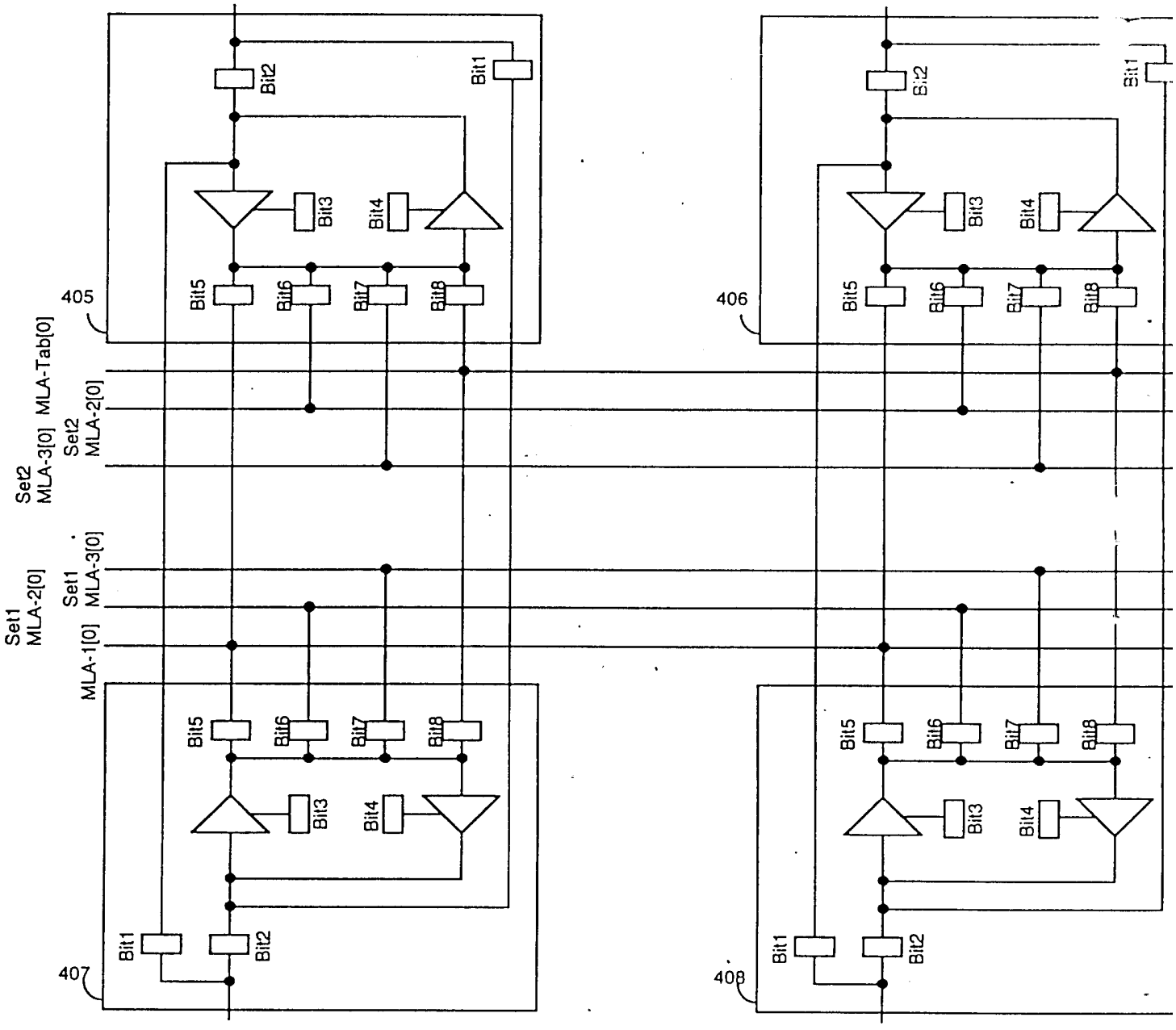

405
406
407
408
Bit1
Bit2
Bit3
Bit4
Bit5
Bit6
Bit7
Bit8
Set2 MLA-3[0]
MLA-Tab[0]
Set2 MLA-2[0]
Set1 MLA-3[0]
Set1 MLA-2[0]
MLA-1[0]

圖7A

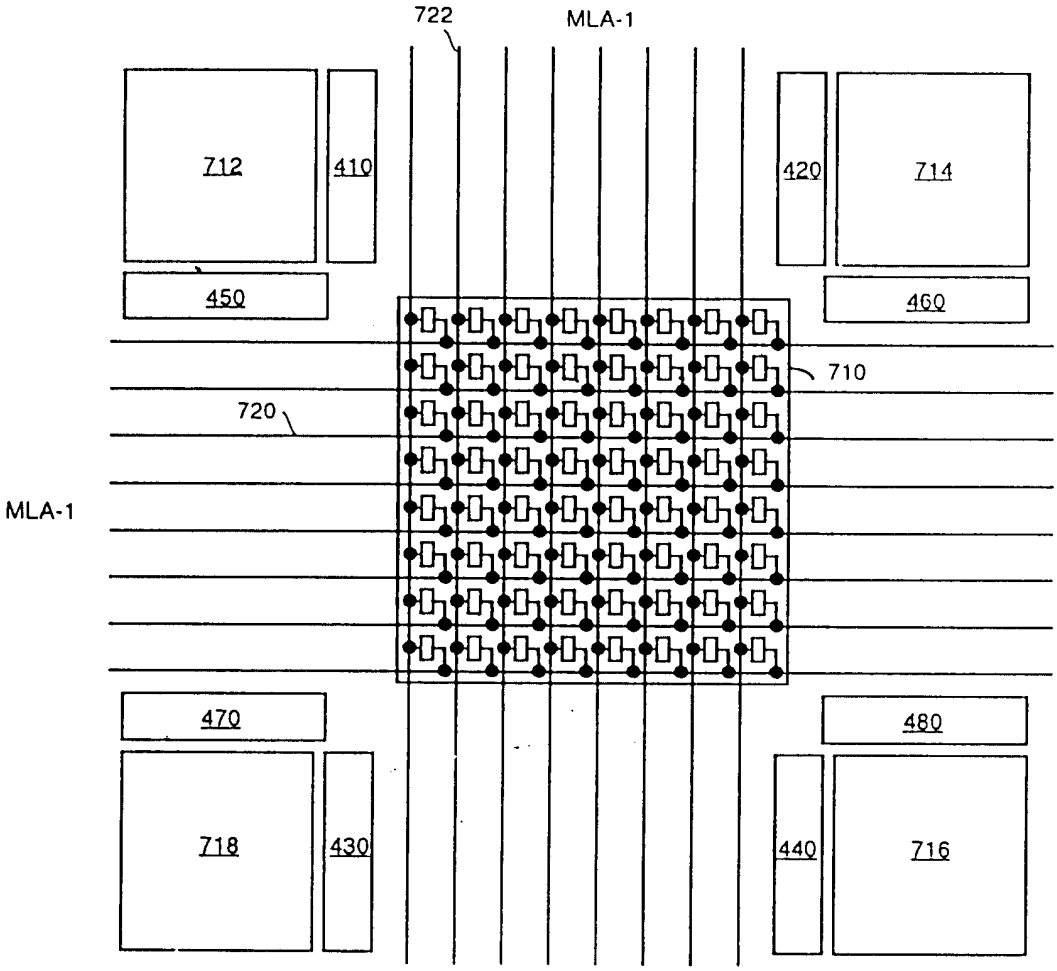

722
MLA-1
712
410
420
714
450
460
710
720
MLA-1
470
480
718
430
440
716

圖7B

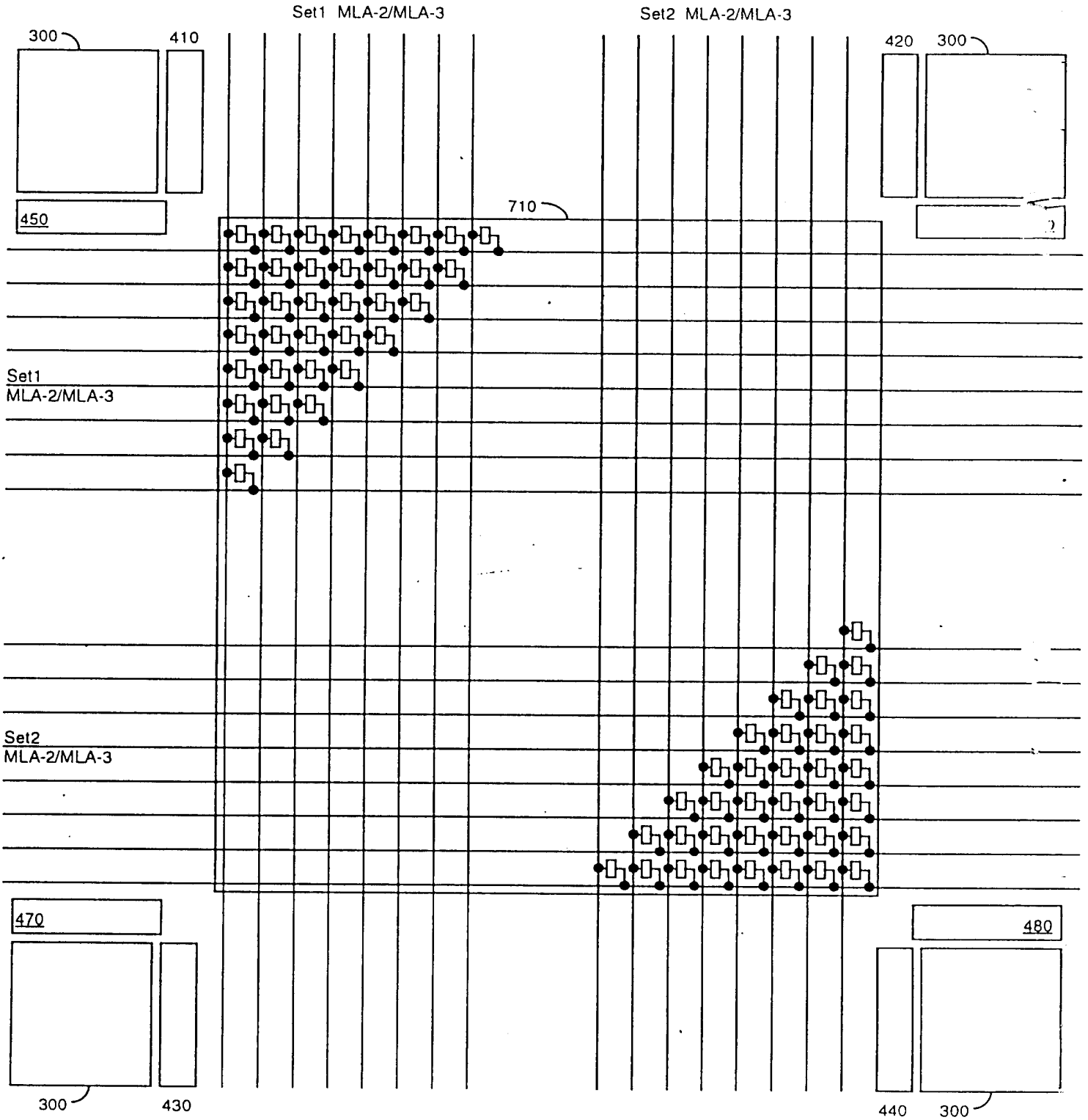

Set1 MLA-2/MLA-3
Set2 MLA-2/MLA-3
300
410
420
300
450
710
Set1
MLA-2/MLA-3
Set2
MLA-2/MLA-3
470
480
300
430
440
300

圖7C

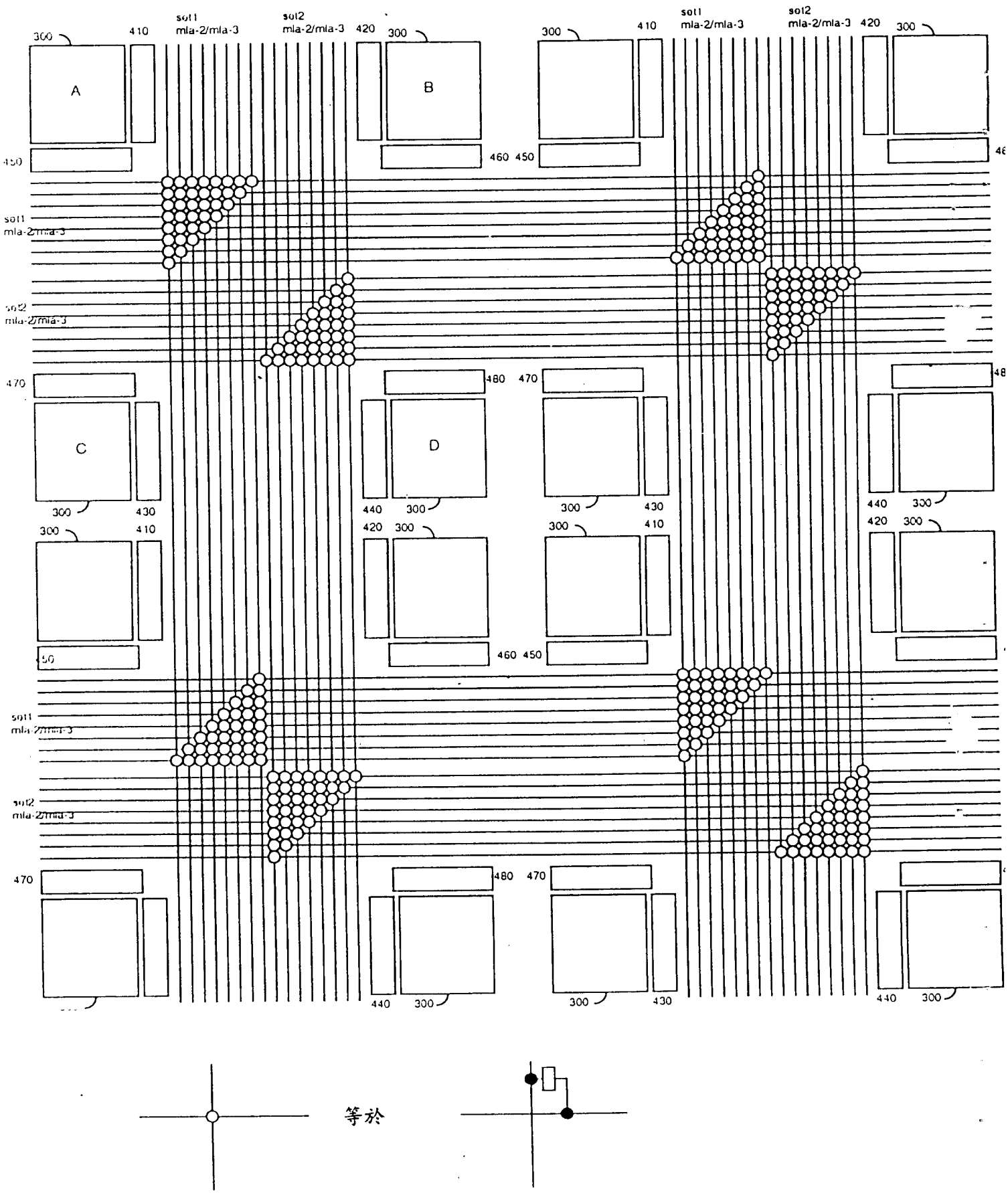

A
B
C
D
300
410
420
430
440
450
460
470
480
sel1
mla-2/mla-3
sel2
mla-2/mla-3
等於

圖8A：邏輯塊區之布置圖

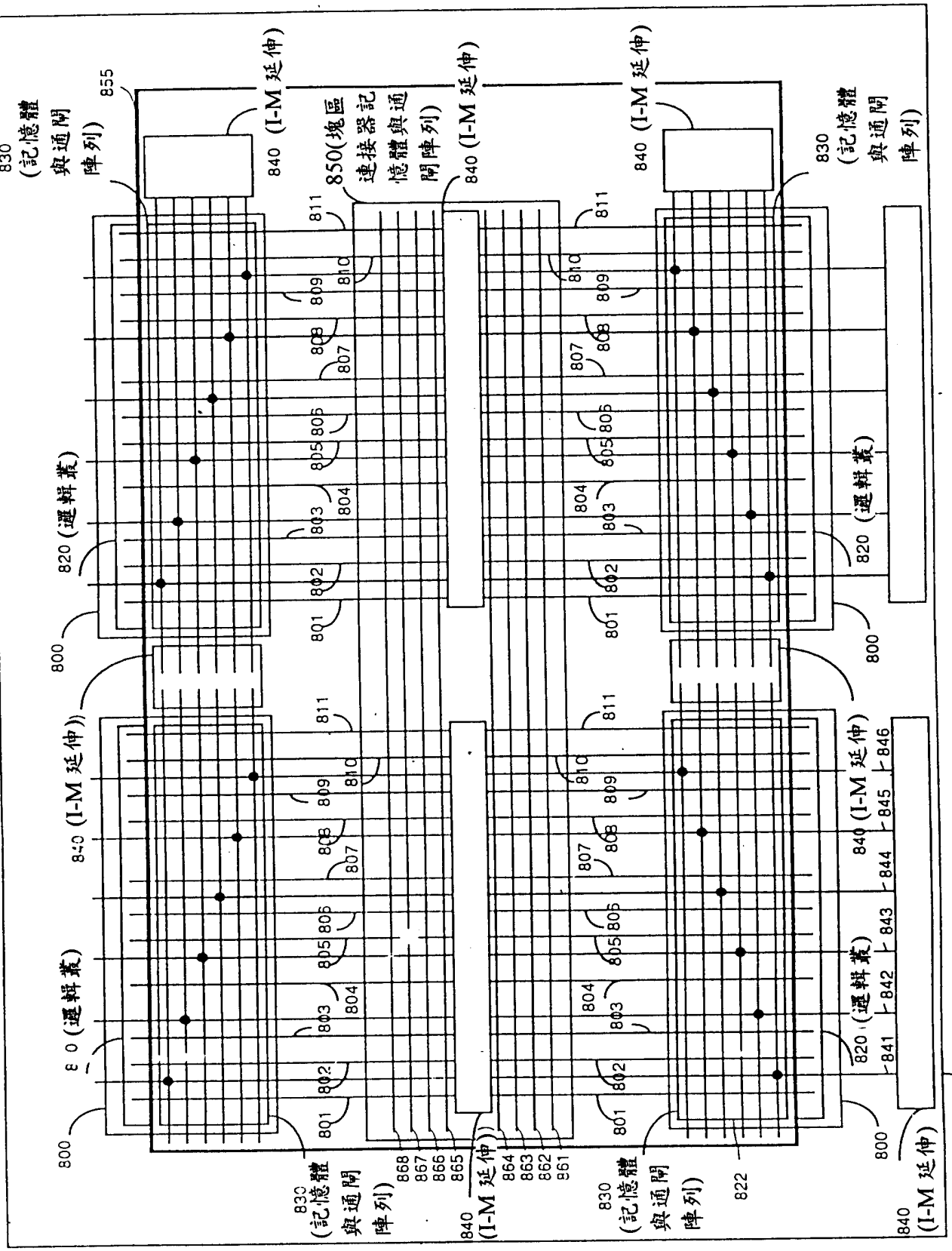


圖8B：具有相關多層結構之2×2邏輯塊區之布置圖

