



(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(11) 공개번호 10-2013-0038404  
(43) 공개일자 2013년04월17일

- (51) 국제특허분류(Int. Cl.)  
*H01L 23/02* (2006.01) *H01L 23/48* (2006.01)
- (21) 출원번호 10-2013-7005143(분할)
- (22) 출원일자(국제) 2005년04월12일  
심사청구일자 2013년02월27일
- (62) 원출원 특허 10-2006-7023775  
원출원일자(국제) 2005년04월12일  
심사청구일자 2010년04월12일
- (85) 번역문제출일자 2013년02월27일
- (86) 국제출원번호 PCT/US2005/012412
- (87) 국제공개번호 WO 2005/101492  
국제공개일자 2005년10월27일
- (30) 우선권주장  
60/561,849 2004년04월13일 미국(US)

- (71) 출원인  
버티칼 서킷, 임크.  
미국, 캘리포니아 95066, 스콧 밸리, 빅터 스퀘어  
10
- (72) 발명자  
엘, 빈다시어스  
미국, 캘리포니아, 사라토가  
마크, 로빈슨  
미국, 캘리포니아, 산 조세  
(뒷면에 계속)
- (74) 대리인  
강명구

전체 청구항 수 : 총 1 항

(54) 발명의 명칭 스택 다이 BGA 또는 LGA 컴포넌트 어셈블리

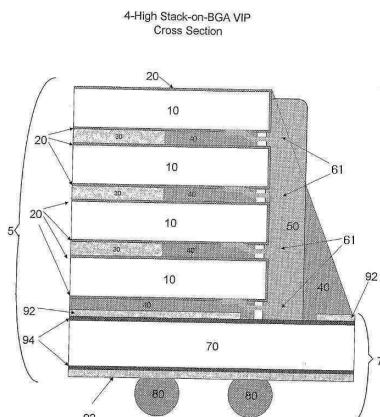
### (57) 요 약

본 발명은 반도체 다이, 집적 회로 다이, 또는 멀티풀 다이 세그먼트를 수직으로 상호 연결시키기 위한 장치를 제공하는 것이다. 하나 또는 둘 이상의 다이 또는 세그먼트 측면이 선택적으로 다이 또는 멀티 다이 세그먼트에 추가 될 수 있어서, 외부 전기 연결 포인트를 위한 상기 다이 표면에서 가장 자리 접착 패드를 제공할 수 있도록 한다.

상기 금속 경로 변경 상호 연결이 상기 웨이퍼의 다이로 추가된 후, 상기 웨이퍼는 선택적으로 얇게 만들어지며 다이 각각 또는 멀티풀 다이 세그먼트가 절삭 또는 다른 적절한 단편화 작업에 의해 상기 웨이퍼로부터 단일 다이로 만들어진다. 상기 다이 또는 멀티풀 다이 세그먼트가 상기 웨이퍼로부터 절삭되거나 단일화된 뒤, 상기 다이 또는 멀티풀 다이 세그먼트 모든 표면으로 절연이 가해지고, 상기 바람직한 전기적 연결 패드 위에 오프닝이 만들어지며, 그리고 상기 다이 또는 멀티풀 다이 세그먼트가 스택을 형성시키기 위해 서로의 상단에 위치하여 진다.

상기 스택 내 수직 인접 세그먼트는 얇은 가요성 접착 와이어 또는 접착 리본을 상기 다이의 주변부 가장자리에서 노출된 전기 연결 패드로 부착시킴으로서, 전기적으로 상호 연결되며, 상기 다이 주변부 가장자리는 상기 다이로부터 수평으로 돌출하여 있고, 전기적 전도 폴리머, 또는 에폭시 필라멘트 또는 라인들을 하나 또는 둘 이상의 상기 스택 사이드에 연결시킨다.

### 대 표 도 - 도6



(72) 발명자  
래리, 자콥슨  
미국, 오레곤, 밴드

도날드, 엘멘  
미국, 캘리포니아, 산 마틴

---

## 특허청구의 범위

### 청구항 1

반도체 다이 어셈블리에 있어서, 상기 어셈블리는

기판 상에 장착되며, 가장자리 전기 연결 위치(peripheral electrical connection site)를 갖는 하나 이상의 다이와,

다이가 장착되는 기판 측부에 전기 연결 랜드(electrical connection land)를 갖는 기판

을 포함하며, 이때, 상기 다이 상의 전기 연결 위치(electrical connection site)는, 전기 전도성 폴리머 요소에 의해, 기판 상의 전기 연결 랜드로 전기적으로 연결되는 것을 특징으로 하는 반도체 다이 어셈블리.

## 명세서

### 기술 분야

[0001]

본 발명은 "스택 다이 BGA 또는 LGA 컴포넌트 어셈블리"라는 명칭으로 2004년 4월13일 출원된 미국 특허출원 제60/561,849호를 우선권 주장의 기초로 한다.

[0002]

본 발명은 실리콘의 집적 회로 다이 및/또는 멀티플 다이 세그먼트들을 스택하고 상호 연결시키며, 전기 전도 폴리머 또는 에폭시를 사용하여 상기 스택 가장자리에서 다이 또는 멀티플 다이 세그먼트를 상호 연결시키고, 그리고 BGA 기판에 다이의 스택을 장착하기 위한 장치에 대한 것이다.

### 배경 기술

[0003]

수년 동안, 트랜지스터 및 집적 회로와 같은 전기적 컴포넌트들이 실리콘 및/또는 게르마늄을 포함하는 반도체 재의 웨이퍼를 사용하여 만들어져 왔다.

[0004]

집적 회로가 에칭, 도핑 및 레이어링(layering)과 같은 다양한 기술을 사용하여 웨이퍼 상에 제공되어 왔다. 상기 웨이퍼 상에 제공된 개별 집적 회로는 다이(die)로 불려지며, 외부 전기 연결을 위한 접착 패드라 불리는 접촉 포인트를 포함한다. 대개 상기 웨이퍼 상의 다이는 상기 다이를 규정시키는 경계를 따라 상기 웨이퍼를 절삭함으로써 서로 분리된다. 일단 상기 다이가 상기 웨이퍼로부터 절삭되면, 이들은 칩 또는 다이로 불려지며, 사용하기 위해 패키지 된다. 근자에 들어, 보다 강력한 전자 시스템의 확산은 보다 강한 성능 그리고 보다 높은 밀도의 집적 회로 패키지에 대한 필요를 증가시키었다.

[0005]

보다 높은 밀도의 패키지를 생산하기 위한 한 방법은 웨이퍼 스케일 집적(WSI) 기술을 사용하여 단일 웨이퍼 상에 전체 컴퓨터 시스템을 만드는 것이다. WSI 기술은 다이를 상호 연결시키기 위해 와이어를 사용하여 웨이퍼 상의 모든 다이들을 측면을 통해 와이어 하도록 하는 것이다. 그러나, 상기 다이들 사이 필요한 상호 연결을 발생시키기 위해, 극히 얇고 만들기 어려운 많은 와이어들이 요구된다. 또한, 상기 결과의 상호 연결된 다이는, 상기 웨이퍼 스케일 집적 소자가 전자 시스템 내로의 연결을 위해 부착되어 지는 전자 시스템 회로 보드 상에서 너무 많은 면적을 차지한다.

[0006]

보다 높은 밀도 패키지를 만들기 위한 두 번째 방법은 상기 칩들을 수직으로 쌓음으로써(stacking) 회로 기판에서 칩들을 위치시키기 위해 필요한 면적을 줄이도록 한다. 한 칩 스택킹 기술은 세라믹 캐리어 상에 개별 다이를 장착하며, 상기 다이 그리고 캐리어 모두를 캡슐화하고, 그리고 다음으로 상기 스택을 프린트 회로 기판 상에 장치한다. 이와 같은 기술으로, 상기 스택 내 모든 다이가 금속 펈을 통해 프린트 회로 기판으로 상기 다이의 리드를 연결기킴으로써 상호 연결된다. 이 같은 방법은 결국 상기 회로 기판에서 현저하게 많은 펈 수를 발생시키는 데, 이는 이와 같은 많은 펈 수가 많은 수의 펈 중 하나가 기판으로부터 연결이 차단될 가능성을 증가시키기 때문에 회로 신뢰도를 줄이도록 한다.

[0007]

또 다른 칩 스택킹 방법은 1992년 4월 14일 출원된 미국 특허 출원 제5,104,820호에서 설명된 다이 스택에 대한 더욱 복잡한 방법을 사용한다. 이 같은 방법은 개별 칩을 수정하여 경로 변경(rerouting) 리드라 불리는, 웨이퍼 표면으로 금속화 패턴을 추가시킴으로써 스택 될 수 있도록 한다. 상기 경로 변경 리드는 상기 칩에서 접착 패드로부터 상기 웨이퍼의 표면으로 추가 시킴으로써 스택될 수 있다. 상기 경로 변경 리드는 상기 칩에서의

접착 패드로부터 새로이 형성된 접착 패드로 연장되며, 모든 경로 변경 리드가 상기 수정된 칩 한 사이드에서 종료되도록 배열된다. 다음에 수정된 칩 각각은 상기 웨이퍼로부터 절삭되며, 한 스택으로 어셈블된다. 상기 스택은 상기 수정된 칩의 모든 리드가 상기 스택 같은 사이드를 따라 정렬되도록 어셈블된다.

- [0008] 다음에 상기 리드를 갖는 스택의 사이드가 예칭되고 연마되어, 상기 수정된 칩 각각에서의 리드 단면이 접근될 수 있도록 한다.
- [0009] 상기 리드(leads)가 노출된 후, 금속화 층이 상기 스택 내 상기 수정된 칩 각각을 전기적으로 연결시키기 위해 상기 스택의 사이드를 따라 상기 리드들로 적용된다. 다음에 상기 스택이 기판에 장착되고 연결되며, 상기 기판은 다시 통상의 회로에 연결된다.
- [0010] 리드를 경로 변경하는 이 같은 방법은 복잡하고 그리고 값비싼 종래 방법에 대한 회로 밀도에 대한 개선을 제공하는 것이다. 또한, 상기 경로 변경 리드는 인접한 다이 위로 연장되며, 이는 상기 수정된 칩이 상기 웨이퍼로부터 절삭되는 때 파괴된다. 이 같은 방법에서, 멀티풀 다이는 수정된 모든 칩에 대하여 희생된다.
- [0011] 더욱 높은 밀도 회로를 만들기 위한 또 다른 방법은 웨이퍼 배열을 형성시키기 위해 개별 칩이 아닌 전체 웨이퍼로부터 스택을 발생시킨다. 스택 내 상기 웨이퍼들은 구리와 같은 단단한 수직의 금속 전도 피드-관통(feed-throughs) 칼럼을 사용하여 전기적으로 상호 연결된다. 웨이퍼들을 상호 연결시키 위한 상기 단단한 피드-관통의 사용은 열 사이클 중 차별적인 열 팽창 계수로 인해 상기 배열에 손상을 가져 올 수 있다. 또한 상기 처리는 비용이 많이 들며 웨이퍼들로 하여금 수선하기 위해 분리시키기 곤란하게 한다.
- [0012] 또한 1990년 6월 30일 특허된 미국 특허 제 4,897,708호 그리고 1990년 9월 4일 특허된 미국 특허 제 4,954,875호에서 공개된 웨이퍼 스택 상호 연결하기 위한 다른 방법이 존재한다.
- [0013] 이들 방법은 상기 웨이퍼에서 접착 패드를 노출시키는 원추-형상 관통-구멍으로 상기 스택 내에 웨이퍼 각각을 제공한다. 상기 스택 내 웨이퍼 접착 패드가 다음으로 전기 전도 액체로 상기 관통 구멍을 채우거나, 또는 전기 전도 캠플라이언트 재를 상기 관통 구멍 내로 삽입하여, 상기 웨이퍼들 사이에서 연속된 수직 전기 연결을 제공하도록 한다. 웨이퍼들을 상호 연결시키기 위해 단단한 수직의 금속 칼럼을 사용하는 단점을 피하고, 전기 전도 액체 및 전도 재를 사용하기 위해 상기 관통 구멍을 채우기 위한 특수한 공구를 필요로 한다.
- [0014] 또한 상기 전기 소자의 크기 제한으로 인해 전체 웨이퍼 스택을 사용하는 것은 바람직 하지 않을 수 있다.
- [0015] 개별 반도체 다이는 전형적으로 패키지로 어셈블되며, 상기 접적 회로 다이가 인쇄 회로 기판에 접착될 수 있도록 하고, 그리고 전기적 연결이 상기 접적 회로 다이들 사이에서 만들어 질 수 있도록 한다.
- [0016] 이 같은 목적을 위해 많은 종류의 패키지가 있다. 상기 BGA 패키지 그리고 상기 TSOP 패키지는 메모리 다이를 어셈블하고 프린트 회로 기판에 어셈블된 다이를 장착하기 위해 공통적으로 사용되는 2 종류의 패키지이다. 패키지된 접적 회로를 스택하기 위한 다수의 방법이 있으나, 일반적으로 이들은 필요한 길이 그리고 인터-패키지 상호 연결 특성으로부터 발생되는 추가 전기 기생으로 인한 성능 단점, 그리고 크기 단점을 갖고 있다. 상기 패키지의 커다란 물리적 크기로 인해, 서로의 상단에 쌓여질 수 있는 패키지의 수에 대개 2라는 제한이 있으며, 열-기계적 문제를 피하도록 한다. 상기 패키지 접적 회로의 스택은 근자에 널리 알려져 있으며, 그러나 너무 많은 기판 공간을 차지하고, 너무 두꺼우며, 그리고 DDR2 및 DDR3 DRAM과 같은 개선된 메모리 소자에 의해 요구되는 높은 속도로 동작되지 못한다.

## 발명의 내용

- [0017] 따라서, 본 발명의 목적은 접적 회로 다이 및 멀티풀 다이 세그먼트를 스택으로 쌓고 그리고 상호 연결시키기 위한 개선된 방법 및 장치를 제공하는 것이다.
- [0018] 본 발명은 반도체 다이, 접적 회로 다이, 또는 멀티풀 다이 세그먼트를 수직으로 상호 연결시키기 위한 장치를 제공하는 것이다. 상기 다이 또는 세그먼트의 하나 또는 둘 이상의 측부로 연장되는 금속 경로변경 상호 연결은 선택적으로 상기 다이 또는 멀티풀 다이 세그먼트에 추가될 수 있으며, 외부 전기 연결 포인트들을 위해 상기 다이 표면에 가장자리 접착 패드를 제공하도록 한다.
- [0019] 상기 금속 경로변경 상호 연결이 상기 웨이퍼의 다이로 추가된 후, 상기 웨이퍼는 선택적으로 얇게 만들어지며 다이 각각 또는 멀티풀 다이 세그먼트가 절삭 또는 다른 적절한 단편화 작업에 의해 상기 웨이퍼로부터 단일 다이로 만들어진다. 상기 다이 또는 멀티풀 다이 세그먼트가 상기 웨이퍼로부터 절삭되거나 단일화된 뒤, 상기 다이 또는 멀티풀 다이 세그먼트 모든 표면으로 절연이 가해지고, 상기 바람직한 전기적 연결 패드 위에 오프닝이

만들어지며, 그리고 상기 다이 또는 멀티플 다이 세그먼트가 스택을 형성시키기 위해 서로의 상단에 위치된다.

[0020] 상기 스택 내 수직 인접 세그먼트는 짧은 가요성 접착 와이어 또는 접착 리본을 상기 다이의 주변부 가장자리 (peripheral edge)에서 노출된 전기 연결 패드로 부착시킴으로서, 전기적으로 상호 연결되며, 상기 다이 주변부 가장자리는 상기 다이로부터 수평으로 돌출하여 있고, 전기적 전도 폴리머, 또는 에폭시 필라멘트 또는 라인들을 하나 또는 둘 이상의 상기 스택 사이드에 연결시킨다.

[0021] 본 발명의 또 다른 특징에 따라, 열 전도 에폭시 형성 쉬이트가 제공되어 상기 세그먼트 스택이 함께 에폭시 결합되도록 한다. 상기 열 전도 에폭시 예비적 형성품은 그 속에 분산되어 있는 다수의 유리 구면을 포함한다.

[0022] 상기 상호 연결된 다이 스택이 다음에 장착되며 기판의 상단 표면에 전기적으로 연결되고, 상기 기판은 전도 층 그리고 절연 층으로 구성되며, 상기 수직 필라멘트 아래 정렬된 상기 기판 상단 표면 상에 전기적 연결 포인트를 갖고, 그리고 상기 기판의 하단에 땀납 볼을 갖거나, 다른 연결 수단을 가져서, 상기 기판 하단을 프린트 회로 기판에 전기적으로 연결시키고 장착하도록 한다.

[0023] 하기에서는 첨부 도면을 참조하여 본 발명을 상세히 설명한다.

### 도면의 간단한 설명

[0024] 도 1은 초기 연결 패드가 다이 중심 아래로 연장되는, 그리고 새로운 연결 패드가 상기 다이 가장자리에 위치하는 상기 다이 중앙에서 상기 초기 연결 패드를 연결시키는 라인들을 경로변경시키는 단일 반도체 다이를 설명하는 도면.

도 2는 컨포멀 절연 코팅으로 코팅된 다이를 도시하는 반도체 다이 단면을 도시한 도면.

도 3은 상기 컨포멀 코팅을 도시하는 반도체 다이 단면 그리고 상기 반도체 다이 중앙으로 연장되는 초기 연결 패드 위 컨포멀 코팅 내 오프닝을 도시하는 도면.

도 4는 상기 다이의 주변부 둘레에 연결 패드를 갖는 반도체를 도시한 도면.

도 5는 초기의 또는 재배치된 주변 패드가 컨포멀 절연 코팅으로 코팅된, 그리고 상기 주변부에 위치한 전기 연결 패드 위에 위치한 절연 코팅 내에 오프닝을 갖는 반도체 다이를 도시한 도면.

도 6은 BGA에 완성된 4-하이 스택의 단면도.

### 발명을 실시하기 위한 구체적인 내용

[0025] 도 1에서, 초기 연결 패드(60)를 갖는 반도체 다이(10)가 모든 다이 상단 표면(30)에 적용된 절연 층을 갖는 한편, 상기 다이는 웨이퍼 형태로 서로 연결된다. 한 금속 층이 노광을 사용하여 증착되며, 초기 연결 패드(60)로부터 상기 다이 가장자리의 새로운 위치로 전기 신호를 경로 변경하도록 한다. 절연 재의 추가 층이 상기 금속 층에 선택적으로 적용되며, 오프닝이 상기 반도체 다이 가장자리의 재배치된 패드 위치에, 그리고 선택적으로 상기 다이 상단 표면 중앙 아래 초기 패드 위치에, 절연 재의 상단 층 내에 만들어진다.

[0026] 도 2와 관련하여, 반도체 다이(10)는 그라인딩 또는 랩핑(lapping)에 의해 얇게 되며, 반도체 웨이퍼로부터 단일 체로 만들어지고, 그리고 상기 반도체 다이는 컨포멀(conformal) 절연 코팅(20)으로 코팅되었다.

[0027] 도 3과 관련하여, 오프닝은 반도체 다이(10)의 초기 연결 패드(60) 위에 코팅(20) 내에 만들어진다.

[0028] 도 4는 연결 패드(80)가 상기 다이 상단 표면 주변부 둘레에 위치하는 반도체 다이(70)를 도시한다.

[0029] 도 5는 전기적 연결이 상기 다이 표면 가장자리에 위치하는 반도체 다이 상의 위치(90)에 있는 컨포멀 코팅 재 내의 오프닝을 도시한다.

[0030] 도 6은 수직 스택 어셈블리 컴포넌트(5)를 도시하며, 컨포멀 코팅(20)을 갖는 반도체 다이(10)로 구성된다. 반도체 다이(10)는 금속 전도 요소(61)를 가지며, 상기 금속 전도 요소의 한 단부는 상기 다이(10)의 주변부에서 전기적 연결 포인트에 연결되고, 상기 금속 전도 요소의 다른 한 단부는 수직 전도 폴리머(50) 내에 삽입된다. 상기 수직 전도 폴리머(50)는 상기 다이의 스택 가장자리에 인접하고 상기 다이를 상기 기판(7) 위 상단 전기 전도 표면(94)에 전기적으로 연결시킨다.

[0031] 도 6에서 도시된 바와 같이, 에폭시 예비적 형성품(30)이 상기 다이 각각 위에 컨포멀 코팅(20)에 접착시킴으로

써, 스택 내 다이(10)가 서로 적층되도록 사용된다.

[0032] 도 6은 에폭시 예비적 형성품(30)으로 서로 적층된, 그리고 수평 전도 요소(61)에 의해 수직 전도 요소(50)에 전기적으로 연결된, 그리고 기판(7)에 장착된 다이(10) 스택을 도시한다. 상기 기판은 상단 그리고 하단 표면에 전도 층(94), 코어(70), 상기 하단 표면 상의 땜납 마스크(92), 그리고 상기 기판 하단에 연결된 땜납 볼(80)을 갖는 것으로 도시된다. 또한, 언더필(underfill) 재료(40)가 사용되어, 상기 스택 내 하단 다이와 상기 기판 사이의 공간을 채우도록 하고, 상기 스택의 가장자리에서 필렛(filet)을 형성하도록 하며, 상기 예비적 형성품(30)의 가장자리로부터 상기 다이의 가장자리까지의 층들 사이 공간을 채우도록 한다.

[0033] 상기에서는 높은 밀도, 낮은 기생의 스택 다이 BGA 또는 LGA 컴포넌트 어셈블리를 설명하였다. 다수의 다양한 컴포넌트가 하기에서 설명되는 바와 같이 본 발명과 함께 사용될 수 있다.

[0034] 가령, 본 발명은 서로 적층된 반도체 또는 접적 회로 다이 스택을 구성시킬 수 있다. 상기 다이는 상기 다이의 상단 표면 가장자리에서 초기 다이 연결 패드를 새로운 연결 위치로 상호 연결시키기 위해 하나 또는 둘 이상의 금속 경로변경 층을 선택적으로 가질 수 있다. 상기 새로운 연결 위치는 수직의 상호 연결을 위해 바람직하다.

[0035] 상기 다이는 컨포멀 절연 코팅을 가지며, 상기 코팅은 폴리머 일 수 있다. 상기 폴리머 코팅은 파릴렌일 수 있으며, 상기 절연 코팅은 상기 특정 컴포넌트 디자인에 의해 요구되는 상기 다이 상단 표면 가장자리의 특정한 신규 연결 위치 위에서 오프닝을 가질 수 있다.

[0036] 상기 오프닝은 가령 레이저 제거로 폴리머를 제거시키고, 그리고 플라즈마 식각공으로 폴리머를 제거시키어 만들어질 수 있다.

[0037] 상기 오프닝은 상기 다이 연결 패드 위 선택적 영역에서 폴리머 코팅 중착을 막음으로써 만들어 질 수 있다. 상기 다이는 전기적 절연 폴리머 또는 에폭시 예비적 형성품으로 서로 상단 위에 적층 될 수 있다. 상기 절연 예비적 형성품은 열 전도성일 수 있다.

[0038] 상기 절연 예비적 형성품은 선택적으로 적층 후 상기 반도체 다이 사이의 고정된 공간 또는 분리를 유지시키기 위한 구면을 포함할 수 있다.

[0039] 상기 전기 절연 폴리머는 에폭시일 수 있다. 상기 다이는 상기 스택 내 층들 사이 단단한 접착을 형성하도록 경화된 액체 폴리머로 서로의 상단 위에서 적층될 수 있다. 상기 절연 폴리머는 선택적으로 구면을 포함하여, 적층 후 반도체 다이 사이 고정 공간 또는 분리를 유지 시키도록 하며, 상기 구면은 유리, 세라믹, 수정, 플라스틱, 텐플론, 폴리머, 또는 금속 코팅으로 만들어 질 수 있다.

[0040] 상기 전기적 절연 폴리머는 에폭시로 구성될 수 있으며, 상기 다이는 메모리 다이와 같은 반도체 다이 일 수 있고, 상기 메모리 다이는 SDRAM, DDR-1, DDR-2, DDR-3, 또는 여타 DRAM일 수 있다.

[0041] 상기 메모리 다이는 NAND 플래시, NOR 플래시, M-RAM, F-RAM, E2 또는 여타 비-휘발성 메모리 일 수 있다. 상기 메모리 다이는 SRAM일 수 있다. 상기 스택은 전기적으로 수직으로 연결될 수 있으며, 상기 수직 전기적 연결은 전도성 폴리머로 구성되며, 상기 수직 전기적 연결은 전도성 폴리머로 구성된다. 상기 전도성 폴리머는 실버 채움(실버 입자가 폴리머와 혼합됨), 골드 채움(골드 입자가 폴리머와 혼합됨), 금속 입자로 채워진 전도성 에폭시(금속 입자가 에폭시와 혼합됨)와 같은 전도성 에폭시일 수 있다.

[0042] 상기 전기적 연결은 다이 각각의 표면에서 재배치된 패드 위치에 접착되는 하나 또는 둘 이상의 금속 전도 요소를 포함할 수 있으며, 상기 재배치된 패드로부터 상기 수직 전도체 내로 물리적으로 그리고 전기적으로 연장하여, 상기 전도체의 한 단부가 상기 전도체 폴리머 내로 삽입되도록 한다. 상기 금속 전도 요소들은 접착 와이어, 접착 리본일 수 있다. 상기 금속 전도 요소는 금, 알루미늄, 구리, 또는 팔라듐, 그리고 이들 금속의 어떠한 조합일 수 있기도 하다.

[0043] 상기 금속 전도 요소들은 상기 다이에 접착된 타이 바아(tie bars)를 갖는 금속 리드 프레임으로서 존재하며, 상기 금속의 타이 바아는 상기 다이 위에서 연결 패드로 결합된 개별적인 금속 전도 요소들 또는 리드들을 남기도록 제거된다. 상기 프레임은 센터 링 또는 화상 프레임을 제거하도록 절삭될 수 있으며, 금속 리드들이 상기 다이 접착 패드에 용이하게 부착될 수 있도록 하고, 또는 상기 리드들이 상기 다이 연결 패드에 접착된 후 상기 프레임이 절삭되어 바깥 측 링 또는 화상 프레임을 제거시킬 수 있도록 한다.

[0044] 상기 모든 연결 패드는 상기 다이 연결 패드에 동시에 "갱-접착(gang-bonded)"될 수 있다. 상기 전기적 연결은 선택적으로 사용되어 특정 컴포넌트 디자인에 의해 요구되는 반도체 다이 스택 내 반도체 다이로 특정 신호의

경로를 배정하도록 한다. 상기 전기적 연결은 상기 스택 내 하나 또는 다른 다이에서 상응하는 연결에 연결될 수 있으며, 특정 컴포넌트 디자인에 의해 요구되는 바, 상기 스택 내 반도체 다이 각각의 신호들을 공통으로 연결시키도록 한다. 상기 전기적 연결은 팬-아웃(fanned out)되어 상기 스택 내 각기 다른 다이로부터의 유사한 전기적 연결이 상기 모듈 분리된 유일한 연결 포인트들에서 이용될 수 있다 (다시말해서 "공통으로 연결되는 것이 아님").

[0045] 반도체 다이 스택을 상기 기판에 장착함은 수직 인터커넥트를 상기 기판 상단 표면 전기 연결 랜드에 전기적으로 그리고 물리적으로 연결시킴을 포함한다. 상기 전기적 연결은 상기 다이 수직 상호 연결과 기판 사이 전도성 중합체 "dot" 또는 "puddle" 사용하여 수행된다.

[0046] 상기 반도체 다이 스택을 상기 기판에 장착함은 상기 스택 내 최하단 다이 저부와 상기 기판 상단 표면 사이에 언더-필(under-fil1) 접착제 재를 포함할 수 있다. 상기 언더필 접착제는 전기 절연 재이고, 열 전도 재일 수 있으며, 상기 언더필 재는 상기 컴포넌트 사용 중 온도 변화의 결과로서 발생될 수 있는 물리적 스트레스를 줄이거나 흡수할 수 있다.

[0047] 상기 언더필 재(underfill material)는 상기 하단 다이의 가장자리를 지나 연장될 수 있으며, 상기 하단 다이와 기판 사이의 필렛(fillet)을 형성한다. 상기 언더필 재는 상기 하단 다이 위로 연장되어 상기 기판 위 임의 지점에서의 다이 스택의 측부와 상기 기판 사이에서 필렛을 형성할 수 있다. 상기 언더필 재는 상기 하단 다이 위에서 상기 다이 스택 내 제 2, 제 3, 제 4, 제 n번째 다이로, 또는 상기 스택의 상단으로 연장될 수 있다.

[0048] 상기 기판으로 스택을 장착하는 것은 상기 스택 내 하단 다이와 상기 기판 사이 폴리머 또는 에폭시 예비적 형성품으로 달성될 수 있다. 상기 스택 내 다이는 "앞면을 위로(face-up)", "앞면을 아래로(face-down)" 또는 "면과 면을 마주하여(face to face)" 가능해 질 수 있다. 상기 기판은 하나 또는 둘 이상의 전도 층을 포함하여, 신호, 접지, 그리고 전원 연결을 위해 멀티플 전도 층을 가질 수 있다.

[0049] 상기 기판은 상기 기판의 하단과 인쇄 회로 기판 사이 전기적 연결을 위한 수단을 포함할 수 있으며, 상기 인쇄 회로 기판 위에 스택 다이 컴포넌트를 갖는 상기 기판이 부착된다. 상기 기판은 인쇄 회로 기판으로의 연결을 위해 상기 하부 위 땜납 볼 또는 범프를 가질 수 있다. 상기 기판은 인쇄 회로 기판으로의 연결을 위한 LGA 접촉부를 가질 수 있으며, 상기 접촉부가 금 표면, 땜납 코팅 표면, 구리 표면, 알루미늄 표면, 전도 표면(금속 표면)을 갖는다.

[0050] 상기 기판은 인쇄 회로 기판으로의 연결을 위한 유연한 상호 연결 접촉부를 가질 수 있으며, 인쇄 회로 기판으로의 연결을 위한, 또는 땜납 볼(또는 범프)의 부착을 위한 금속 연결 패드(랜드)를 포함한다. 상기 기판은 반도체 다이 스택으로의 연결을 위한 상단 표면에서의 전기적 연결 패드를 가질 수 있다. 상기 기판은 상기 상단 표면에서의 패드와 상기 기판 하부에서의 상기 땜납 볼 패드, 땜납 범프 패드, 또는 납작한 연결 패드(랜드) 사이 전기적 상호 연결을 가질 수 있다. 상기 기판은 다중 층으로서, 하나 또는 둘 이상의 추가 금속 층들이 상기 상부와 하부 전도 층 사이에 있고, 상기 상부 및 하부 전도 층으로부터 절연되며, 그리고 상기 기판의 상부 층에 있는 회로와 기판의 하부 층에 있는 회로 사이 접지 평면, 전원 평면, 그리고 다른 신호 연결을 위해 서로로 부터 절연된다.

[0051] 다중 층 기판은 가열 싱킹(heat sinking)을 위해 상기 상부와 하부 전도 층들 사이 하나 또는 둘 이상의 금속 층들을 포함한다. 다중 층인 상기 기판은 가열 싱킹을 위한 상부 및/또는 하부 전도 층 위 또는 아래 하나 또는 두 개 이상의 추가 금속 층을 가질 수 있다. 상기 기판은 BT, FR4, 폴리마이드 또는 캡톤과 같은 유기 재료로 구성될 수 있다.

[0052] 상기 기판은 유연한 테이프 또는 유연한 필름과 같은 유연한 기판일 수 있다. 상기 기판은 세라믹 재, 실리콘, 칩 스케일 기판으로 만들어 질 수 있으며, 상기 칩스케일 기판은 상기 다이 크기의 1.2배 이거나 그 보다 작다.

[0053] 상기 어셈블리는 선택적으로 추가의 코팅, 몰딩, 또는 상기 다이 커버링 및 수직 연결, 및/또는 기판 없이 가능하다. 상기 어셈블리의 상단 다이는 상기 어셈블리 내 반도체 다이에 빛이 충돌하거나 영향을 미치는 것을 차단 또는 감쇄하도록 일정 재료로 커버될 수 있다. 상기 어셈블리는 파릴렌과 같은 컨포멀 폴리머로 코팅될 수 있으며, 상기 컨포멀 코팅은 상기 장치의 최종 코팅일 수 있다. 상기 컨포멀 코팅은 상기 장치가 몰딩되거나 캡슐화될 경우와 같이, 또 다른 캡슐화 또는 전달 몰딩(transfer molding) 이전에 적용될 수 있다.

[0054] 상기 어셈블리는 상기 반도체 다이 스택을 완전히 코팅하고 커버하기 위해 폴리머, 플라스틱 또는 에폭시로 오버-몰딩(over-molded)될 수 있으며, 상기 기판의 저부 연장된 연결이 전기적 연결을 위해 커버되지 않으며 노출

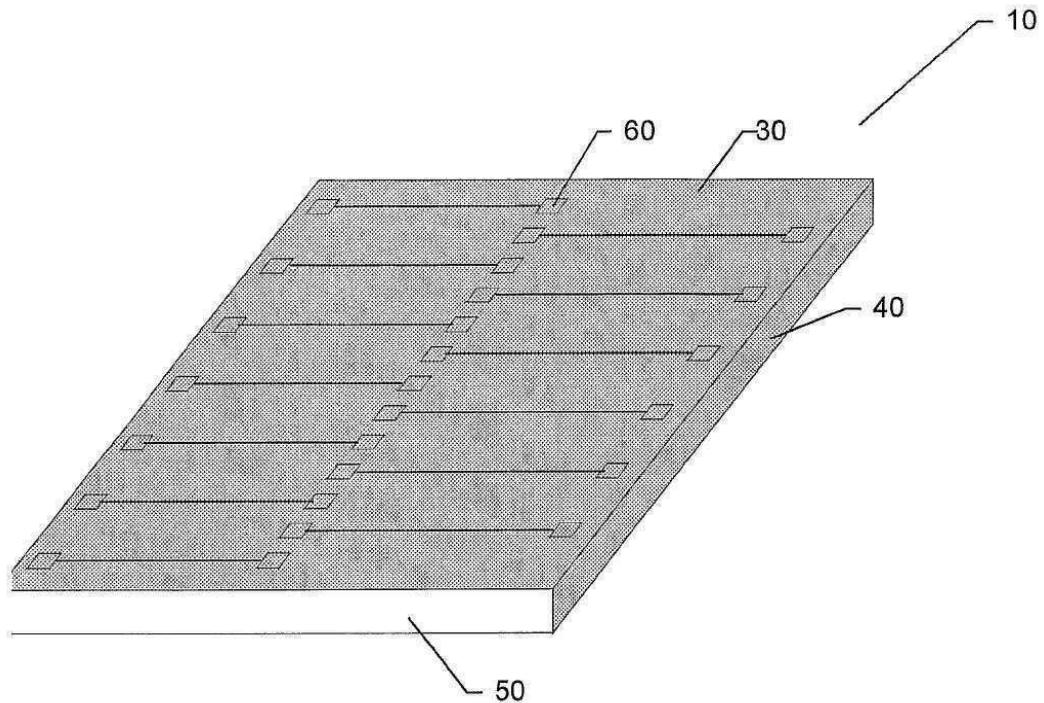
되도록 한다. 상기 어셈블리는 반도체 다이와 스택 그리고 상기 컴포넌트 상부 표면을 완전히 커버하고 시일하도록 폴리머, 플라스틱 또는 에폭시로 몰딩될 수 있다. 상기 몰딩은 "전달 몰딩" 처리일 수 있다. 상기 어셈블리는 가열 싱크, 또는 밀폐 패키지로 커버될 수 있다.

[0055]

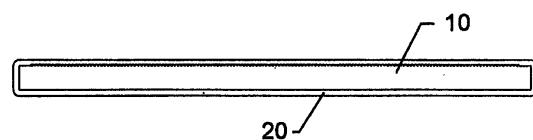
상기 스택 다이 BGA 컴포넌트는 낮은 인덕턴스, 낮은 커패시턴스, 낮은 DC 저항, 정합 AC 임피던스를 갖는 컴포넌트로 인해 고속 회로에 적합하다. 상기 컴포넌트는 선택적으로 상기 기판 또는 다이 내에 포함된 접지 및 파워 평면을 가질 수 있다.

## 도면

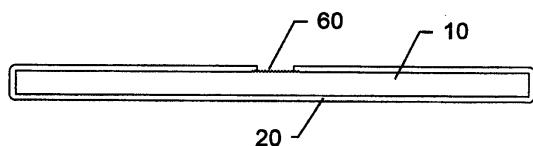
### 도면1



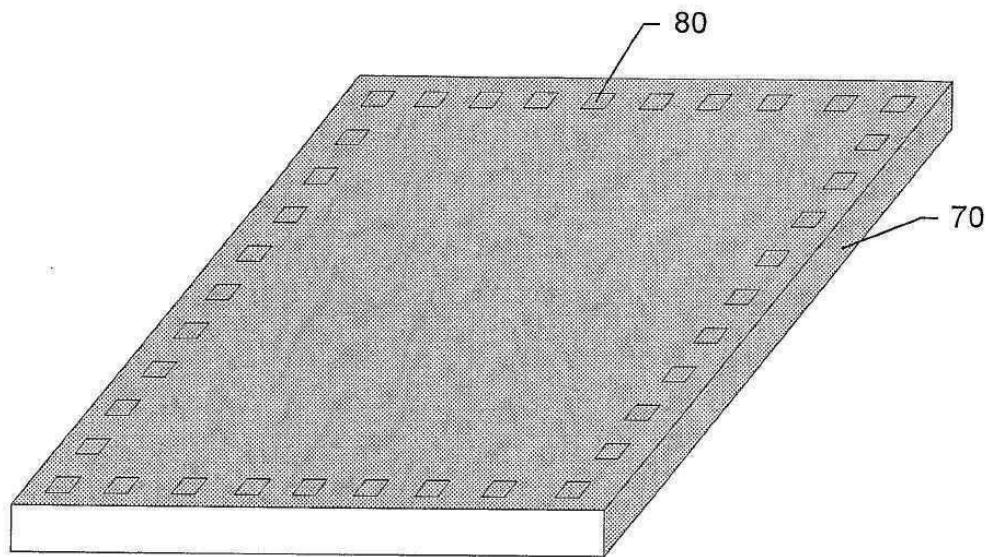
### 도면2



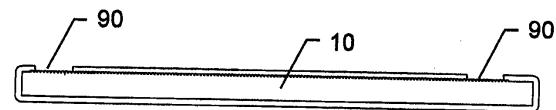
### 도면3



도면4



도면5



도면6

4-High Stack-on-BGA VIP  
Cross Section

