

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2018年10月4日(04.10.2018)



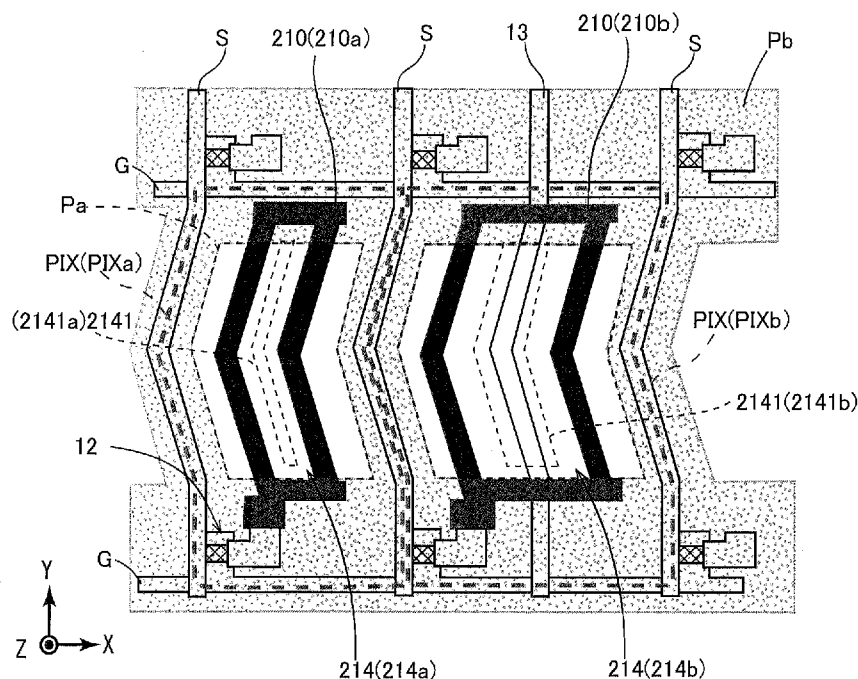
(10) 国際公開番号

WO 2018/181265 A1

- (51) 国際特許分類:
G02F 1/1337 (2006.01) *G02F 1/1343* (2006.01) 寛(YOKONO Tokihiro). 田中 耕平(TANAKA Kohhei). 吉田 圭介(YOSHIDA Keisuke).
- (21) 国際出願番号: PCT/JP2018/012335 (74) 代理人: 川上 桂子, 外(KAWAKAMI Keiko et al.); 〒5300001 大阪府大阪市北区梅田 2-4-9 プリーゼタワー 12 階 特許事務所イノベンティア Osaka (JP).
- (22) 国際出願日: 2018年3月27日(27.03.2018)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2017-068854 2017年3月30日(30.03.2017) JP
- (71) 出願人: シャープ株式会社(SHARP KABUSHIKI KAISHA) [JP/JP]; 〒5908522 大阪府堺市堺区匠町 1 番地 Osaka (JP).
- (72) 発明者: 米林 諒(YONEBAYASHI Ryo). 西山 隆之(NISHIYAMA Takayuki). 横野 示
- (81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT,

(54) Title: LIQUID CRYSTAL DISPLAY DEVICE

(54) 発明の名称: 液晶表示装置



(57) Abstract: Provided is a technique by which decrease of the display quality is able to be suppressed even in cases where a wiring line is arranged within a pixel. A liquid crystal display device according to the present invention is provided with: an active matrix substrate 10; a counter substrate that is arranged so as to face the active matrix substrate 10; and a liquid crystal layer that is held between the active matrix substrate and the counter substrate. The active matrix substrate 10 is provided with: a plurality of pixels PIX, each of which has a light-blocking region Pb and a non-light-blocking region



QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL,
SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA,
UG, US, UZ, VC, VN, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告(条約第21条(3))

Pa, while being provided with pixel electrodes 210a, 210b that have a slit 214 in the non-light-blocking region Pa; and a wiring line 13 which is arranged in a pixel region. The liquid crystal molecules in the liquid crystal layer are driven in a horizontal alignment mode. Each one of some pixels PIXb among the plurality of pixels has a low transmission region 2141b in which the transmittance within a slit 214b in the pixel is lower than the transmittance within a slit 214a in each of the other pixels PIXa. The wiring line 13 is arranged in the low transmission regions 2141b of the some pixels PIXb.

(57) 要約: 画素内に配線を配置した場合であっても、表示品位の低下を抑制し得る技術を提供すること。液晶表示装置は、アクティブマトリクス基板10と、アクティブマトリクス基板10に対向して配置された対向基板と、アクティブマトリクス基板と対向基板との間に挟持された液晶層とを備える。アクティブマトリクス基板10は、遮光領域Pbと非遮光領域Paとを有し、非遮光領域Paにスリット214を有する画素電極210a、210bがそれぞれ設けられた複数の画素PIXと、画素領域に配置された配線13と、を備える。液晶層における液晶分子は水平配向モードで駆動される。複数の画素のうちの一部の画素PIXbのそれぞれは、当該画素におけるスリット214b内の透過率が、他の画素PIXaにおけるスリット214a内の透過率よりも低い低透過領域2141bを有する。配線13は、一部の画素PIXbにおける低透過領域2141bに配置される。

明 細 書

発明の名称： 液晶表示装置

技術分野

[0001] 本発明は、液晶表示装置に関する。

背景技術

[0002] 特開 2 0 0 2 - 1 0 7 7 3 0 号公報では、液晶分子に電圧を印加した際の液晶分子の配向方向が異なる複数のドメインからなる画素を有する液晶表示装置において、ドメインの境界となる位置に配線を配置する技術が開示されている。ドメインの境界は暗線が生じるため、ドメインの境界に配線を配置することで、画素内に配線を配置する際の透過率の低下が軽減される。

発明の開示

[0003] ところで、画素の非遮光領域（開口部）に配置される配線は、配線を形成する際のプロセスにおいて、配線の幅や配線の位置がばらつくことがある。配線の幅や位置がばらつくことにより、このような配線が配置される画素の間に透過率がばらつく。例えば、配線を特定の色の画素に配置する場合、配線が配置された画素の透過率がばらつくことで、本来の色味と異なる色味となり色ずれ等の現象が生じ得る。また、配線が異なる色の画素に配置された場合であっても、配線が配置された画素の透過率がばらつくことで、画素全体の透過率のバランスが崩れ、表示品位が低下する。

[0004] 本発明は、画素の非遮光領域に配線を配置した場合であっても、表示品位の低下を抑制し得る技術を提供することを目的とする。

[0005] 本発明に係る液晶表示装置は、アクティブマトリクス基板と、前記アクティブマトリクス基板に対向して配置され、遮光部材を備える対向基板と、前記アクティブマトリクス基板と前記対向基板との間に挟持された液晶層とを備える液晶表示装置であって、前記アクティブマトリクス基板は、前記遮光部材によって遮光された遮光領域と、前記遮光領域を除く非遮光領域とを有し、前記非遮光領域にスリットを有する画素電極がそれぞれ設けられた複数

の画素と、画素領域に配置される配線と、を備え、前記液晶層における液晶分子は水平配向モードで駆動され、前記複数の画素のうちの一部の画素のそれぞれは、当該画素における前記スリット内の透過率が、他の画素における前記スリット内の透過率よりも低い低透過領域を有し、前記配線は、前記一部の画素における前記低透過領域に配置される。

[0006] 本発明の構成によれば、画素内に配線を配置した場合であっても、表示品位の低下を抑制することができる。

図面の簡単な説明

[0007] [図1]図1は、第1の実施形態に係る液晶表示装置の概略構成を示した模式図である。

[図2]図2は、図1に示すアクティブマトリクス基板の概略構成を示す模式図である。

[図3]図3は、図2に示すアクティブマトリクス基板10の一部を拡大した模式図である。

[図4A]図4Aは、図3に示す画素電極を拡大した図である。

[図4B]図4Bは、図3に示す画素の液晶分子の配向方向を示す模式図である。

[図5]図5は、第1の実施形態における設置画素と非設置画素の画素電極の模式図である。

[図6]図6は、第1の実施形態における変形例の画素を示す模式図である。

[図7A]図7Aは、第2の実施形態における一部の画素の概略構成を示す模式図である。

[図7B]図7Bは、図7Aに示す画素における低透過領域を示す模式図である。

[図8A]図8Aは、第2の実施形態における設置画素と非設置画素の画素電極の模式図である。

[図8B]図8Bは、図8Aに示す非設置画素と設置画素の低透過領域を示す模式図である。

[図9A]図9 Aは、第2の実施形態の変形例におけるアクティブマトリクス基板の一部の画素を拡大した模式図である。

[図9B]図9 Bは、図9 Aとは異なる配線の配置例を示す模式図である。

[図10]図10は、第3の実施形態におけるアクティブマトリクス基板の一部の画素を拡大した模式図である。

[図11]図11は、第4の実施形態におけるアクティブマトリクス基板に設けられるゲートドライバの概略配置例を示す模式図である。

[図12]図12は、図11に示すゲートドライバの等価回路を例示した図である。

[図13]図13は、図12に示すゲートドライバがゲート線を駆動する際のタイミングチャートである。

[図14]図14は、図13に示すゲートドライバの回路素子の配置例を示す模式図である。

[図15]図15は、図14に示すゲートドライバの回路素子、内部配線及び制御配線が設けられた画素の構成例を示す模式図である。

[図16]図16は、変形例1における一部の画素の模式図であって、配線がソース線である場合を例示した図である。

[図17]図17は、変形例2における一部の画素の模式図である。

発明を実施するための形態

[0008] 本発明の一実施形態に係る液晶表示装置は、アクティブマトリクス基板と、前記アクティブマトリクス基板に対向して配置され、遮光部材を備える対向基板と、前記アクティブマトリクス基板と前記対向基板との間に挟持された液晶層とを備える液晶表示装置であって、前記アクティブマトリクス基板は、前記遮光部材によって遮光された遮光領域と、前記遮光領域を除く非遮光領域とを有し、前記非遮光領域にスリットを有する画素電極がそれぞれ設けられた複数の画素と、画素領域に配置される配線と、を備え、前記液晶層における液晶分子は水平配向モードで駆動され、前記複数の画素のうちの一部の画素のそれぞれは、当該画素における前記スリット内の透過率が、他の

画素における前記スリット内の透過率よりも低い低透過領域を有し、前記配線は、前記一部の画素における前記低透過領域に配置される（第１の構成）

。

- [0009] 第１の構成によれば、画素電極は、非遮光領域にスリットを有する画素電極を備え、液晶分子は水平配向モードで駆動される。一部の画素は、当該画素の画素電極のスリット内の透過率が他の画素の画素電極のスリット内の透過率よりも低い低透過領域を有する。配線は、一部の画素における低透過領域に配置される。そのため、配線の幅や位置等にばらつきがあっても、全ての画素の画素電極のスリット内の透過率が均一である場合と比べ、配線が配置される画素間の透過率がばらつきにくく、画素全体の表示品位の低下を軽減することができる。

- [0010] 第１の構成において、前記画素電極は、第１の電極及び第２の電極とを有し、前記スリットは、前記第１の電極と前記第２の電極との間に設けられ、前記配線が延伸する方向と略平行であり、前記一部の画素における前記スリットの幅は、他の画素における前記スリットの幅よりも広く、前記一部の画素における前記低透過領域は、当該画素の前記第１の電極と前記第２の電極からの距離が略中間となる領域を含むこととしてもよい（第２の構成）。

- [0011] 第１の構成によれば、低透過領域は、第１の電極と第２の電極からの距離が略中間となる領域を含む。第１の電極と第２の電極の略中間となる領域は、第１の電極と第２の電極の近傍よりも、液晶分子への印加電圧による配向規制力が弱まり、第１の電極と第２の電極の近傍よりも透過率が低下しやすい。一部の画素のスリットの幅を、他の画素のスリットの幅よりも広くすることで、一部の画素において、液晶分子への印加電圧による配向規制力が弱まる低透過領域を広げることができる。その結果、配線の幅や位置等にばらつきがあっても、配線が配置される画素間の透過率がばらつきにくく、色ずれ等の表示品位の低下を軽減することができる。

- [0012] 第１の構成において、アクティブマトリクス基板と、前記アクティブマト

リクス基板に対向して配置され、遮光部材を備える対向基板と、前記アクティブマトリクス基板と前記対向基板との間に挟持された液晶層とを備える液晶表示装置であって、前記アクティブマトリクス基板は、画素電極がそれぞれ設けられ、前記遮光部材によって遮光された遮光領域と、前記遮光領域を除く非遮光領域とを有する複数の画素と、画素領域に配置される配線と、を備え、前記液晶層における液晶分子は垂直配向モードで駆動され、前記複数の画素のそれぞれは、当該画素の前記非遮光領域において、前記液晶分子が駆動された際の配向方向が異なる複数の配向分割領域を有し、前記複数の配向分割領域の境界は、前記配線が延伸する方向と略平行な境界部分を有し、前記複数の画素のうち一部の画素における前記境界部分の幅は、他の画素における前記境界部分の幅よりも広く、前記配線は、前記一部の画素の前記非遮光領域における前記境界部分に配置されることとしてもよい（第3の構成）。

[0013] 第3の構成によれば、各画素は、当該画素における複数の配向分割領域の境界であって、配線の延伸方向と略平行な境界部分を含む。配向分割領域の境界部分は暗線が生じ、透過率が低下しやすい。一部の画素における、配線の延伸方向と略平行な境界部分の幅を他の画素よりも広くすることで、他の画素よりも暗線が生じる領域が広がる。配線は、一部の画素の暗線が生じる領域に配置される。そのため、全ての画素において暗線が生じる領域が均一である場合と比べ、配線の幅や位置等にばらつきがあっても、配線が配置される画素間の透過率がばらつきにくく、色ずれ等の表示品位の低下を軽減することができる。

[0014] 第1から第3のいずれかの構成において、前記アクティブマトリクス基板又は前記対向基板は、さらに、前記複数の画素における前記画素電極に対向して配置された共通電極を備え、前記一部の画素における前記共通電極は、前記配線と重なる位置に、当該配線が延伸する方向と略平行な開口を有することとしてもよい（第4の構成）。

[0015] 第4の構成によれば、一部の画素における共通電極には配線と重なる位置

に開口が設けられる。一部の画素において開口が設けられた部分は電圧が印加されず、液晶分子への配向規制力が弱まるため、開口が設けられた部分は他の部分よりも透過率が低下しやすい。その結果、配線の幅や位置等によらずつきがあっても、配線が配置される画素間の透過率がばらつきにくく、色ずれ等の表示品位の低下を軽減することができる。

[0016] 第1から第4のいずれかの構成において、前記アクティブマトリクス基板は、さらに、複数のゲート線と、前記複数のゲート線と交差する複数のソース線と、前記複数のゲート線のそれぞれに対して設けられ、供給される制御信号に応じて、対応する一のゲート線を選択状態又は非選択状態に切り替える駆動回路と、を備え、前記駆動回路は、複数のスイッチング素子を含む駆動回路用素子を有し、前記駆動回路用素子は、前記一部の画素に配置されて前記配線と接続され、前記配線は、当該配線と接続された前記駆動回路用素子に前記制御信号を供給することとしてもよい（第5の構成）。

[0017] 第5の構成によれば、ゲート線を駆動する駆動回路の駆動回路用素子と、当該駆動回路用素子に制御信号を供給する配線とを一部の画素に配置することができるので、狭額縁化を図るとともに、表示品位の低下を軽減することができる。

[0018] 第1から第4のいずれかの構成において、前記アクティブマトリクス基板は、さらに、複数のゲート線と、前記複数のゲート線と交差する複数のソース線と、を備え、各画素の前記画素電極は、一のゲート線と一のソース線とに接続され、前記配線は、当該配線が配置された画素の画素電極と接続される前記一のソース線であることとしてもよい（第6の構成）。

[0019] 第6の構成によれば、配線が配置される画素の画素電極と接続されるソース線を当該画素内に配置することができるので、画素に設けられる素子の配置の自由度を高めるとともに、表示品位の低下を軽減することができる。

[0020] 以下、図面を参照し、本発明の実施の形態を詳しく説明する。図中同一又は相当部分には同一符号を付してその説明は繰り返さない。

[0021] <第1の実施形態>

図1は、本実施形態に係る液晶表示装置の概略構成を示した模式図である。液晶表示装置1は、アクティブマトリクス基板10と、対向基板20と、これら基板に挟持された液晶層30とを備える。また、図示を省略するが、液晶表示装置1は、アクティブマトリクス基板10と対向基板20とを挟む一対の偏光板を備えるとともに、アクティブマトリクス基板10の側にはバックライトを備える。

[0022] 本実施形態において、液晶層30における液晶分子は、アクティブマトリクス基板10と対向基板20との間に印加される電圧に応じて垂直に配向するVAモードやTNモードで駆動される。

[0023] 対向基板20は、共通電極と、ブラックマトリクス(BM)と、赤(R)、緑(G)、青(B)の3色のカラーフィルタ(いずれも図示略)を備える。

[0024] 図2は、アクティブマトリクス基板10の概略構成を示す模式図である。アクティブマトリクス基板10において、X軸方向の一端から他端までM(M:自然数)本のゲート線G(1)~G(M)が一定の間隔で略平行に形成されている。以下、ゲート線を区別しないときは、ゲート線Gと称する。また、アクティブマトリクス基板10には、各ゲート線Gと交差するように複数のソース線Sが形成されている。

[0025] 図3は、アクティブマトリクス基板10の一部を拡大した模式図である。図3に示すように、アクティブマトリクス基板10には、画素電極11をそれぞれ有する複数の画素PIXが形成されている。画素PIXは、対向基板20におけるカラーフィルタのR、G、Bのいずれかの色に対応し、例えば、ゲート線Gの延伸方向に沿ってR、G、Bの順に配列されている。

[0026] 各画素PIXは、対向基板20に設けられたブラックマトリクスによって覆われた遮光領域Pbと、非遮光領域Pa(開口部ともいう)とを有する。画素電極11は、薄膜トランジスタ12(TFT:Thin Film Transistor)(以下、画素用TFT)を介して、ゲート線G及びソース線Sと接続されている。ゲート線G、ソース線S、及び画素用TFT12は、遮光領域Pbに

設けられる。

[0027] 画素用 T F T 1 2 がオンになると、ソース線 S に供給されるデータ信号電圧が画素用 T F T 1 2 を介して画素電極 1 1 に入力される。対向基板 2 0 における共通電極（図示略）には所定の電圧が印加される。画素 P 1 X の電位は、ゲート線 G の電位変化に応じて、ソース線 S の電位と、画素電極 1 1 とゲート線 G との間の容量と、画素電極 1 1 と共通電極（図示略）との間の容量によって制御される。

[0028] ここで、本実施形態における画素電極 1 1 の構造について説明する。以下では、図 3 に示す左側の画素 P 1 X a の画素電極 1 1 a を例に説明するが、他の画素の画素電極 1 1 も同様の構造を有する。図 4 A は、図 3 に示す画素電極 1 1 a を拡大した図である。図 4 A に示すように、画素電極 1 1 a は、幹部 1 1 1 と、複数の枝部 1 1 2 と、複数のスリット 1 1 3 と、コンタクト部 1 1 4 とからなる、いわゆるフィッシュボーン形状を有する。

[0029] 幹部 1 1 1 は、Y 軸に平行な第 1 幹部 1 1 1 y と、X 軸に平行な第 2 幹部 1 1 1 x とからなる十字形状を有する。

[0030] 複数の枝部 1 1 2 は、幹部 1 1 1 に対して非平行であり、幹部 1 1 1 に対して略線対称となるように配置される。具体的には、第 1 幹部 1 1 1 y 及び第 2 幹部 1 1 1 x によって区切られた 4 つの領域（A～D）に設けられる枝部 1 1 2 は、幹部 1 1 1 から延伸する方向が、同じ領域に設けられる枝部 1 1 2 と同じであるが、他の領域に設けられる枝部 1 2 2 と異なる。

[0031] スリット 1 1 3 は、領域ごとに、枝部 1 1 2 と枝部 1 1 2 の間に形成される。この場合、画素 P 1 X における液晶分子の配向は、図 4 B に示すように、各スリット 1 1 3 に沿って、幹部 1 1 1 に向かう 4 つの方向（D a、D b、D c、D d）であり、画素 P 1 X は、配向方向が異なる 4 つのドメインを有する。

[0032] 図 3 に戻り、画素 P 1 X b には、非遮光領域 P a を通る配線 1 3 が配置されている。配線 1 3 は、非遮光領域 P a においてソース線 S と略平行となるように配置されている。本実施形態において、配線 1 3 は、例えば、ゲート

線Gを駆動する駆動回路に用いる配線や、共通電極と接続された補助配線等である。配線13の具体例は後述するものとする。

[0033] 配線13が画素の非遮光領域Paに配置されると、配線13が配置された部分の透過率が低下する。R、G、Bの全ての画素に配線13を配置すると、画素全体における透過率の変化が大きくなるため、本実施形態では、特定の色（例えば、B（青））の画素に配線13を配置する。また、配線13が配置される画素（以下、設置画素）と、配線13が配置されていない画素（以下、非設置画素）の、カラーフィルタの色の違いによる寄与を除いた透過率が同等となるように、設置画素の幅及び非遮光領域Paの幅が非設置画素よりも大きくなるように調整されている。具体的には、図3に示すように、非設置画素PIXaにおける画素の幅L1と非遮光領域Paの幅L11よりも、設置画素PIXbにおける画素の幅L2と非遮光領域Paの幅L12が大きくなっている。

[0034] 各画素PIXにおいて、幹部111は、4つのドメインの境界であり、その境界部分は、電圧が印加された液晶分子の配向方向が、偏光板（図示略）の透過軸に対して平行又は垂直となるため透過率が低下し、暗線が生じる。本実施形態では、画素において暗線が生じる領域（以下、暗線領域）に配線13を配置する。画素における暗線領域は、当該画素の他の領域よりも透過率が低いため、暗線領域に配線13を配置しても当該画素の透過率は殆ど変わらない。さらに、本実施形態では、特に、設置画素における暗線領域が非設置画素における暗線領域よりも広くなるように設置画素を構成する。以下、具体的に説明する。

[0035] 図5は、非設置画素PIXaと設置画素PIXbの画素電極11a、11bを示す模式図である。図5に示すように、設置画素PIXbの画素電極11bは、配線13の延伸方向と略平行な第1幹部111yの幅W2が、非設置画素PIXaの画素電極11aにおける第1幹部111yの幅W1よりも広い。上述したように、設置画素PIXb及び非設置画素PIXaともに、

幹部 1 1 1 が設けられた領域には暗線が生じる。設置画素 P | X b の第 1 幹部 1 1 1 y の幅を広くすることで、設置画素 P | X b における第 1 幹部 1 1 1 y において暗線領域が広がる。そのため、配線 1 3 の幅や配線 1 3 の位置に多少のばらつきがあっても、設置画素 P | X b の暗線領域に配線 1 3 を配置しやすく、設置画素 P | X b 間の透過率のばらつきが低減される。その結果、特定の色の画素に、幅や位置等が異なる配線 1 3 を配置しても色ずれ等の表示品位の低下が生じにくい。

[0036] 上記した配線 1 3 は、設置画素の第 1 幹部 1 1 1 y の X 軸方向の略中央に配置されることが好ましい。このように構成することで、配線 1 3 と同層に設けられる他の信号線との間の寄生容量を低減することができる。また、配線 1 3 の幅や位置等のばらつきによる設置画素の透過率のばらつきを最小化することができる。

[0037] (変形例)

なお、上記の例では、画素の非遮光領域 P a に、ソース線 S と略平行な 1 つの配線 1 3 が設けられている例を説明したが、図 6 に示すように、画素の非遮光領域 P a に、ゲート線 G と略平行な配線 1 3 0 がさらに設けられていてもよい。

[0038] この場合、画素 P | X a、P | X b に配線 1 3 0 が配置されるため、両画素において、配線 1 3 0 の延伸方向と略平行な第 2 幹部 1 1 1 x の幅を、配線 1 3 0 が設けられていない非設置画素の第 2 幹部 1 1 1 x より広くする。第 2 幹部 1 1 1 x が設けられた領域は暗線が生じる暗線領域である。そのため、配線 1 3 0 が配置された設置画素における第 2 幹部 1 1 1 x の幅を非設置画素よりも広くすることで、配線 1 3 0 が配置された設置画素において、配線 1 3 0 の延伸方向と略平行な暗線領域を広げることができる。その結果、配線 1 3 0 の幅や位置等がばらついている場合であっても、暗線領域に配線 1 3 0 を配置しやすく、配線 1 3 0 が配置された設置画素間の透過率のばらつきを低減できる。

[0039] <第 2 の実施形態>

上記第1の実施形態では、液晶層30（図1参照）を垂直配向モードで駆動させる場合の例を説明したが、水平配向モードで駆動させてもよい。本実施形態では、例えば、FFSモードの場合における表示パネル2の構成について説明する。

[0040] 図7Aは、本実施形態におけるアクティブマトリクス基板10の画素の一部を拡大した模式図である。

[0041] 図7Aに示すように、ソース線Sは屈曲し、画素PIXは非矩形形状を有する。画素PIXは、液晶分子の配向方向（矢印P1、P2）が異なる2つのドメインを有する。

[0042] 画素電極210は、2つの電極部分211（以下、長辺電極部）と、長辺電極部211と接続された2つの電極部分212（以下、短辺電極部）と、コンタクト部213と、スリット214とを有する。2つの長辺電極部211は、ソース線Sと略平行となるように屈曲し、離間して配置されており、2つの長辺電極部211の間にスリット214を有する。2つの短辺電極部212は、X軸に略平行であり、一方の短辺電極部212は、一方の長辺電極部211とコンタクト部213とに接続されている。

[0043] また、図7Aでは図示を省略するが、アクティブマトリクス基板10には、画素電極210と対向するように、絶縁膜を介して共通電極が設けられている。

[0044] 液晶層30における液晶分子は、共通電極と、画素電極210との間において発生する横電界（フリンジ電界）に応じて、電界の向きに対して水平方向に回転する。

[0045] スリット214が設けられた領域では、スリット214のエッジに沿って、長辺電極部211の延伸方向に対して略垂直な方向の電界が形成されるが、スリット214内において、長辺電極部211から離れるほど電界が弱まり、液晶分子への配向規制力が弱まる。よって、図7Bに示すように、スリット214の中央付近における直上の領域、すなわち、長辺電極部211からの距離が略中間となる位置を含む領域2141は、透過率が低下しやすい

。

[0046] ここで、本実施形態において、配線 1 3 を配置する場合の画素の構成について説明する。

[0047] 図 8 A は、配線 1 3 が設置された設置画素 P 1 X b と、配線 1 3 が配置されていない非設置画素 P 1 X a の画素の構成例を示す模式図である。なお、本実施形態においても、第 1 の実施形態と同様、設置画素 P 1 X b の X 軸方向の幅は、非設置画素 P 1 X a の X 軸方向の幅よりも広がっている。

[0048] 図 8 B は、図 8 A に示す非設置画素 P 1 X a の画素電極 2 1 0 a と、設置画素 P 1 X b の画素電極 2 1 0 b のみを示す図である。

[0049] 本実施形態において、非設置画素 P 1 X a では、画素電極 2 1 0 a のスリット 2 1 4 a 内の透過率が、長辺電極部 2 1 1 の近傍の透過率と略同じになるように、スリット 2 1 4 a の幅 W 3 が設定されている。一方、設置画素 P 1 X b では、画素電極 2 1 0 b のスリット 2 1 4 b 内において、配線 1 3 と重なる領域の透過率が非設置画素 P 1 X a よりも低くなるようにスリット 2 1 4 b の幅 W 4 が設定されている。つまり、図 8 B に示すように、設置画素 P 1 X b の画素電極 2 1 0 b におけるスリット 2 1 4 b の幅 W 4 は、非設置画素 P 1 X a の画素電極 2 1 0 a におけるスリット 2 1 4 a の幅 W 3 よりも広い。

[0050] 上述したように、画素電極 2 1 0 のスリット 2 1 4 内において、長辺電極部 2 1 1 からの距離が遠いほど液晶分子への配向規制力が弱まり、透過率が低下しやすい。そのため、設置画素 P 1 X b における画素電極 2 1 0 b のスリット 2 1 4 b の幅を広げることにより、配向規制力が弱まる領域 2 1 4 1 b も広がる。つまり、設置画素 P 1 X b において、スリット 2 1 4 b 内の領域 2 1 4 1 b の幅 W 4 1 は、非設置画素 P 1 X a におけるスリット 2 1 4 a 内の領域 2 1 4 1 a の幅 W 3 1 よりも広がる。よって、設置画素 P 1 X b は、そのスリット 2 1 4 b 内に、非設置画素 P 1 X a におけるスリット 2 1 4 a 内よりも透過率が低い領域 2 1 4 1 b（以下、低透過領域）が存在する。

[0051] 本実施形態において、配線 1 3 は、設置画素 P 1 X b における画素電極 2 1 0 b のスリット 2 1 4 内の領域 2 1 4 1 b に沿って配置される。

[0052] このように、設置画素は、画素電極 2 1 0 b のスリット 2 1 4 b 内に低透過領域 2 1 4 1 b を有するため、全ての画素の画素電極 2 1 0 のスリット 2 1 4 内の透過率が均一である場合と比べ、配線 1 3 の幅や位置等が異なる場合であっても、設置画素間の透過率のばらつきを低減できる。その結果、特定の色の画素に、形状等が異なる配線 1 3 を配置しても色ずれ等の表示品位の低下を生じにくくすることができる。

[0053] (変形例)

上述した第 2 の実施形態では、ソース線 S と、画素電極 2 1 0 の一部とが屈曲している例を説明したが、ゲート線 G と、画素電極 2 1 0 の一部とが屈曲していてもよい。

[0054] 図 9 A は、本変形例におけるアクティブマトリクス基板 1 0 a の一部の画素を拡大した模式図である。図 9 A に示すように、アクティブマトリクス基板 1 0 a におけるゲート線 G は、Y 軸方向に屈曲している。画素電極 2 2 0 の 2 つの電極部分 2 2 1 (以下、長辺電極部) は、非遮光領域 P a において、ゲート線 G と同様に屈曲している。画素電極 2 2 0 は、長辺電極部 2 2 1 の間にスリット 2 2 4 を有する。

[0055] 本変形例では、例えば、ソース線 S の延伸方向に沿って各画素が R, G, B の順に配列されるように設けられている。

[0056] 図 9 A に示す下側の画素 P 1 X には、非遮光領域 P a を通る配線 1 3 1 が配置されている。配線 1 3 1 は、上述した配線 1 3 と同様、ゲート線 G を駆動する駆動回路に用いられる配線や、共通電極と接続された補助配線等である。配線 1 3 1 は、ゲート線 G と同様に屈曲し、ゲート線 G の延伸方向と略平行に配置されている。

[0057] この例においても、設置画素 P 1 X b と、非設置画素 P 1 X a の透過率を揃えるため、設置画素 P 1 X b の Y 軸方向の幅は、非設置画素 P 1 X a よりも広く、設置画素 P 1 X b の非遮光領域 P a の Y 軸方向の幅も、非設置画素

P I X a よりも広い。

[0058] また、図9 Aに示すように、非設置画素P I X aでは、画素電極220のスリット224内の透過率が、長辺電極部221の近傍の透過率と略同じになるように、スリット224の幅W5が設定されている。そして、設置画素P I X bにおける画素電極220のスリット224の幅W6は、非設置画素P I X aにおける画素電極220のスリット224の幅W5よりも広くなっている。このように構成することで、設置画素P I X bにおいて、配向規制力が弱まる、スリット224 bの中央付近の領域2241 bの幅61が、非設置画素P I X aの領域2241 aの幅51よりも広がる。つまり、設置画素P I X bは、スリット224 b内に低透過領域2241 bを有する。配線13は、設置画素P I X bにおける低透過領域2241 bに配置される。そのため、配線131の幅や位置等がばらついていても、全画素のスリット224内の透過率が均一である場合と比べ、設置画素P I X b間の透過率のばらつきを低減することができる。

[0059] なお、図9 Aの例では、ゲート線Gの延伸方向に略平行な配線131が画素内に配置される例であるが、図9 Bに示すように、さらに、ソース線Sに略平行な配線132が画素内に配置されていてもよい。この場合、領域2241 a、2241 bは、配線132の延伸方向と交差するため、各画素のスリット224の幅を広げても、領域2241 a、2241 bに配線132を完全に重ねることはできない。そのため、配線132の幅や位置等がばらついている場合、配線132が設けられた設置画素間の透過率のばらつきは抑制されない。しかしながら、少なくとも、配線131が配置された設置画素間の透過率のばらつきを抑制することができるので、表示品位の低下を低減することができる。

[0060] <第3の実施形態>

上述した第1及び第2の実施形態では、配線と重なる設置画素の画素電極の形状を非設置画素の画素電極と異ならせることで、設置画素における暗線領域又は低透過領域を非設置画素よりも大きくし、設置画素間の透過率のば

らつきを抑制した。本実施の形態では、さらに、共通電極によって、設置画素間の透過率のばらつきを抑制する例を説明する。

[0061] 図10は、本実施の形態におけるアクティブマトリクス基板10bの一部の画素を拡大した模式図である。なお、図10において、第2の実施形態と同様の構成には、第2の実施形態と同じ符号が付されている。また、図10では、便宜上、ブラックマトリクスによって覆われる遮光領域Pbの図示は省略している。

[0062] 図10に示す共通電極15は、絶縁膜を介して画素電極210と対向して配置されている。共通電極15は、設置画素PIXbの非遮光領域Paにおける配線13と重なる位置にスリット（開口）151を有する。スリット151のX軸方向の幅W7は、配線13よりも広い。

[0063] 設置画素PIXbにおいて、スリット151が設けられた領域は液晶分子に電圧が印加されないため、スリット151が設けられていない部分よりも透過率が低下する。そのため、設置画素PIXbに配置される配線13の幅や位置等がばらついても、第2の実施形態と比べ、設置画素PIXb間における透過率のばらつきをさらに軽減することができる。

[0064] 配線13は、スリット151の幅の略中央に配置されることが好ましい。このように構成することで、配線13と他の信号線との間の寄生容量を低減することができる。また、配線13の幅や位置等のばらつきによる設置画素の透過率のばらつきを軽減することができる。

[0065] また、この例では、設置画素PIXbにおける画素電極210のスリットの幅が非設置画素PIXaにおける画素電極210のスリットよりも広がっているが、設置画素PIXbと非設置画素PIXaの画素電極210のスリットの幅が同等であってもよい。共通電極15において、設置画素PIXbにおける配線13と重なる位置にスリット151が設けられているだけでも、液晶分子に電圧が印加された際、スリット151の位置における液晶分子への配向規制力が弱まり、透過率が低下する。つまり、設置画素は、スリット151が設けられた領域において、非設置画素よりも透過率が低い低透

過領域を有する。よって、共通電極 15 に設けられた低透過領域に配線 13 が配置されることで、配線 13 の幅や位置等のばらつきによる設置画素間の透過率のばらつきを軽減することができる。

[0066] また、この例では、第 2 の実施形態と同様の画素電極 210 を例に説明したが、画素電極の形状はこれに限定されない。画素電極は、第 1 の実施形態と同様のフィッシュボーン形状を有する画素電極を用いてもよいし、スリットが形成されていない画素電極を用いてもよい。

[0067] <第 4 の実施形態>

次に、上述した第 1 から第 3 の実施形態における配線の具体例を説明する。

[0068] 図 11 は、本実施形態におけるアクティブマトリクス基板 10c 上に設けられるゲートドライバの概略配置例を示す模式図である。図 11 では、便宜上、ソース線 S の図示を省略している。

[0069] 図 11 に例示するように、ゲート線 G ごとに、当該ゲート線 G を選択状態又は非選択状態に切り替える一のゲートドライバ 40 が設けられている。ゲートドライバ 40 は、隣接するゲート線 G の間に配置される。つまり、この例において、ゲートドライバ 40 は、画素内に配置される。

[0070] 1 行目のゲート線 G (1) に対して設けられるゲートドライバ 40 を除き、各ゲートドライバ 40 は、対応するゲート線 G と、当該ゲート線 G に隣接するゲート線 G との間に配置される。

[0071] また、この例では、奇数番目のゲート線 G (G (1)、(3)、(5)・・・) に対して設けられたゲートドライバ 40 は、制御配線 411 を介して互いに接続され、偶数番目のゲート線 G (G (2)、(4)、(6)・・・) に対して設けられたゲートドライバ 40 は、制御配線 411 を介して互いに接続されている。

[0072] アクティブマトリクス基板 10c において、ソースドライバ 42 が設けられている辺の額縁領域には、端子部 71、72 が設けられている。端子部 71 は、表示制御回路 50 及び電源 60 と接続されている。また、端子部 72

は、表示制御回路50、ソースドライバ42、及びソース線S（図2参照）と接続されている。

[0073] 表示制御回路50は、制御信号として、一定の周期で、Hレベル（VDD）とLレベル（VSS）の電位を交互に繰り返す信号（以下、クロック信号）と、クロック信号のHレベルと同じ電位の信号（以下、リセット信号）とを端子部71へ供給する。

[0074] 電源60は、電源電圧信号をソースドライバ42及び端子部71に供給する。

[0075] 端子部71は、供給される制御信号及び電源電圧信号等の信号を受け取り、制御配線411を介して、各ゲートドライバ40に各信号を供給する。ゲートドライバ40は、供給される信号に応じて、対応するゲート線Gに対し、選択状態と非選択状態の一方を示す電圧信号を出力する。ソースドライバ42は、表示制御回路50から入力される信号に応じて、端子部72を介し、各ソース線S（図2参照）にデータ信号を出力する。

[0076] 次に、ゲートドライバ40の構成について説明する。図12は、ゲート線G(n)を駆動するゲートドライバ40(n)の等価回路を例示した図である。

[0077] 図12に示すように、ゲートドライバ40(n)は、スイッチング素子として、アルファベットのA～Eで示す薄膜トランジスタ（TFT：Thin Film Transistor）（以下、TFT-A～TFT-E）と、キャパシタCbstと、ゲートドライバ40の内部配線であるnetAとを有する。

[0078] TFT-Bのドレイン端子は前段のゲート線G(n-1)に接続され、ゲート端子は、クロック信号CKBを供給する制御配線411に接続され、ソース端子は、netAに接続される。TFT-Bは、クロック信号CKB及びゲート線G(n-1)の電位に応じて、netAの電位の上げ下げを制御する。

[0079] TFT-Aのドレイン端子はnetAに接続され、ゲート端子は、リセット信号CLRを供給する制御配線411に接続され、ソース端子は電源電圧

信号 VSS を供給する制御配線 411 に接続される。TFT-A は、リセット信号 CLR により指定されるタイミングで、 $net A$ の電位を電源電圧信号 VSS のレベルにする。

[0080] TFT-E のゲート端子は、 $net A$ に接続され、ドレイン端子は、クロック信号 CKA を供給する制御配線 411 に接続され、ソース端子は、ゲート線 $G(n)$ に接続される。

[0081] TFT-D のドレイン端子は、ゲート線 $G(n)$ に接続され、ゲート端子は、リセット信号 CLR を供給する制御配線 411 に接続され、ソース端子は、電源電圧信号 VSS を供給する制御配線 411 に接続される。

[0082] TFT-C のドレイン端子は、ゲート線 $G(n)$ に接続され、ゲート端子は、クロック信号 CKB を供給する制御配線 411 に接続され、ソース端子は、電源電圧信号 VSS を供給する制御配線 411 に接続される。

[0083] キャパシタ $Cbst$ は、一方の電極が $net A(n)$ と接続され、他方の電極がゲート線 $G(n)$ と接続されている。キャパシタ $Cbst$ は、TFT-E から出力されるクロック信号 CKA の電位に応じて、 $net A(n)$ の電位を昇圧させる。

[0084] なお、次段及び前段のゲート線 $G(n+1)$ 、 $G(n-1)$ では、クロック信号 CKA と CKB の接続が入れ替わる。例えば、次段及び前段では、TFT-E のドレイン端子は、クロック信号 CKB を供給する制御配線 411 と接続され、TFT-B 及び TFT-C のゲート端子は、クロック信号 CKA を供給する制御配線 411 と接続される。

[0085] リセット信号 CLR は、例えば、ゲート線 G の走査開始前に一定期間、H レベルとなる信号であり、この場合、1 垂直走査期間ごとに、リセット信号 CLR は H レベルとなる。リセット信号 CLR が H レベルになることにより、 $net A$ 及びゲート線 G を L レベル（電源電圧信号 VSS のレベル）にリセットする。また、1 垂直走査期間の初め、1 段目のゲート線 $G(1)$ に対しては、セット信号 St として、 GSP （ゲートスタートパルス $gate\ start\ pulse$ ）が表示制御回路 50 から入力される。

[0086] ここで、ゲートドライバ40 (n) がゲート線G (n) を駆動する際の動作を説明する。図13は、ゲートドライバ40 (n) がゲート線G (n) を駆動する際のタイミングチャートである。図13に示すように、クロック信号CKA、CKBは、互いに逆位相となるように、1水平走査期間(1H)ごとに、HレベルとLレベルの電位を交互に繰り返す。

[0087] 時刻t1において、前段のゲート線G (n-1) が選択状態となり、クロック信号CKAがLレベル、クロック信号CKBがHレベルとなる。これにより、TFTBがオン状態となり、ゲート線G (n-1) のHレベルの電位がTFTBのドレイン端子に入力され、netAがHレベルに充電される。また、TFTEはオフ状態となるため、netAの電位は下がらずに維持される。この間、TFTCはオン状態となっているため、ゲート線G (n) の電位はLレベルとなる。

[0088] 時刻t2において、クロック信号CKAがHレベルとなり、クロック信号CKBがLレベルとなると、TFTEがオン状態となり、TFTCがオフ状態となる。netAとゲート線G (n) との間にはキャパシタCbstが設けられているため、TFTEのドレインの電位の上昇に伴って、netAはクロック信号CKAのHレベルより高い電位まで充電される。この間、クロック信号CKAのHレベルの電位がゲート線G (n) に出力される。これにより、ゲート線G (n) は、選択された状態となり、次段のゲート線G (n+1) を駆動するゲートドライバ40 (n+1) に、セット信号Stとして、ゲート線G (n) のHレベルの電位が出力される。

[0089] 時刻t3において、クロック信号CKAがLレベルとなり、クロック信号CKBがHレベルになると、TFTBがオン状態となり、netAは、Lレベルに充電される。また、TFTEがオフ状態、TFTCがオン状態になるので、ゲート線G (n) は、Lレベルに充電され、非選択状態に切り替えられる。その後、クロック信号CKBとTFTCにより、ゲート線G (n) はLレベルの電位に維持される。

[0090] 次に、ゲートドライバ40の回路素子の配置例について説明する。図14

は、ゲートドライバ40の回路素子の配置例を示す等価回路図である。

[0091] 図14では、ゲート線G(n-2)～ゲート線G(n+1)のそれぞれを駆動するゲートドライバ40(n-2)～ゲートドライバ40(n+1)の回路素子の配置例が示されている。

[0092] 図14に示すように、各ゲートドライバ40は、当該ゲートドライバ40が駆動するゲート線Gと、その前段のゲート線Gとの間の行に配置される。また、ゲートドライバ40(n-2)とゲートドライバ40(n)、ゲートドライバ40(n-1)とゲートドライバ40(n+1)は、それぞれ共通の制御配線411を介して互いに接続されている。

[0093] アルファベットA～Eで示すTF T-A～TF T-E、及びキャパシタCbst等の回路素子と、回路素子を接続するnet A等の内部配線は、同じ行の異なる画素に分散して配置されている。ここで、ゲートドライバ40の回路素子、内部配線及び制御配線411が配置される画素の構成を具体的に説明する。

[0094] 図15は、ゲートドライバ40の回路素子、内部配線及び制御配線411が配置された画素を含む一部の画素を拡大した模式図である。図15において、第1の実施形態と同様の構成には、第1の実施形態と同じ符号が付されている。

[0095] 図15に示すように、画素PIXbの遮光領域には、ゲートドライバ40の回路素子410が配置される。内部配線412は、回路素子410と接続され、ゲート線Gの延伸方向に隣接する複数の画素の遮光領域においてゲート線Gと略平行に配置されている。制御配線411は、回路素子410と接続され、制御配線411の一部は、画素PIXbの非遮光領域Paにおいてソース線Sと略平行となるように配置されている。つまり、この例において、制御配線411は、上述した第1の実施形態における配線13に相当し、画素PIXbは、配線13が配置された設置画素である。

[0096] 画素電極11は、第1の実施形態と同様のフィッシュボーン形状を有する。制御配線411は、設置画素PIXbにおける画素電極11の第1幹部1

1 1 yと重なって配置されている。設置画素 P 1 X b の画素電極 1 1 の第 1 幹部 1 1 1 y の幅は、第 1 の実施形態と同様、非設置画素 P 1 X a における画素電極 1 1 よりも広い。そのため、設置画素 P 1 X b における暗線領域に制御配線 4 1 1 を配置しやすく、制御配線 4 1 1 の幅や位置等がばらついていても、設置画素 P 1 X b 間の透過率がばらつきにくい。

[0097] なお、この例では、フィッシュボーン形状の画素電極を用いたが、第 2 の実施形態の画素電極 2 1 0 と同様の画素電極を用いてもよい。また、第 3 の実施形態のように、画素電極 1 1 に対向して配置される共通電極 1 5（図 1 0 参照）において、制御配線 4 1 1 と重なる位置にスリットを形成してもよい。また、上述した第 1 の実施形態及び第 2 の実施形態の（変形例）における配線 1 3 0、1 3 1 として、ゲートドライバ 4 0 の内部配線 4 1 2 が配置されてもよい。

[0098] <変形例>

（1）上述した実施形態において、画素の非遮光領域に配置される配線は、その用途や種類を問わない。例えば、図 1 6 に示すように、上述した第 4 の実施形態において、隣接する画素 P 1 X a と画素 P 1 X b の間の遮光領域に、制御配線 4 1 1 を配置し、一方の画素 P 1 X b の画素電極 1 1 と接続されるソース線 S（S b）が画素 P 1 X b の非遮光領域 P a に配置されていてもよい。つまり、この場合、画素の非遮光領域 P a に配置される配線は、ソース線 S である。このように構成することで、ソース線 S a と S b の間の領域が広がり、ゲートドライバ 4 0 の回路素子 4 1 0 を配置しやすくなる。

[0099] （2）本変形例では、上述した第 2 の実施形態と異なる画素の構成例について説明する。図 1 7 は、本変形例におけるアクティブマトリクス基板の一部の画素を拡大した模式図である。なお、図 1 7 において、第 2 の実施形態と同様の構成には、第 2 の実施形態と同じ符号が付されている。

[0100] 図 1 7 に示すように、各画素電極 2 3 0 1 の 2 つの電極部分 2 3 0 1（以下、長辺電極部）は、互いに略平行であり、直線状を有する。また、各画素電極 2 3 0 は、当該画素電極 2 3 0 の 2 つの長辺電極部 2 3 0 1 の間にスリ

ット2340を有する。

[0101] ゲート線G(n)と画素用TF T12を介して接続された画素電極231a、231bを構成する長辺電極部2301はX軸正方向側に傾いているのに対し、ゲート線G(n-1)と画素用TF T12を介して接続された画素電極232a、232bを構成する長辺電極部2301はX軸負方向側に傾いている。

[0102] 本変形例では、同じゲート線Gと接続された各画素電極230が設けられた画素PIXの液晶分子は、電圧が印加された際、当該画素の画素電極230のスリット2340の延伸方向に沿って同じ方向に配向するが、ソース線Sの延伸方向に隣接する画素における液晶分子の配向方向とは異なる。つまり、例えば、図17における上段の画素PIX1a、PIX1bの液晶分子の配向方向は、当該画素のスリット2340の延伸方向に沿ってゲート線G(n)に向かう矢印P11方向である。一方、図17における下段の画素PIX2a、PIX2bの液晶分子の配向方向は、当該画素のスリット2340の延伸方向に沿ってゲート線G(n)に向かう矢印P12方向である。

[0103] 各画素電極230におけるスリット2340の幅の略中間となる領域部分2341は、電圧が印加された際、液晶分子の配向が弱まり、透過率が低下しやすい。そのため、この例においても、配線13が設けられていない非設置画素PIX1a、PIX2aは、スリット2340が設けられた領域における透過率が長辺電極部2301近傍の透過率と同等となるように、スリット2340のX軸方向の幅が設定されている。

[0104] 一方、配線13が設けられる設置画素PIX1b、PIX2bのスリット2340のX軸方向の幅は、非設置画素PIX1a、PIX2aのスリット2340よりも広い。このように構成することで、設置画素PIX1b、PIX2bにおいて、電圧印加時の液晶分子の配向が弱まる領域2341が、画素PIX1a、PIX2aの領域2341よりも広くなる。つまり、設置画素PIX1b、PIX2bはスリット2340内に低透過領域2341を有する。よって、配線13の幅や位置等にばらつきがあっても、全画素のス

リット 2340 内の透過率が均一である場合と比べ、設置画素間の透過率のばらつきが抑制され、画素全体の表示品位の低下を軽減することができる。

[0105] 上述した第2の実施形態では、1つの画素に配向方向が異なる2つのドメインを形成することにより、画素全体の視野角を向上させているが、各画素において、ドメインの境界に暗線が生じる。本変形例では、1つの画素におけるドメインは1つであるため、暗線が生じない。また、本変形例では、隣接する行の画素の配向方向が互いに異なるため、画素全体の視野角を向上させることができる。

[0106] 第2の実施形態のように、1つの画素に複数のドメインを形成する構成は、高精細な画素に適用しにくい。本変形例の構成は、高精細の画素に適用しやすい。この場合、画素用 TFT 12 は、インジウム (In)、ガリウム (Ga)、亜鉛 (Zn)、及び酸素 (O) を含む酸化物半導体を用いることが好ましい。このような酸化物半導体を適用することで、アモルファスシリコン (a-Si)、LTPS (Low Temperature Poly-silicon) を用いる場合と比べ、画素を高精細化しやすい。また、本変形例においても、第3の実施形態と同様、配線 13 の設置画素における共通電極 15 (図 10 参照) において、配線 13 と重なる位置にスリット 151 を設けるようにしてもよい。

[0107] (3) 上述した実施形態では、配線を特定の色 (B (青)) の画素に配置する例を説明したが、配線が配置される画素は特定の色でなくてもよい。配線が異なる色の画素に配置されている場合であっても、配線の幅や位置等のばらつきによって、配線が配置された設置画素間で透過率がばらつく。設置画素間の透過率がばらつくことで、非設置画素と設置画素の透過率のバランスが崩れるため、表示品位が低下する。上述した実施形態のように、設置画素における、配線の延伸方向と略平行に延伸する暗線領域又は低透過領域を、非設置画素よりも広げることで、設置画素の透過率のばらつきが抑制され、画素全体としての表示品位の低下を軽減することができる。

[0108] (4) 上述した実施形態では、設置画素と非設置画素の透過率を揃えるべく、設置画素の幅と、設置画素における非遮光領域の幅を、非設置画素より

も広く構成したが、設置画素と非設置画素における画素の幅及び開口部の幅が同等であってもよい。このように構成した場合であっても、上述した実施形態の構成により、設置画素間の透過率のばらつきが抑制され、非設置画素と設置画素の透過率のバランスが崩れにくいため、表示品位の低下を軽減できる。

[0109] (5) 上述した実施形態の各画素に設けられる画素電極の形状は一例であって、画素電極の形状はこれに限定されない。要は、少なくとも一部の画素において、配線の延伸方向と略平行に延伸する暗線領域又は低透過領域が形成されるよう構成されていればよい。

[0110] (6) 上述した実施形態で用いたゲートドライバ40の構成は一例であり、複数のスイッチング素子を含む構成であればこれに限定されない。

[0111] (7) 上述した実施形態における画素用TFT12及びゲートドライバ40を構成するTFTの半導体材料として、アモルファスシリコン(a-Si)、LTPS(Low Temperature Poly-silicon)を用いてもよいが、インジウム(In)、ガリウム(Ga)、亜鉛(Zn)、及び酸素(O)を含む酸化物半導体がより好ましい。インジウム(In)、ガリウム(Ga)、亜鉛(Zn)、及び酸素(O)を含む酸化物半導体を適用することで、アモルファスシリコン、LTPSを用いる場合より高精細化及び高開口率化を実現しやすい。

請求の範囲

- [請求項1] アクティブマトリクス基板と、前記アクティブマトリクス基板に対向して配置され、遮光部材を備える対向基板と、前記アクティブマトリクス基板と前記対向基板との間に挟持された液晶層とを備える液晶表示装置であって、
- 前記アクティブマトリクス基板は、
- 前記遮光部材によって遮光された遮光領域と、前記遮光領域を除く非遮光領域とを有し、前記非遮光領域にスリットを有する画素電極がそれぞれ設けられた複数の画素と、
- 画素領域に配置される配線と、を備え、
- 前記液晶層における液晶分子は水平配向モードで駆動され、
- 前記複数の画素のうちの一部の画素のそれぞれは、当該画素における前記スリット内の透過率が、他の画素における前記スリット内の透過率よりも低い低透過領域を有し、
- 前記配線は、前記一部の画素における前記低透過領域に配置される、液晶表示装置。
- [請求項2] 前記画素電極は、第1の電極及び第2の電極とを有し、
- 前記スリットは、前記第1の電極と前記第2の電極との間に設けられ、前記配線が延伸する方向と略平行であり、
- 前記一部の画素における前記スリットの幅は、他の画素における前記スリットの幅よりも広く、
- 前記一部の画素における前記低透過領域は、当該画素の前記第1の電極と前記第2の電極からの距離が略中間となる領域を含む、請求項1に記載の液晶表示装置。
- [請求項3] アクティブマトリクス基板と、前記アクティブマトリクス基板に対向して配置され、遮光部材を備える対向基板と、前記アクティブマトリクス基板と前記対向基板との間に挟持された液晶層とを備える液晶表示装置であって、

前記アクティブマトリクス基板は、
画素電極がそれぞれ設けられ、前記遮光部材によって遮光された遮光領域と、前記遮光領域を除く非遮光領域とを有する複数の画素と、
画素領域に配置される配線と、を備え、
前記液晶層における液晶分子は垂直配向モードで駆動され、
前記複数の画素のそれぞれは、当該画素の前記非遮光領域において、前記液晶分子が駆動された際の配向方向が異なる複数の配向分割領域を有し、
前記複数の配向分割領域の境界は、前記配線が延伸する方向と略平行な境界部分を有し、
前記複数の画素のうち一部の画素における前記境界部分の幅は、他の画素における前記境界部分の幅よりも広く、
前記配線は、前記一部の画素の前記非遮光領域における前記境界部分に配置される、液晶表示装置。

[請求項4] 前記アクティブマトリクス基板又は前記対向基板は、さらに、前記複数の画素における前記画素電極に対向して配置された共通電極を備え、

前記一部の画素における前記共通電極は、前記配線と重なる位置に、当該配線が延伸する方向と略平行な開口を有する、請求項1から3のいずれか一項に記載の液晶表示装置。

[請求項5] 前記アクティブマトリクス基板は、さらに、
複数のゲート線と、
前記複数のゲート線と交差する複数のソース線と、
前記複数のゲート線のそれぞれに対して設けられ、供給される制御信号に応じて、対応する一のゲート線を選択状態又は非選択状態に切り替える駆動回路と、を備え、
前記駆動回路は、複数のスイッチング素子を含む駆動回路用素子を有し、

前記駆動回路用素子は、前記一部の画素に配置されて前記配線と接続され、

前記配線は、当該配線と接続された前記駆動回路用素子に前記制御信号を供給する、請求項 1 から 4 のいずれか一項に記載の液晶表示装置。

[請求項6]

前記アクティブマトリクス基板は、さらに、

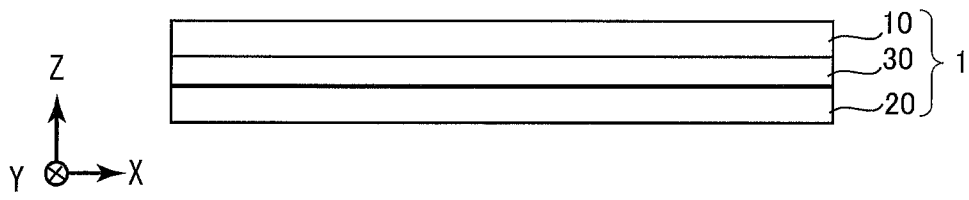
複数のゲート線と、

前記複数のゲート線と交差する複数のソース線と、を備え、

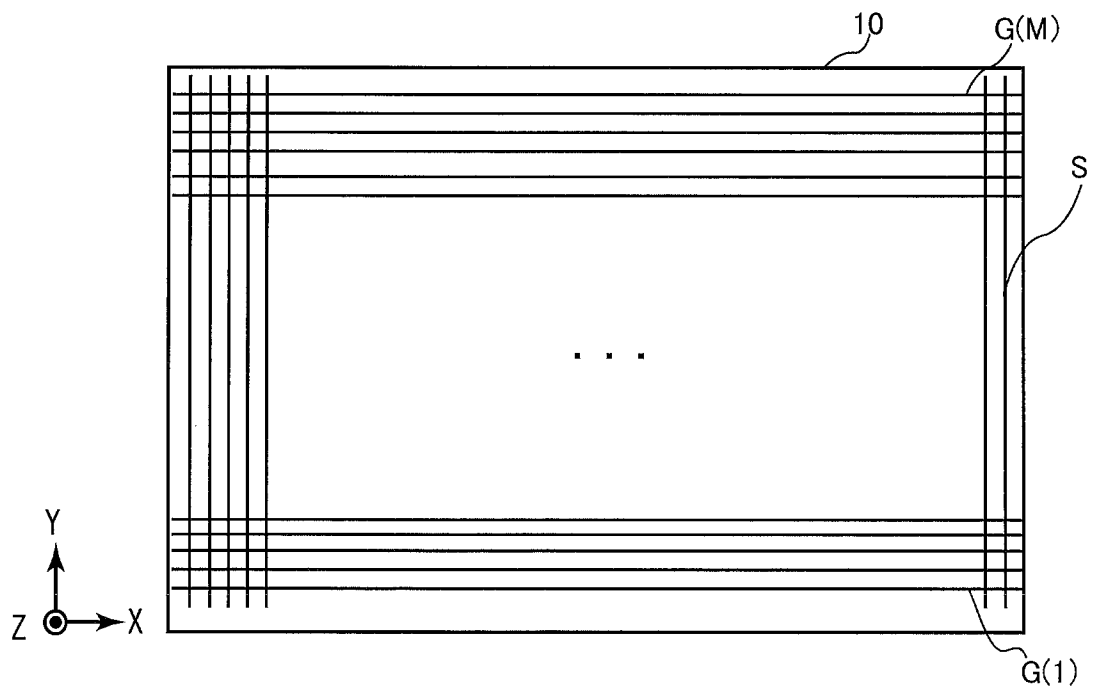
各画素の前記画素電極は、一のゲート線と一のソース線とに接続され、

前記配線は、当該配線が配置された画素の画素電極と接続される前記一のソース線である、請求項 1 から 4 のいずれか一項に記載の液晶表示装置。

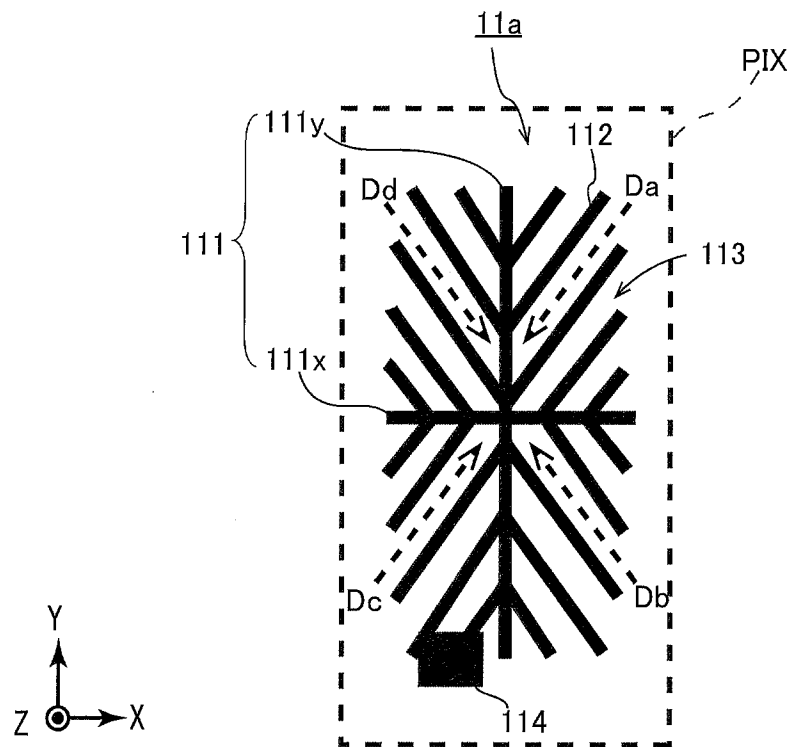
[図1]



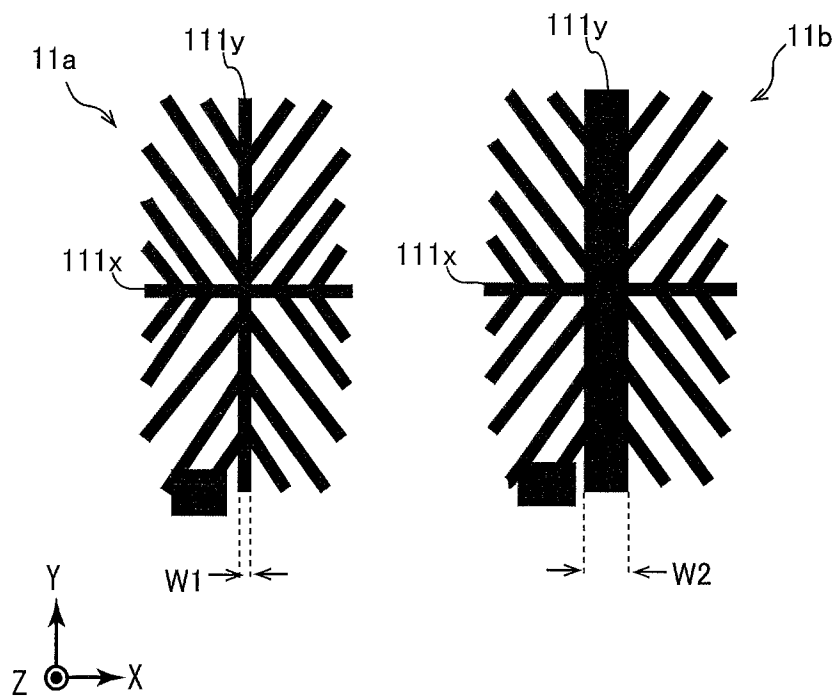
[図2]



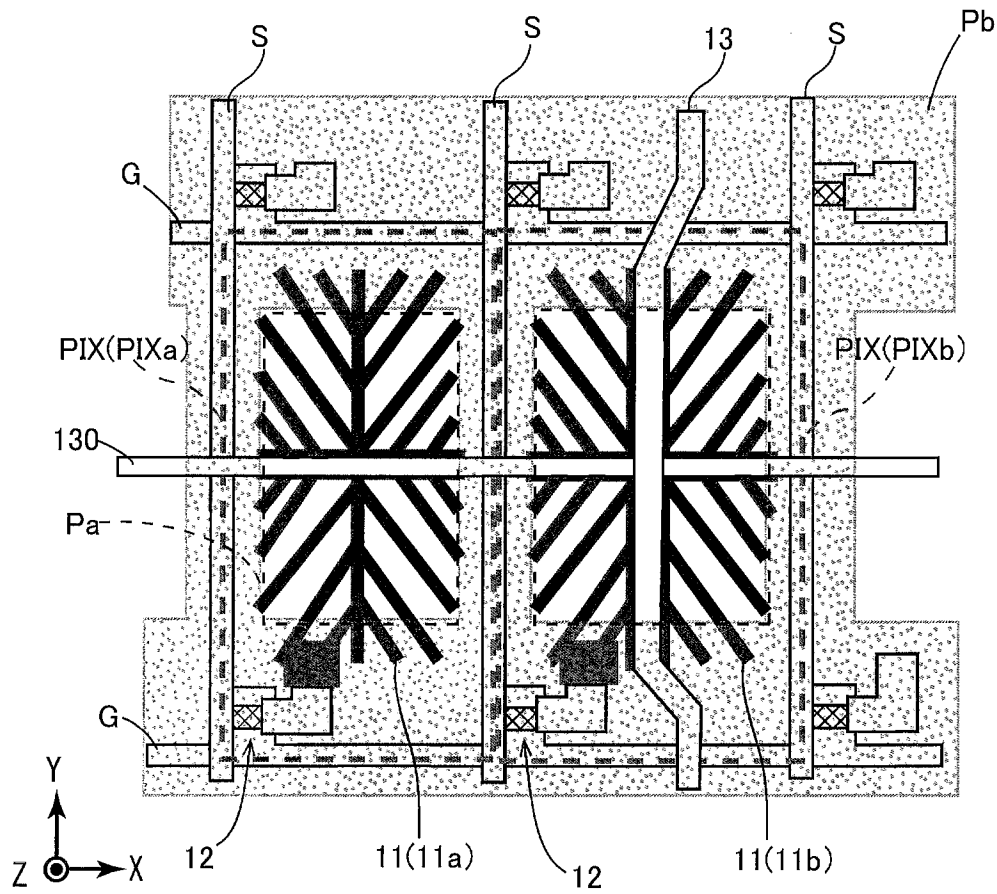
[図4B]



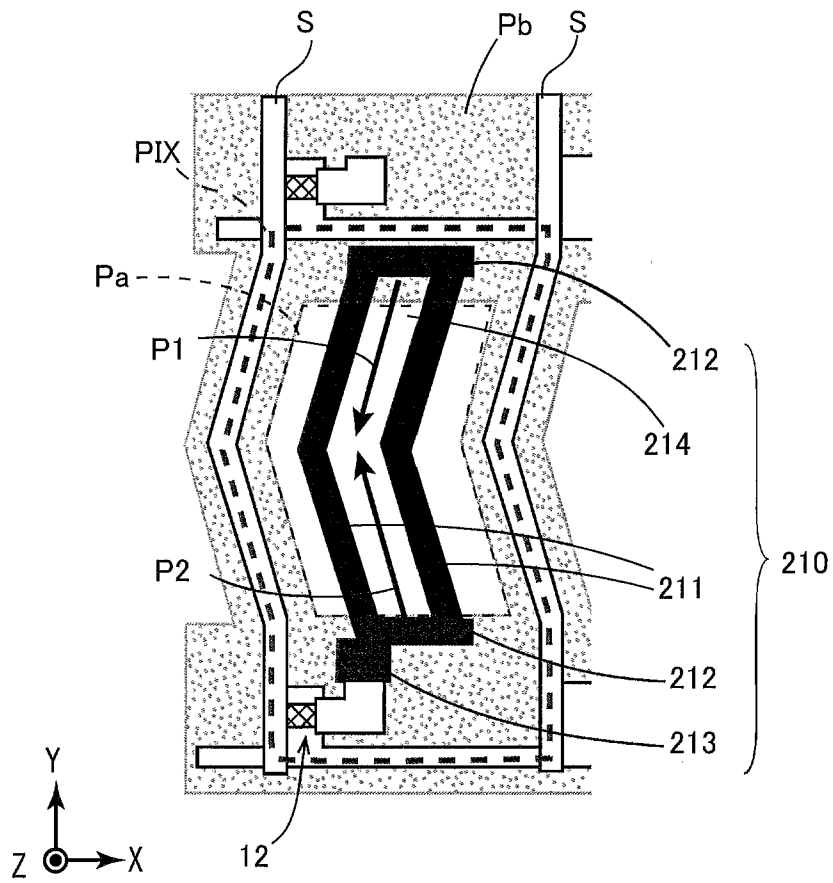
[図5]



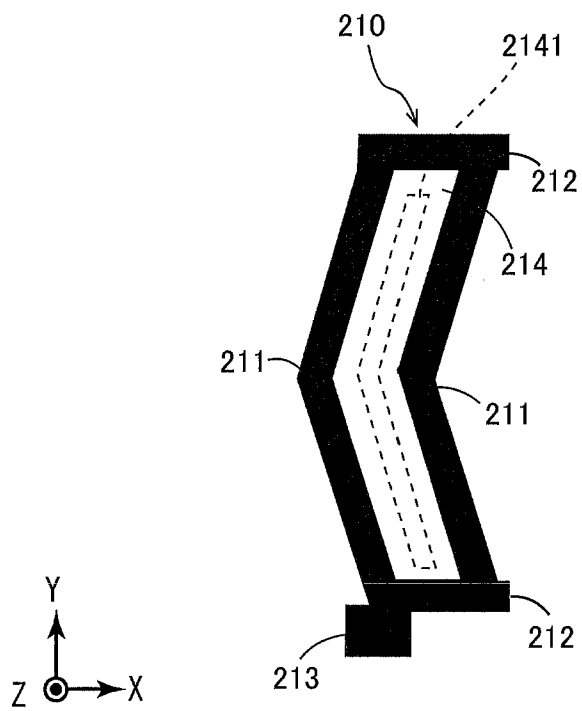
[図6]



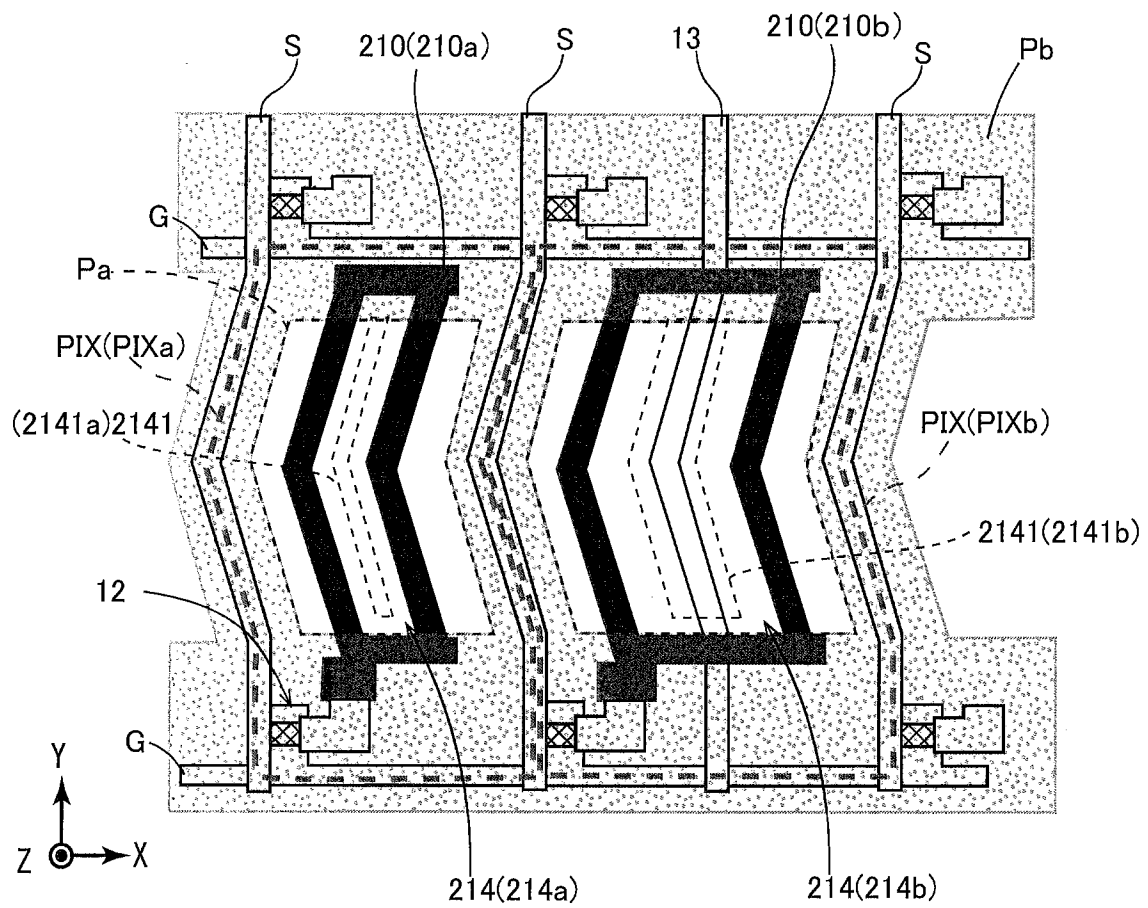
[図7A]



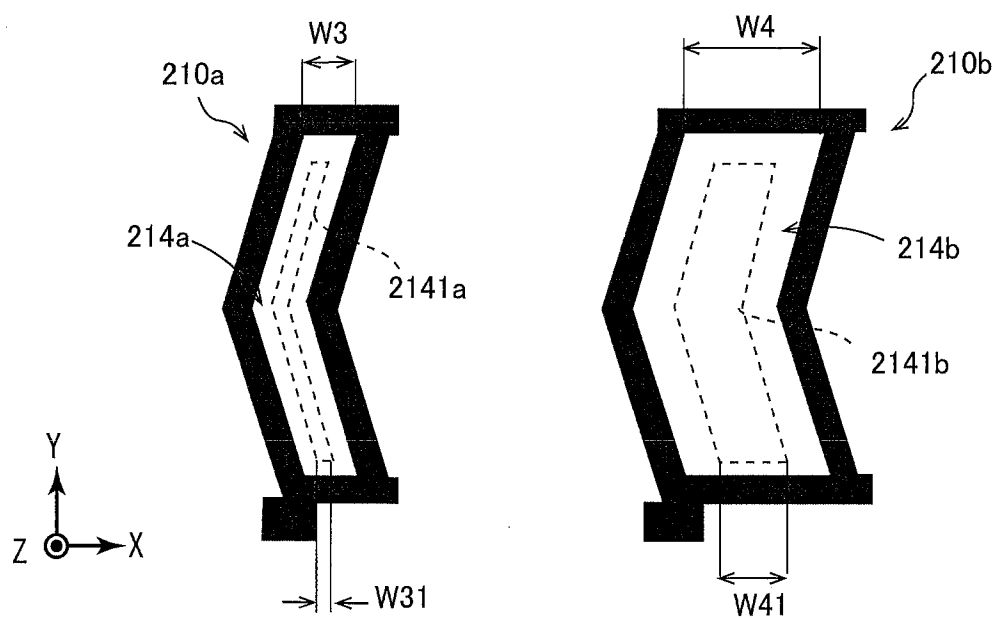
[図7B]



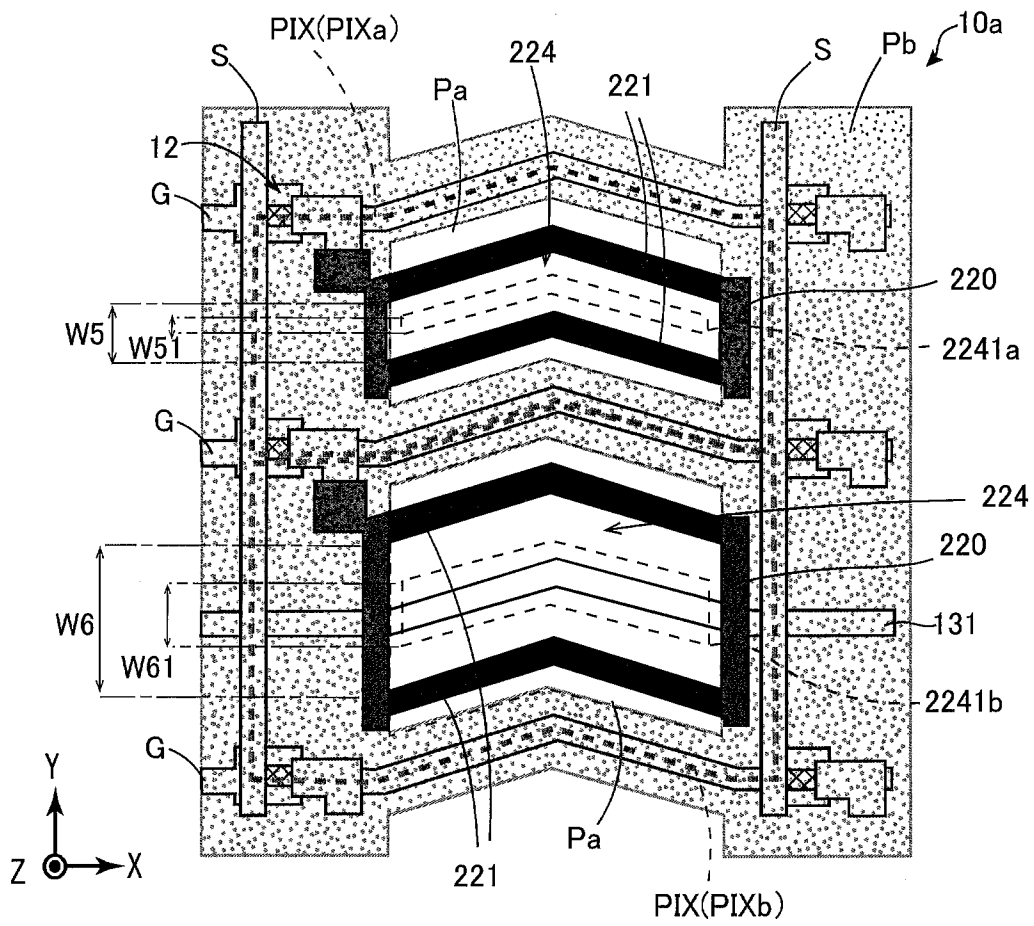
[図8A]



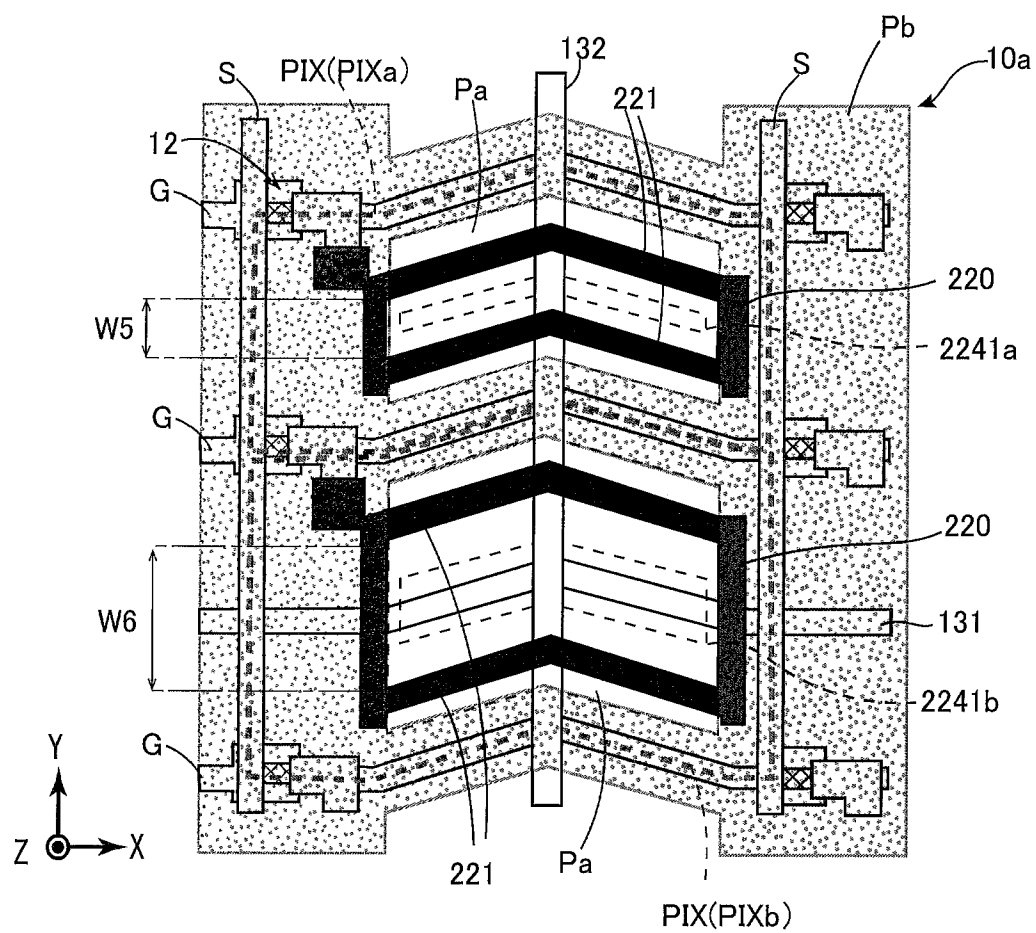
[図8B]



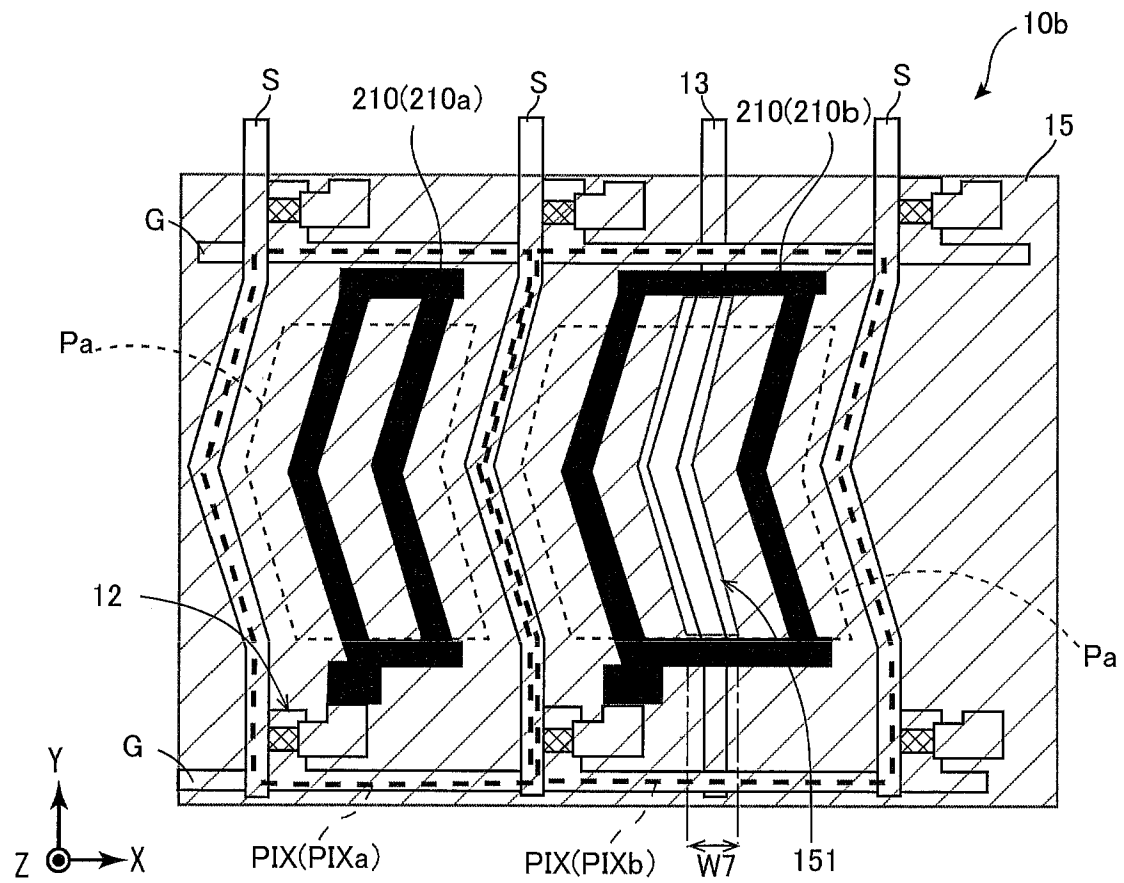
[図9A]



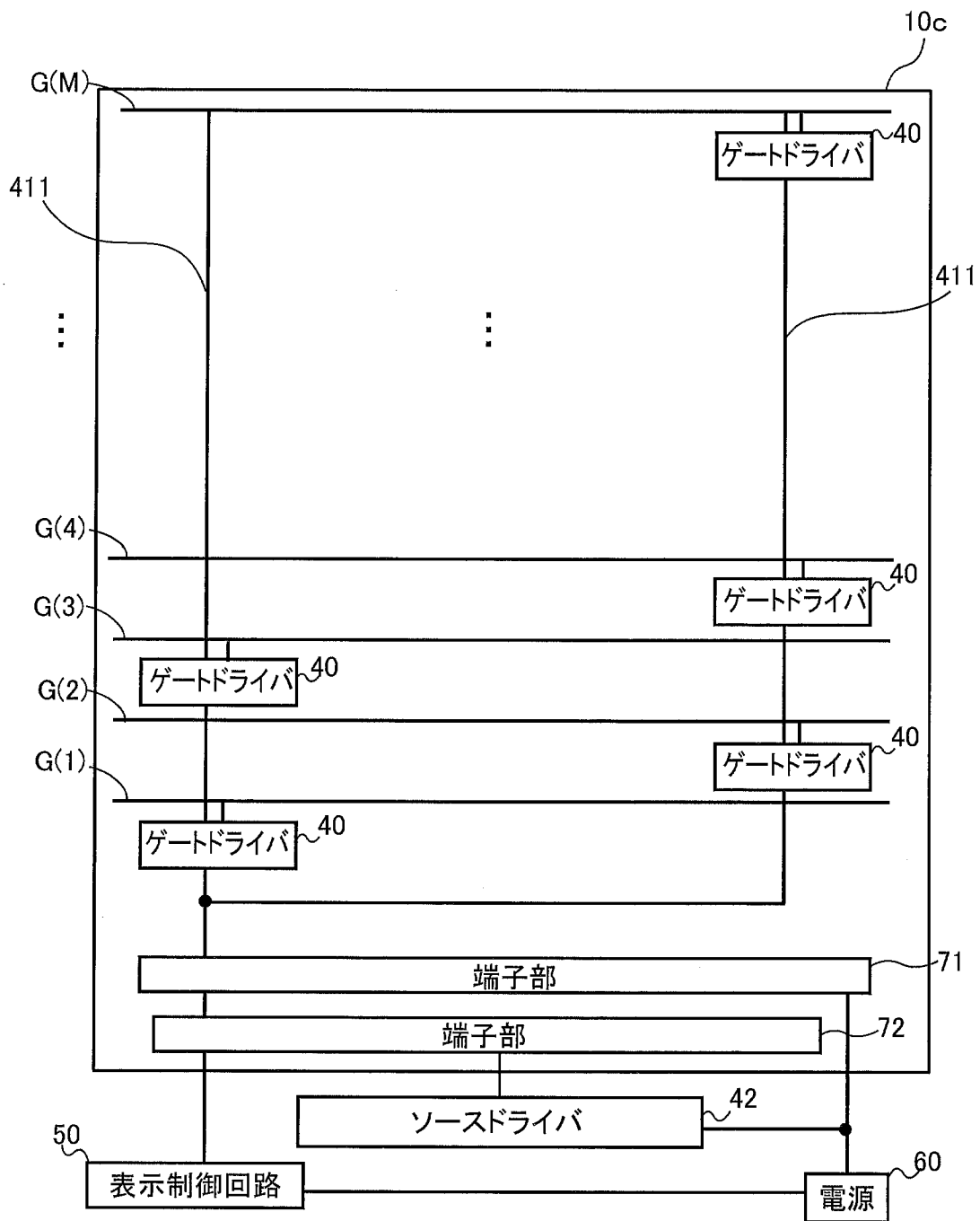
[図9B]



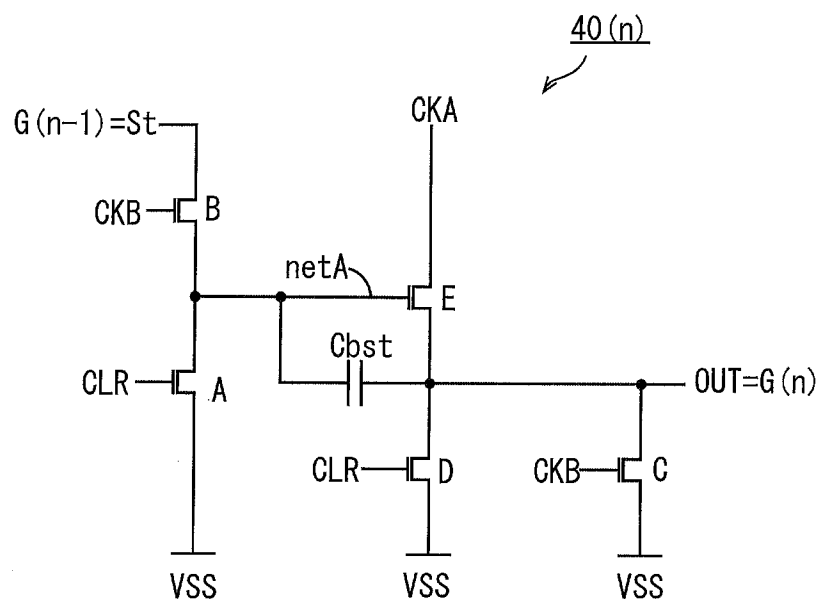
[図10]



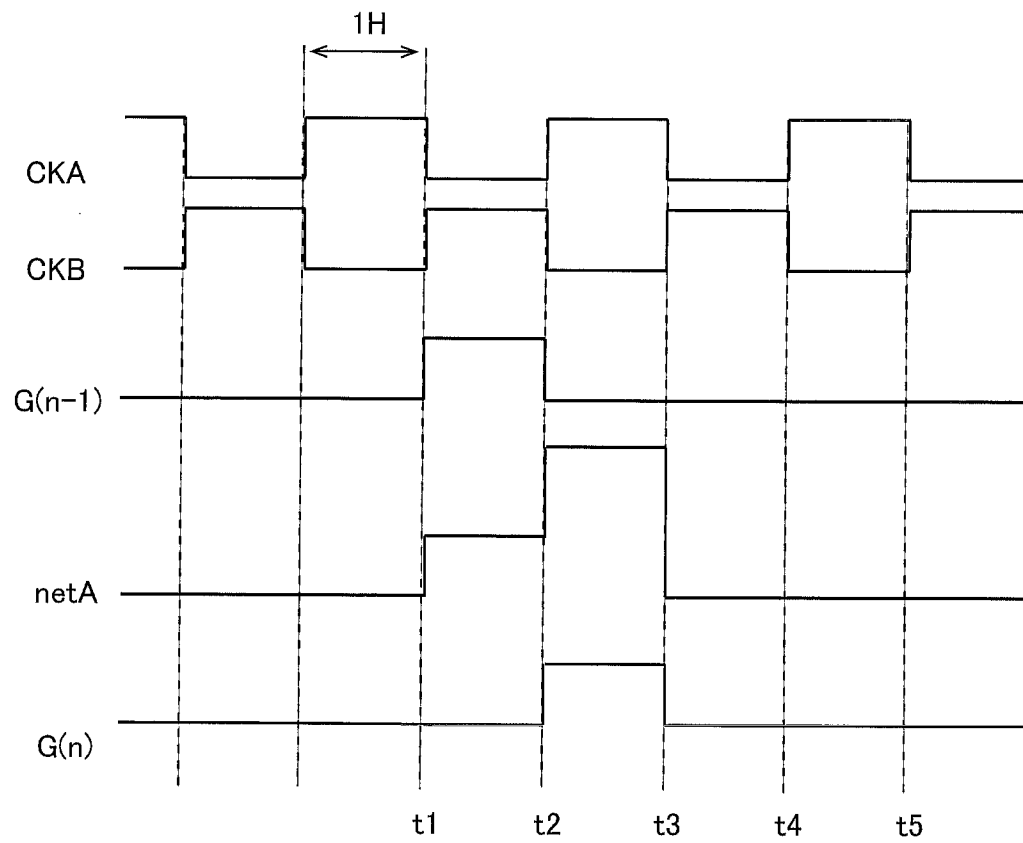
[図11]



[図12]

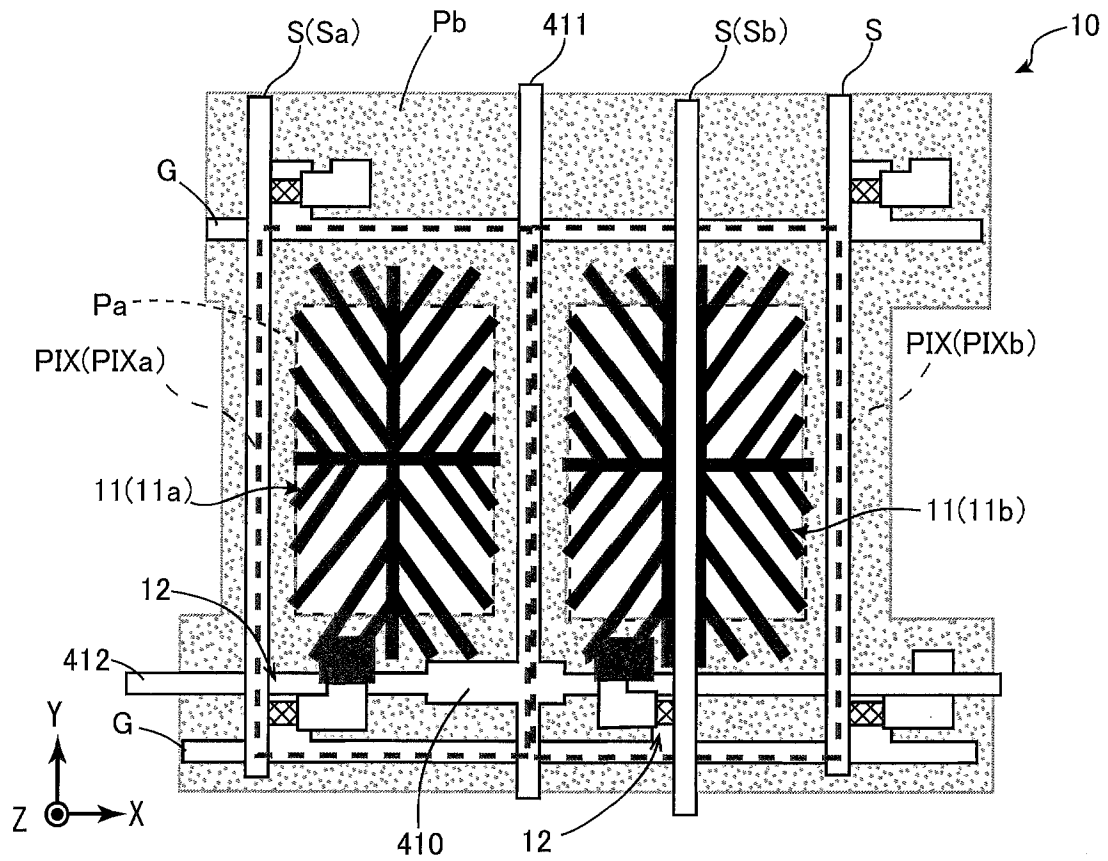


[図13]

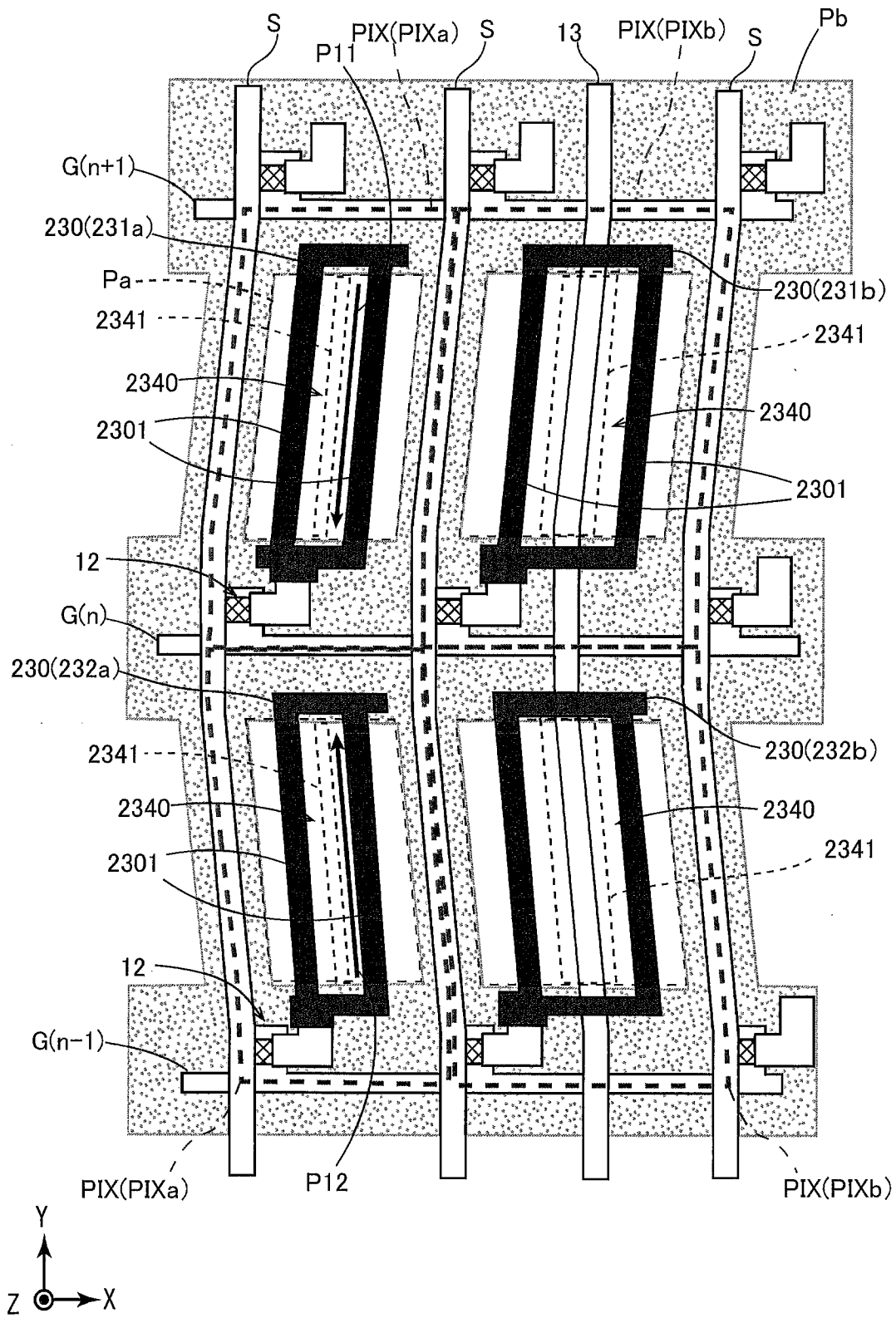


[illegible]

[図16]



[図17]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2018/012335

A. CLASSIFICATION OF SUBJECT MATTER

Int. Cl. G02F1/1337 (2006.01) i, G02F1/1343 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int. Cl. G02F1/1337, G02F1/1343-1/1345

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996

Published unexamined utility model applications of Japan 1971-2018

Registered utility model specifications of Japan 1996-2018

Published registered utility model applications of Japan 1994-2018

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

Japio-GPG/FX

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	WO 2011/115194 A1 (SHARP CORP.) 22 September 2011, paragraphs [0230], [0233], [0263], fig. 21 & US 2013/0069855 A1, paragraphs [0258], [0261], [0291], fig. 21 & EP 2549324 A1 & CN 102804036 A & RU 2012144444 A	1-6
A	JP 2015-187619 A (SHARP CORP.) 29 October 2015, paragraphs [0063], [0064], fig. 11 & US 2015/0219971 A1, paragraphs [0078], [0079], fig. 11 & WO 2014/024908 A1 & CN 104603684 A	1-6
A	JP 2013-76880 A (JAPAN DISPLAY INC.) 25 April 2013, paragraphs [0078], [0079], fig. 3 & US 2013/0076611 A1, paragraphs [0083], [0084], fig. 3	1-6

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
06.06.2018

Date of mailing of the international search report
19.06.2018

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2018/012335

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	US 2011/0121303 A1 (KIM, Dong-Gyu) 26 May 2011, paragraphs [0007], [0039], fig. 1 & KR 10-2009-00015243 A	1-6

A. 発明の属する分野の分類（国際特許分類（IPC））

Int.Cl. G02F1/1337(2006.01)i, G02F1/1343(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（IPC））

Int.Cl. G02F1/1337, G02F1/1343-1/1345

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2018年
日本国実用新案登録公報	1996-2018年
日本国登録実用新案公報	1994-2018年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

Japio-GPG/FX

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	WO 2011/115194 A1（シャープ株式会社）2011.09.22 段落番号[0230], [0233], [0263], 図 21 & US 2013/0069855 A1 , 段落番号[0258], [0261], [0291], 図 21 & EP 2549324 A1 & CN 102804036 A & RU 2012144444 A	1-6
A	JP 2015-187619 A（シャープ株式会社）2015.10.29 段落番号[0063], [0064], 図 11 & US 2015/0219971 A1 , 段落番号[0078], [0079], 図 11 & WO 2014/024908 A1 & CN 104603684 A	1-6

C欄の続きにも文献が列挙されている。

パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの

「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）

「O」口頭による開示、使用、展示等に言及する文献

「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日

06.06.2018

国際調査報告の発送日

19.06.2018

国際調査機関の名称及びあて先

日本国特許庁（ISA/J P）

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

横井 亜矢子

2 L

9706

電話番号 03-3581-1101 内線 3295

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2013-76880 A (株式会社ジャパンディスプレイセントラル) 2013.04.25, 段落番号[0078], [0079], 図 3 & US 2013/0076611 A1, 段落番号[0083], [0084], 図 3	1-6
A	US 2011/0121303 A1 (DONG-GYU Kim) 2011.05.26 段落番号[0007], [0039], 図 1 & KR 10-2009-0015243 A	1-6