

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第6部門第1区分

【発行日】平成26年6月26日(2014.6.26)

【公表番号】特表2013-527930(P2013-527930A)

【公表日】平成25年7月4日(2013.7.4)

【年通号数】公開・登録公報2013-035

【出願番号】特願2013-509307(P2013-509307)

【国際特許分類】

G 01 R 31/26 (2014.01)

【F I】

G 01 R 31/26 G

G 01 R 31/26 H

【手続補正書】

【提出日】平成26年5月2日(2014.5.2)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

半導体チップの温度を制御するための回路であって、

前記半導体チップに組み込まれ、前記半導体チップの前記温度を増加させる熱を発生する第1の加熱要素と、

温度センサを有し、前記第1の加熱要素に結合されると共に前記半導体チップに組み込まれ、所望の温度での前記半導体チップのテストを可能にするように前記温度を制御する温度コントローラと、

を含み、

前記温度センサが、

前記温度を感知する第1のトランジスタと、

前記第1のトランジスタのベースに接続されるベースを有し、前記第1のトランジスタと連係して前記温度を感知する、第2のトランジスタと、

電源に結合され、前記第1のトランジスタのコレクタに結合されるドレインを有する、第3のトランジスタと、

前記電源に結合され、前記第3のトランジスタのゲートに結合されるゲートを有する、第4のトランジスタと、

前記第1のトランジスタと直列に接続される第1のレジスタと、

前記第4のトランジスタと直列に接続され、前記第4のトランジスタと連係して前記温度に対応する電圧を提供する、第2のレジスタと、

前記電源に結合され、前記第3のトランジスタのゲートと前記第4のトランジスタのゲートとに結合されるゲートを有する、第5のトランジスタと、

を含み、

前記第3のトランジスタと前記第5のトランジスタとが、前記電源から流れる電流を第1の電流と第2の電流とに分流し、前記第1の電流が、前記第3のトランジスタと前記第1のトランジスタと前記第1のレジスタとを介して流れ、前記第2の電流が、前記第5のトランジスタと前記第2のトランジスタとを介して流れ、回路。

【請求項2】

請求項1に記載の回路であって、

前記温度コントローラが、

前記温度に対応する電圧を提供するために前記半導体チップの前記温度を測定する温度センサと、

デジタル入力に応答して基準電圧を提供する基準生成器と、

前記温度センサと前記基準生成器とに結合され、前記温度に対応する電圧が前記基準電圧より大きい場合に前記第1の加熱要素を不活性化する制御回路と、

を含む、回路。

#### 【請求項3】

請求項2に記載の回路であって、

前記制御回路が、

前記温度センサと前記基準生成器とに結合され、コンパレータ出力を発生するため前に前記電圧を前記参照電圧と比較するコンパレータと、

前記コンパレータと前記第1の加熱要素との間に結合され、前記コンパレータ出力に応答して前記第1の加熱要素を活性化することと前記第1の加熱要素を不活性化することとの一方を実行する、第1のバッファと、

を含む、回路。

#### 【請求項4】

請求項3に記載の回路であって、

前記コンパレータがシュミットトリガーを含む、回路。

#### 【請求項5】

請求項3に記載の回路であって、

前記制御回路が、前記コンパレータと前記第1のバッファとの間に結合される第1のゲートを更に含み、

前記半導体チップが非テストモードにあるときに前記第1のゲートと前記第1のバッファとが前記第1の加熱要素を不活性化する、回路。

#### 【請求項6】

請求項5に記載の回路であって、

前記半導体チップに組み込まれ、前記半導体チップの温度を増加させる熱を発生する第2の加熱要素を更に含む、回路。

#### 【請求項7】

請求項6に記載の回路であって、

前記制御回路が、

前記コンパレータと前記第2の加熱要素との間に結合され、前記コンパレータ出力に応答して前記第2の加熱要素を活性化することと前記第2の加熱要素を不活性化することとの一方を実行する、第2のバッファと、

前記コンパレータと前記第2のバッファとの間に結合される第2のゲートと、  
を更に含み、

前記半導体チップが前記非テストモードにあるときに前記第2のゲートと前記第2のバッファとが前記第2の加熱要素を不活性化する、回路。

#### 【請求項8】

請求項6に記載の回路であって、

前記第1の加熱要素と前記第2の加熱要素とが、負の金属酸化物半導体(NMOS)型トランジスタと正の金属酸化物半導体(PMOS)型トランジスタとレジスタとの一つである、回路。

#### 【請求項9】

請求項1に記載の回路であって、

前記第1のトランジスタと前記第2のトランジスタとが負型バイポーラ接合トランジスタであり、

前記第3のトランジスタと前記第4のトランジスタと前記第5のトランジスタとが正の金属酸化物半導体(PMOS)型トランジスタである、回路。

**【請求項 10】**

所望の温度での半導体チップのテストを可能にするための回路であって、

前記回路が、

前記半導体チップに組み込まれ、前記半導体チップの温度を増加させる熱を発生する第1の加熱要素と、

前記半導体チップに組み込まれ、前記温度に対応する電圧を提供するために前記半導体チップの前記温度を測定する温度センサと、

前記半導体チップに組み込まれ、入力温度に応答して基準電圧を提供する基準生成器と、

前記半導体チップに組み込まれ、前記温度センサと前記基準生成器とに結合され、コンパレータ出力を発生するために前記温度に対応する電圧を前記参照電圧と比較するコンパレータと、

前記コンパレータと前記第1の加熱要素との間に結合され、前記コンパレータ出力に応答して前記第1の加熱要素を活性化することと前記第1の加熱要素を不活性化することの一方を実行する、第1のバッファと、

前記コンパレータと前記第1のバッファとの間に結合される第1のゲートと、

前記半導体チップに組み込まれ、前記半導体チップの温度を増加させる熱を発生する第2の加熱要素と、

前記コンパレータと前記第2の加熱要素との間に結合され、前記コンパレータ出力に応答して前記第2の加熱要素を活性化することと前記第2の加熱要素を不活性化することの一方を実行する、第2のバッファと、

前記コンパレータと前記第2のバッファとの間に結合される第2のゲートと、

を含み、

前記半導体チップが非テストモードにあるときに前記第1のゲートと前記第1のバッファとが前記第1の加熱要素を不活性化し、

前記半導体チップが前記非テストモードにあるときに前記第2のゲートと前記第2のバッファとが前記第2の加熱要素を不活性化する、回路。

**【請求項 11】**

請求項10に記載の回路であって、

前記第1の加熱要素と前記第2の加熱要素とが、負の金属酸化物半導体(NMOS)型トランジスタと正の金属酸化物半導体(PMOS)型トランジスタとレジスタとの一つである、回路。