

【公報種別】特許法第 17 条の 2 の規定による補正の掲載
 【部門区分】第 6 部門第 1 区分
 【発行日】平成 26 年 6 月 26 日 (2014.6.26)

【公表番号】特表 2013-527930 (P2013-527930A)
 【公表日】平成 25 年 7 月 4 日 (2013.7.4)
 【年通号数】公開・登録公報 2013-035
 【出願番号】特願 2013-509307 (P2013-509307)
 【国際特許分類】

G 0 1 R 31/26 (2014.01)

【 F I 】

G 0 1 R 31/26 G

G 0 1 R 31/26 H

【手続補正書】

【提出日】平成 26 年 5 月 2 日 (2014.5.2)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

半導体チップの温度を制御するための回路であって、
 前記半導体チップに組み込まれ、前記半導体チップの前記温度を増加させる熱を発生する第 1 の加熱要素と、
温度センサを有し、前記第 1 の加熱要素に結合されると共に前記半導体チップに組み込まれ、所望の温度での前記半導体チップのテストを可能にするように前記温度を制御する温度コントローラと、
 を含み、
前記温度センサが、
前記温度を感知する第 1 のトランジスタと、
前記第 1 のトランジスタのベースに接続されるベースを有し、前記第 1 のトランジスタと連係して前記温度を感知する、第 2 のトランジスタと、
電源に結合され、前記第 1 のトランジスタのコレクタに結合されるドレインを有する、第 3 のトランジスタと、
前記電源に結合され、前記第 3 のトランジスタのゲートに結合されるゲートを有する、第 4 のトランジスタと、
前記第 1 のトランジスタと直列に接続される第 1 のレジスタと、
前記第 4 のトランジスタと直列に接続され、前記第 4 のトランジスタと連係して前記温度に対応する電圧を提供する、第 2 のレジスタと、
前記電源に結合され、前記第 3 のトランジスタのゲートと前記第 4 のトランジスタのゲートとに結合されるゲートを有する、第 5 のトランジスタと、
 を含み、
前記第 3 のトランジスタと前記第 5 のトランジスタとが、前記電源から流れる電流を第 1 の電流と第 2 の電流とに分流し、前記第 1 の電流が、前記第 3 のトランジスタと前記第 1 のトランジスタと前記第 1 のレジスタとを介して流れ、前記第 2 の電流が、前記第 5 のトランジスタと前記第 2 のトランジスタとを介して流れる、回路。

【請求項 2】

請求項 1 に記載の回路であって、

前記温度コントローラが、
前記温度に対応する電圧を提供するために前記半導体チップの前記温度を測定する温度センサと、
デジタル入力に応答して基準電圧を提供する基準生成器と、
前記温度センサと前記基準生成器とに結合され、前記温度に対応する電圧が前記基準電圧より大きい場合に前記第 1 の加熱要素を不活性化する制御回路と、
を含む、回路。

【請求項 3】

請求項 2 に記載の回路であって、
前記制御回路が、
前記温度センサと前記基準生成器とに結合され、コンパレータ出力を発生するために前記電圧を前記参照電圧と比較するコンパレータと、
前記コンパレータと前記第 1 の加熱要素との間に結合され、前記コンパレータ出力に応答して前記第 1 の加熱要素を活性化することと前記第 1 の加熱要素を不活性化することとの一方を実行する、第 1 のバッファと、
を含む、回路。

【請求項 4】

請求項 3 に記載の回路であって、
前記コンパレータがシュミットトリガーを含む、回路。

【請求項 5】

請求項 3 に記載の回路であって、
前記制御回路が、前記コンパレータと前記第 1 のバッファとの間に結合される第 1 のゲートを更に含み、
前記半導体チップが非テストモードにあるときに前記第 1 のゲートと前記第 1 のバッファとが前記第 1 の加熱要素を不活性化する、回路。

【請求項 6】

請求項 5 に記載の回路であって、
前記半導体チップに組み込まれ、前記半導体チップの温度を増加させる熱を発生する第 2 の加熱要素を更に含む、回路。

【請求項 7】

請求項 6 に記載の回路であって、
前記制御回路が、
前記コンパレータと前記第 2 の加熱要素との間に結合され、前記コンパレータ出力に応答して前記第 2 の加熱要素を活性化することと前記第 2 の加熱要素を不活性化することとの一方を実行する、第 2 のバッファと、
前記コンパレータと前記第 2 のバッファとの間に結合される第 2 のゲートと、
を更に含み、
前記半導体チップが前記非テストモードにあるときに前記第 2 のゲートと前記第 2 のバッファとが前記第 2 の加熱要素を不活性化する、回路。

【請求項 8】

請求項 6 に記載の回路であって、
前記第 1 の加熱要素と前記第 2 の加熱要素とが、負の金属酸化物半導体（NMOS）型トランジスタと正の金属酸化物半導体（PMOS）型トランジスタとレジスタとの一つである、回路。

【請求項 9】

請求項 1 に記載の回路であって、
前記第 1 のトランジスタと前記第 2 のトランジスタとが負型バイポーラ接合トランジスタであり、
前記第 3 のトランジスタと前記第 4 のトランジスタと前記第 5 のトランジスタとが正の金属酸化物半導体（PMOS）型トランジスタである、回路。

【請求項 10】

所望の温度での半導体チップのテストを可能にするための回路であって、

前記回路が、

前記半導体チップに組み込まれ、前記半導体チップの温度を増加させる熱を発生する第 1 の加熱要素と、

前記半導体チップに組み込まれ、前記温度に対応する電圧を提供するために前記半導体チップの前記温度を測定する温度センサと、

前記半導体チップに組み込まれ、入力温度に応答して基準電圧を提供する基準生成器と

、

前記半導体チップに組み込まれ、前記温度センサと前記基準生成器とに結合され、コンパレータ出力を発生するために前記温度に対応する電圧を前記参照電圧と比較するコンパレータと、

前記コンパレータと前記第 1 の加熱要素との間に結合され、前記コンパレータ出力に
応答して前記第 1 の加熱要素を活性化することと前記第 1 の加熱要素を不活性化することと
の一方を実行する、第 1 のバッファと、

前記コンパレータと前記第 1 のバッファとの間に結合される第 1 のゲートと、

前記半導体チップに組み込まれ、前記半導体チップの温度を増加させる熱を発生する第 2 の加熱要素と、

前記コンパレータと前記第 2 の加熱要素との間に結合され、前記コンパレータ出力に
応答して前記第 2 の加熱要素を活性化することと前記第 2 の加熱要素を不活性化することと
の一方を実行する、第 2 のバッファと、

前記コンパレータと前記第 2 のバッファとの間に結合される第 2 のゲートと、
を含み、

前記半導体チップが非テストモードにあるときに前記第 1 のゲートと前記第 1 のバッファとが前記第 1 の加熱要素を不活性化し、

前記半導体チップが前記非テストモードにあるときに前記第 2 のゲートと前記第 2 のバッファとが前記第 2 の加熱要素を不活性化する、回路。

【請求項 11】

請求項 10 に記載の回路であって、

前記第 1 の加熱要素と前記第 2 の加熱要素とが、負の金属酸化物半導体（NMOS）型トランジスタと正の金属酸化物半導体（PMOS）型トランジスタとレジスタとの一つである、回路。