

公告本

申請日期	90 年 8 月 29 日
案 號	90121304
類 別	H01L 27%

A4
C4

(以上各欄由本局填註)

578297

發明專利說明書		
一、發明 名稱	中 文	半導體積體電路裝置及其製造方法
	英 文	
二、發明人 創作	姓 名	(1) 山本智志 (2) 飯島晉平
	國 籍	(1) 日本 (2) 日本
	住、居所	(1) 日本國東京都千代田區丸之內一丁目五番一號 新丸大樓日立製作所(股)知的所有權本部內 (2) 日本國東京都千代田區丸之內一丁目五番一號 新丸大樓日立製作所(股)知的所有權本部內
三、申請人	姓 名 (名稱)	(1) 日立製作所股份有限公司 株式会社日立製作所
	國 籍	(1) 日本
	住、居所 (事務所)	(1) 日本國東京都千代田區神田駿河台四丁目六番 地
	代 表 人 名 姓	(1) 庄山悅彦

裝

訂

線

(由本局填寫)

承辦人代碼：
大類：
I P C分類：

A6
B6

本案已向：

國（地區）

申請專利，申請日期：

案號：

，☐有 ☐無主張優先權

日本

2000 年 10 月 23 日

2000-322117

☒有主張優先權

有關微生物已寄存於：

，寄存日期：

，寄存號碼：

（請先閱讀背面之注意事項再填寫本頁各欄）

裝

訂

線

經濟部智慧財產局員工消費合作社印製

五、發明說明(1)

【發明所屬之技術領域】

本發明係關於半導體積體電路裝置及其製造方法，特別是關於適用在於形成在絕緣膜之孔（凹部）之內部形成以Ru（鈦）為主成分之金屬膜之構造及其製造製程有效之技術。

【習知技術】

DRAM係具有：記憶體單元選擇用MISFET與被串聯接續於此MISFET之資訊儲存電容元件。此資訊儲存電容元件例如係依序積層成為下部電極之矽、成為電容絕緣膜之氧化鋁以及成為上部電極之矽而形成。

又，此資訊儲存電容元件為了謀求元件之微細化，又，為了確保某種程度之電容，於絕緣膜中形成深孔，而被形成在此孔中。

【發明欲解決之課題】

但是，於下部電極使用矽之情形，在被形成於其上層之氧化鋁之結晶化或膜質之改善用之熱處理（氧氣性氣氛中，800℃、3分鐘）時，在矽與氧化鋁之界面形成矽氮化膜。因此，氧化鋁與此矽氮化膜有助於作為電介質之故，洩漏電流雖被壓抑得很低，但是，高介電常數化有困難。

又，伴隨元件的微細化，形成資訊儲存電容元件之孔的直徑如變得更小，結晶化於孔側壁之凹凸狀之矽彼此相

（請先閱讀背面之注意事項再填寫本頁）

訂

線

五、發明說明(2)

接觸，無法形成氧化鋁等之上層膜。

本發明者們進行關於構成資訊儲存電容之下部電極材料之研究、開發，作為解決上述問題用之下部電極材料，檢討鈮(Ru)之採用。

此Ru不產生如氮化膜之低介電常數膜，又，為金屬之故，可以薄薄形成。

但是，本發明者們作為下部電極採用Ru膜之結果，如圖25(a)所示般地，可以見到在孔的側壁之上部中，其膜厚變厚，在孔之底部，膜厚變薄之現象。在此種狀態中，於進行Ru膜之緻密化用之熱處理之情形，孔底部之薄Ru膜凝集而成島狀(圖25(b))。因此，失掉Ru膜之連續性之故，無法達成作為下部電極之功能。

另一方面，以相同成膜條件，為了確保Ru膜之連續性，使孔之底部的Ru膜厚變大之情形，因應孔之底部的Ru膜厚，孔的側壁之上部的Ru膜厚變大，Ru膜彼此接觸，無法形成氧化鋁等之上層膜(圖26)。

本發明之目的在於提供：可以於孔之內部形成構成資訊儲存電容元件之下部電極之Ru膜之技術。

本發明之其它目的在於提供：藉由形成良好之Ru膜，可以謀求資訊儲存電容元件之特性之提升之技術。

本發明之前述以及其它之目的與新的特徵由本詳細說明書之記載以及所附圖面理應可以變得清楚。

【解決課題用之手段】

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明 (3)

於本申請案所揭示之發明中，如說明代表性者有如下述：

1 . 本發明之半導體積體電路裝置之製造方法係具有：(a) 在半導體基板之主表面形成記憶體單元選擇用 M I S F E T 之工程；以及 (b) 形成與前述記憶體單元選擇 M I S F E T 之源極、汲極區域電氣地接續之插塞的工程；以及 (c) 在前述插塞上形成氧化矽膜之工程；以及 (d) 在前述氧化矽膜中形成到達前述插塞表面為止之孔的工程；以及 (e) 在前述孔的側壁以及底部藉由使 R u 之有機化合物與氧化劑反應以形成 R u 膜之工程，利用該氯化流量為氧化劑之流量的 5 % 以上之 R u 的有機化合物以形成 R u 膜之工程；以及 (f) 在前述 R u 膜上形成電容絕緣膜之工程；以及 (g) 在前述電容絕緣膜上形成上部電極之工程。又，前述 R u 之有機化合物與氧化劑之反應係在 3 0 0 ° C 以下進行。

2 . 本發明之半導體積體電路裝置係：(a) 形成在半導體基板之主表面之記憶體單元選擇用 M I S F E T ；以及 (b) 與前述記憶體單元選擇 M I S F E T 之源極、汲極區域電氣地接續之插塞；以及 (c) 形成在前述插塞上之氧化矽膜；以及 (d) 形成在前述氧化矽膜中，延伸至前述插塞表面為止之孔，孔之深度在該短直徑之 5 倍以上之孔；以及 (e) 被形成於前述孔內之 R u 膜，由被形成在此 R u 膜之上部之電容絕緣膜以及被形成在此電容絕緣膜上部之上部電極所形成之資訊儲存電容元件，前述孔

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明(4)

的底部之 Ru 膜在前述孔內之最厚部份的膜厚的 50 % 以上。前述孔的深度例如為 250 nm 程度。又，在前述 Ru 膜與氧化矽膜之間也可以具有黏接層。此黏接層例如為氧化鉬。又，前述 Ru 膜係設其表面之凹凸在 5 nm 以下。

【發明之實施形態】

以下，依據圖面詳細說明本發明之實施形態。又，於說明實施形態用之全部圖面中，對具有同一機能之構件，賦予相同之標號，省略其之重覆說明。

(實施形態 1)

接著，利用圖 1 ~ 圖 17 以工程順序說明本實施形態之 DRAM 之製造方法。

首先，如圖 1 所示般地，例如在由 p 型之單晶矽所形成之半導體基板（晶圓）1 之主面的元件分離區域形成元件分離 2。又，藉由形成此元件分離 2，藉由如圖 2 所示之元件分離 2 周圍被包圍之細長島狀的活性區域（L）也同時被形成。於這些活性區域（L）之個個上各形成 2 個之共有源極、汲極之一方之記憶體單元選擇 MISFETQs。

上述元件分離 2 係藉由：蝕刻半導體基板 1 之表面，形成深度 300 ~ 400 nm 程度之溝，於此溝的內部形成薄氧化矽膜。接著，在包含此溝的內部之半導體基板 1

（請先閱讀背面之注意事項再填寫本頁）

訂

線

五、發明說明 (5)

上以 C V D (Chemical Vapor Deposition : 化學氣相沈積) 法堆積氧化矽膜 4 (膜厚 6 0 0 n m 程度) 厚 , 以化學機械研磨 (Chemical Mechanical Polishing : C M P) 法拋光氧化矽膜 4 而形成。

接著 , 藉由離子植入 B (硼) 在半導體基板 1 形成 p 型井 3 , 接著 , 以 H F (氟酸) 系之洗淨液洗淨 p 型井 3 之表面後 , 藉由熱氧化半導體基板 1 , 在 p 型井 3 (活性區域 L) 之表面形成膜厚 6 n m 程度之閘極絕緣膜 5 。

接著 , 如圖 3 所示般地 , 在閘極絕緣膜 5 之上部形成閘極電極 6 。閘極電極 6 例如係藉由 : 在閘極絕緣膜 5 之上部依序堆積 : 摻雜 P (磷) 等之 n 型多晶矽膜 (膜厚 7 0 n m 程度) 、由 W N (氮化鎢) 或 T i N (氮化鈦) 形成之阻障金屬膜 (膜厚 5 n m ~ 1 0 n m 程度) 、W 膜 (膜厚 1 0 0 n m 程度) 以及氮化矽膜 7 (膜厚 1 5 0 n m 程度) 後 , 以光阻膜為光阻 , 乾蝕刻這些膜而形成。多晶矽膜以及氮化矽膜 7 係以 C V D 法堆積 , 阻障金屬膜以及 W 膜係以濺鍍法堆積。閘極電極 6 作用為字元線 (W L) 。接著 , 進行濕氫氧化 , 在構成閘極電極 6 之 n 型多晶矽膜之側壁形成薄矽氧化膜。依據此濕氫氧化 , 可以只在矽上選擇性地形成氧化膜。

接著 , 如圖 4 所示般地 , 在 p 型井 3 離子植入 A s (砷) 或 P (磷) , 在閘極電極 6 之兩側的 p 型井 3 形成 n 型半導體區域 8 (源極、汲極) 。藉由至此之工程 , 約略完成記憶體單元選擇 M I S F E T Q s 。

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明(6)

接著，在半導體基板 1 上以 C V D 法堆積氮化矽膜 9 (膜厚 50 nm) 以及氧化矽膜 10 (膜厚 600 nm 程度)，接著，以化學機械研磨法平坦化氧化矽膜 10 之表面後，以光阻膜 (未圖示出) 為光罩，乾蝕刻氧化矽膜 10 以及氮化矽膜 9，在記憶體單元選擇 M I S F E T Q s 之 n 型半導體區域 8 (源極、汲極) 之上部形成接觸孔 11、12。氧化矽膜 10 之蝕刻矽以對於氮化矽膜之選擇比大之條件進行，氮化矽膜 9 之蝕刻矽以對於矽或氧化矽膜之蝕刻選擇比大之條件進行。藉由此，接觸孔 11、12 對於閘極電極 6 (字元線) 係自我對準地被形成。

接著，如圖 5 所示般地，在接觸孔 11、12 之內部形成插塞 13。在形成插塞 13 上，係在氧化矽膜 10 之上部藉由以 C V D 法堆積摻雜 P 之 n 型多晶矽膜，於接觸孔 11、12 之內部埋入此 n 型多晶矽膜厚，以化學機械研磨法 (或蝕刻法) 去除接觸孔 11、12 之外部的 n 型多晶矽膜。

接著，在氧化矽膜 10 之上部以 C V D 法堆積氧化矽膜 14 (膜厚 150 nm 程度) 後，以光阻膜 (未圖示出) 為光罩，藉由乾蝕刻接觸孔 11 之上部的氧化矽膜 14，形成通孔 15。

接著，在通孔 15 之內部形成插塞 16。在形成插塞 16 上，係在氧化矽膜 14 之上部例如以濺鍍法堆積由 T i 膜與 T i N 膜之積層膜所形成之阻障金屬膜，接著，

五、發明說明(7)

在阻障金屬膜之上部以 C V D 法堆積 W 膜，於通孔 1 5 之內部埋入這些膜後，以化學機械研磨法去除通孔 1 5 之外部的這些膜。透過此插塞 1 6 以及插塞 1 3，記憶體單元選擇 M I S F E T Q s 之 n 型半導體區域 8（源極、汲極）與後述之位元線 B L 被接續著。

接著，在氧化矽膜 1 4 以及插塞 1 6 上形成位元線 B L。在形成位元線 B L 上，例如在氧化矽膜 1 4 之上部以濺鍍法堆積 T i N 膜（膜厚 1 0 n m 程度，未圖示出），接著，在 T i N 膜之上部以 C V D 法堆積 W 膜（膜厚 5 0 n m 程度）後，以光阻膜（未圖示出）為光罩，乾蝕刻這些膜。

接著，如圖 6 所示般地，在位元線 B L 之上部以 C V D 法堆積氧化矽膜 1 7（膜厚 3 0 0 n m 程度），接著，以化學機械研磨法平坦化其表面。接著，藉由乾蝕刻氧化矽膜 1 7，在埋入有插塞 1 3 之接觸孔 1 2 之上部形成通孔 1 9。

通孔 1 9 係形成為其之直徑比其之下部的接觸孔 1 2 之直徑還小。具體為：在氮化矽膜 1 8 之上部以 C V D 法堆積多晶矽膜 2 0，接著，乾蝕刻形成通孔 1 9 之區域的多晶矽膜 2 0，形成孔後，在多晶矽膜 2 0 之上部進而堆積多晶矽膜（未圖示出）。接著，藉由非等向性蝕刻多晶矽膜 2 0 之上部的多晶矽膜，在孔的側壁形成側壁間隔 2 1，接著，將多晶矽膜 2 0 與側壁間隔 2 1 使用為硬光罩，乾蝕刻孔的底面之氮化矽膜 1 8 以及氧化矽膜 1 7。

（請先閱讀背面之注意事項再填寫本頁）

訂

線

五、發明說明(8)

接著，以乾蝕刻去除多晶矽膜 20 以及側壁間隔 21 後，如圖 7 所示般地，在通孔 19 之內部形成插塞 22。在形成插塞 22 上，首先，於氮化矽膜 18 之上部藉由以 CVD 法堆積摻雜 P 之 n 型多晶矽膜，在通孔 19 之內部埋入 n 型多晶矽膜後，以化學機械研磨法（或回蝕）去除通孔 19 之外部的 n 型多晶矽膜。

此後，在插塞 22 上形成藉由：由 Ru 膜 30a、30d 形成之下部電極 30、由氧化鉬膜 32 形成之電容絕緣膜以及由 W 膜 / Ru 膜形成之上部電極 33 所構成之資訊儲存用電容元件 C。

參考圖 8 ~ 圖 17 詳細說明此資訊儲存用電容元件 C 之形成工程。這些圖矽膜型地顯示插塞 22 上之資訊儲存用電容元件 C 之形成預定區域。

如圖 8 所示般地，在插塞 22 以及氧化矽膜 17 上以 CVD 法堆積膜厚 50 nm 程度之氮化矽膜 18，接著，在氮化矽膜 18 之上部堆積氧化矽膜 24。資訊儲存用電容元件 C 之下部電極係在下一工程被形成在形成於此氧化矽膜 24 之孔（凹部）的內部。為了使下部電極之表面積大，以增加儲存電荷量，需要厚厚（0.8 μ m 程度）堆積氧化矽膜 24。氧化矽膜 24 係例如將氧氣與四乙鄰矽酸鹽（TEOS）使用為來源氣體以電漿 CVD 法堆積，之後，因應需要，以化學機械研磨法平坦化其之表面。

接著，在氧化矽膜 24 之上部形成由鎢膜形成之硬光罩 26。又，此硬光罩 26 也可以使用鎢以外之金屬。

（請先閱讀背面之注意事項再填寫本頁）

訂

線

五、發明說明 (9)

接著，如圖 9 所示般地，在硬光罩 26 上形成光阻膜（未圖示出），以此光阻膜為光罩，乾蝕刻硬光罩 26。接著，藉由以硬光罩 26 為光罩，乾蝕刻氧化矽膜 24 以及氮化矽膜 18，形成深孔（凹部）27。通孔 19 內之插塞 22 之表面露出於深孔（凹部）27 之底面。

接著，藉由含有過氧化氫水之溶液去除殘留在氧化矽膜 24 之上部的硬光罩 26 後，如圖 10 所示般地，在氧化矽膜 24 之上部以及孔 27 之內部藉由 CVD 法堆積氧化鉬膜 29（膜厚 10 nm 程度）。此氧化鉬可以在將 $Ta(O C_2 H_5)_5$ 與 O_2 為原料氣體，於 400 ~ 450 °C 之範圍形成。此氧化鉬膜 29 在與底層之氧化矽膜 24 或後述之 Ru 膜 30（30a、30d）之黏著性優異之故，被作為黏著層使用。又，作為此黏著層也可以使用氮化鉬膜。

接著，如圖 11 所示般地，藉由非等向性蝕刻氧化鉬膜 29，去除存在於氧化矽膜 24 上部以及孔 27 之底部的氧化鉬膜 29，只在孔 27 之側壁使之殘留氧化鉬膜 29。又，在將前述之氮化鉬膜當成黏著層使用之情形，氮化鉬膜具有導電性之故，不需要去除存在於孔 27 之底部的氮化鉬膜。

接著，如圖 12 所示般地，在氧化矽膜 24 之上部以及孔 17 之內部堆積 Ru 膜 30（膜厚 5 nm 程度）。在藉由此 CVD 法之 Ru 膜的堆積前，如藉由濺鍍法形成薄 Ru 膜，藉由濺鍍法所形成之膜成為膜種，可以效率良好

（請先閱讀背面之注意事項再填寫本頁）

訂

線

五、發明說明 (10)

地形成藉由 C V D 法之 R u 膜。

此處，說明 R u 膜 3 0 a 之成膜條件。R u 膜 3 0 a 例如係在藉由 C V D 法以乙基茂基鈦

(R u (C ₂ H ₅ C ₅ H ₄) ₂) 之四氫扶南溶液為 5 c m ³ / m i n 、 O ₂ 為 5 0 c m ³ / m i n (在此情形之體積係指標準狀態 (0 ° C 、 1 大氣壓 (1 . 0 1 3 2 5 × 1 0 ⁵ P a) 之體積，以下表示為 s c c m) 以及 N ₂ 為 9 0 0 s c c m 、溫度 2 9 0 ° C 、壓力 6 6 5 P a 之條件下形成。在此種條件成膜之情形，可以使沿著孔之側壁以及底部而形成之 R u 膜之最厚部份之膜厚 a 與深溝底部之最薄部份之膜厚 b 之比 (b / a (%)) 在 5 0 百分比以上。

圖 1 8 (a) 係顯示以 C V D 法在深孔形成 R u 之際的被覆性與原料的流量比 (R u (C ₂ H ₅ C ₅ H ₄) ₂ / O ₂) 之關係曲線圖。此處，所謂被覆性係指如圖 1 8 (b) 所示般地，沿著深孔的側壁以及底部被形成之 R u 膜之最厚的部份之膜厚 a 與深溝底部之最薄部份之膜厚 b 之比 (b / a (%)) 。又，所謂原料的流量比 (R u (C ₂ H ₅ C ₅ H ₄) ₂ / O ₂) 係液體原料之 R u (C ₂ H ₅ C ₅ H ₄) ₂ 在氯化器內被氯化厚之體積與 O ₂ 之體積之比 (氯化流量比) 。又，深孔的直徑為 2 5 0 n m 、深度為 1 5 0 0 n m (深 / 直徑 = 6) 。又，流量比之 O ₂ 的流量設為 5 0 s c c m 。

如圖 1 8 (a) 所示般地，知道流量比在未滿 5 % 之

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明 (11)

區域中，被覆性極差，在深孔底部沒有形成 Ru 膜。流量比一成爲 5 % 以上，在深孔底部也開始形成膜。進而，流量比一成爲 10 % 以上，被覆性變好，超過 50 %。進而，流量比一超過 20 %，被覆性幾乎成爲 100 %。

因此，在以前述乙基茂基鈦

(Ru (C₂H₅C₅H₄)₂) 之四氫扶南溶液 (0 . 1 mol / l) 爲 5 cm³ / min、O₂ 爲 50 cm³ / min 以及 N₂ 爲 900 sccm 成膜之情形，乙基茂基鈦熔液變成以 0 . 0005 mol / min 被供給，又，依據氣體之狀態方程式 $PV = nRT$ (P : 壓力 (atm)、V : 體積 (l)、n : 莫耳數 (mol)、R : 氣體常數 (0 . 082)、T : 絕對溫度 (K))，換算爲 1 大氣壓 (1 . 01325 X 10⁵ Pa)、273 K 時之供給量以氣體成爲約 11 cm³ / min 之故，流量比成爲 22 %，被覆性幾乎成爲 100 %。

又，圖 18 中，流量比之 O₂ 的流量雖設爲 50 sccm，但是並不限定於此流量，此處，只要 Ru (C₂H₅C₅H₄)₂ 之有機成分可被充分分解之程度的 O₂ 被供給即可。在前述條件中，如大概供給 10 sccm 之 O₂，可以分解 Ru (C₂H₅C₅H₄)₂ 之有機成分。又，雖設成膜溫度爲 290 °C，只要在 300 °C 以下即可。

如此，於本實施形態中，使 Ru (C₂H₅C₅H₄)₂ / O₂ 之流量比在 10 % 以上之故，於深孔的底部也可以確

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明 (12)

保 R u 膜之最厚部份的膜厚 a 之 5 0 % 以上之膜厚。

接著，如圖 1 3 所示般地，在非氧化性氣氛中施以 6 0 0 °C、1 分鐘之熱處理。藉由此熱處理，於插塞 2 2 與 R u 膜 3 0 之接觸部中，引起金屬矽化反應，鈦矽化物 3 0 b 被形成於孔 2 7 之底部。此處，於孔 2 7 之側壁或孔 2 7 之外部中，於底層並無矽之故，不引起金屬矽化反應，不形成鈦矽化物。如此，於孔 2 7 之底面可以自我對準地形成鈦矽化物 3 0 b。

之後，藉由在氨 (N H 3) 氣氛中，施以 7 0 0 °C、1 分鐘之熱處理，在鈦矽化物 3 0 b 之表面形成鈦矽氮化物 (R u S i N) 3 0 c。藉由此種條件所形成之 R u S i N 為 1 n m 程度。此 R u S i N 3 0 c 之膜厚可以以熱處理溫度加以控制。此 R u S i N 膜如太厚，被形成在其上部之 R u 膜 3 0 d 與插塞 2 2 之導通無法確保，又，如太薄，無法抑制 R u 膜 3 0 d 與插塞 2 2 之金屬矽化反應。為了一面確保 R u 膜 3 0 d 與插塞 2 2 之導通，一面抑制 R u 膜 3 0 d 與插塞 2 2 之金屬矽化反應，期望 R u S i N 之膜厚在 0 . 5 ~ 1 . 0 n m 程度。

接著，如圖 1 4 所示般地，在 R u 膜 3 0 a 以及 R u S i N 3 0 c 上藉由 C V D 法以乙基茂基鈦 (R u (C 2 H 5 C 5 H 4) 2) 之四氫扶南溶液為 5 c m ³ / m i n、O₂ 為 5 0 c m ³ / m i n 以及 N₂ 為 9 0 0 s c c m、溫度 2 9 0 °C、壓力 6 6 5 P a 之條件下形成膜厚 2 0 n m 程度之 R u 膜 3 0 a。

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明 (13)

於此 Ru 膜 30 d 之成膜中，與 Ru 膜 30 a 同樣地，使 Ru (C₂H₅C₅H₄)₂ / O₂ 之流量比在 10 % 以上之故，於深孔之底部也可以確保 Ru 膜之最厚部份的膜厚 a 之 50 % 以上之膜厚。

如此，於本實施形態中，使 Ru (C₂H₅C₅H₄)₂ / O₂ 之流量比在 10 % 以上之故，於深孔之底部也可以確保 Ru 膜之最厚部份的膜厚 a 之 50 % 以上之膜厚，在深孔內可以形成其膜厚一樣之 Ru 膜 30 a、30 d。其結果為：可以降低 Ru 膜之凹凸 (5 nm 以下)。

接著，在 Ru 膜 30 d 上塗佈光阻膜 (未圖示出)，進行全面曝光厚，藉由顯像，於孔 27 內使殘留光阻膜 (未圖示出)。此光阻膜係在下一工程中，以乾蝕刻去除氧化矽膜 24 之上部之不需要的 Ru 膜 30 a、30 d 之際，作為防止孔 27 之內部 (側壁以及底面) 之 Ru 膜 30 a、30 d 被去除之保護膜而被使用。接著，藉由以此光阻膜為光罩，進行乾蝕刻，去除氧化矽膜 24 上之 Ru 膜 30 a、30 d，形成下部電極 30。接著，去除孔 27 內之光阻膜 (圖 15)。

接著，如圖 16 所示般地，在形成有下部電極 30 之孔 27 的內部以及氧化矽膜 24 上堆積成為電容絕緣膜之氧化鉬膜 32。氧化鉬膜 32 係以 CVD 法堆積，其膜厚設為 15 nm 程度。

接著，藉由在約 700 °C 之氮氣氣氛中，2 分鐘熱處理氧化鉬膜 32，謀求氧化鉬之結晶化後，在約 550 °C

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明 (14)

之氧氣氣氛中，施以 1 分鐘熱處理，改善氧化鉬之膜質。

接著，如圖 1 7 所示般地，在氧化鉬膜 3 2 之上部形成上部電極 3 3。上部電極 3 3 例如係藉由在氧化鉬膜 3 2 之上部以 C V D 法堆積 R u 膜 3 0 a (膜厚 7 0 n m 程度)以及 W 膜 3 3 b (膜厚 1 0 0 n m 程度)而形成。W 膜係被使用於降低上部電極 3 3 與上層配線之接觸電阻用。又，在 R u 膜與 W 膜之間，為了防止由於由電容絕緣膜 (氧化鉬膜 3 2) 對 W 膜之氣體 (氧氣或氫氣) 之擴散所導致的電阻增加，也可以形成 T i N 膜。

藉由至此為止之工程，完成由：由 R u 膜 3 0 a、3 0 d 所形成之下部電極 3 0、由氧化鉬膜 3 2 形成之電容絕緣膜以及由 W 膜 3 3 b / R u 膜 3 3 a 形成之上部電極 3 3 所構成之資訊儲存用電容元件 C，略完成以記憶體單元選擇 M I S F E T Q s 以及被串聯接續於此之資訊儲存用電容元件 C 所構成之 D R A M 之記憶體單元。圖

1 9 係資訊儲存用電容元件 C 形成後之半導體積體電路裝置之平面圖。圖 7 例如對應圖 1 9 中之 A - A 剖面圖。

之後，在資訊儲存用電容元件 C 之上部形成由氧化矽膜等形成之層間絕緣膜 3 4。

進而，在此層間絕緣膜上形成 2 層程度之 A 1 配線，鈍化膜被形成於最上層之 A 1 配線之上部，省略這些之圖示。

如以上詳細敘述般地，如依據本實施形態，可以高速蝕刻 R u 膜，而且，可以使在那之際的對光阻選擇比成為

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明 (15)

極大之故，可以產品率良好地，在高寬長比之孔的內部形成資訊儲存用電容元件之下部電極。

(實施形態 2)

在實施形態 1 中，形成深孔 2 7 後，於插塞 2 2 上面形成成為阻障層之鈣矽氮化物 (R u S i N) 3 0 c ，也可以在形成深孔 2 7 之前，形成由氮化鋁或氮化鈦所形成之阻障層。

圖 2 0 係模型地顯示插塞 2 2 上之資訊儲存用電容元件 C 的形成預定區域。又，至插塞 2 2 形成工程為止，與參考圖 1 ~ 圖 7 而說明之實施形態 1 之情形相同之故，省略其詳細說明。

在此插塞 2 2 之表面形成阻障金屬膜 2 3 。在形成阻障金屬膜 2 3 上，首先藉由蝕刻，使插塞 2 2 之表面後退至比氮化矽膜 1 8 之表面還下方，在插塞 2 2 之上部確保埋入阻障金屬膜 2 3 之空間。接著，藉由在氧化矽膜 1 7 之上部以濺鍍法堆積 T i N 膜，在插塞 2 2 之上部的前述空間內埋入 T i N 膜後，以化學機械研磨法（或回蝕）去除空間外部之 T i N 膜。又，插塞 2 2 之形成時，即在氧化矽膜 1 7 之上部以 C V D 法堆積摻雜 P 之 n 型多晶矽膜，在通孔 1 9 之內部埋入 n 型多晶矽膜後，以化學機械研磨法（或回蝕）去除通孔 1 9 外部之 n 型多晶矽膜之際，也可以藉由過研磨（過蝕刻）通孔 1 9 之內部的 n 型多晶矽膜，以確保前述空間。

（請先閱讀背面之注意事項再填寫本頁）

訂

線

五、發明說明 (16)

接著，如圖 2 1 所示般地，在插塞 2 2 以及氧化矽膜 1 7 上以 C V D 法堆積膜厚 5 0 n m 程度之氮化矽膜 1 8，接著，在氮化矽膜 1 8 之上部堆積氧化矽膜 2 4。資訊儲存用電容元件 C 之下部電極在下一工程被形成於形成在此氧化矽膜 2 4 之孔（凹部）之內部。為了使下部電極表面積變大以增加儲存電荷量，需要使氧化矽膜 2 4 厚厚（ $0.8 \mu m$ 程度）堆積。氧化矽膜 2 4 例如係以將氧氣與四乙鄰矽酸鹽（T E O S）使用為來源氣體之 C V D 法堆積，之後，因應需要，以化學機械研磨法平坦化其之表面。

接著，在氧化矽膜 2 4 之上部形成由鎢膜形成之硬光罩 2 6。又，此硬光罩 2 6 也可以使用鎢以外之金屬。

接著，在硬光罩 2 6 上形成光阻膜（未圖示出），以此光阻膜為光罩，乾蝕刻硬光罩 2 6。接著，藉由以硬光罩 2 6 為光罩，乾蝕刻氧化矽膜 2 4 以及氮化矽膜 1 8，形成深孔（凹部）2 7。插塞 2 2 之上部的阻障金屬膜 2 3 之表面露出於深孔（凹部）2 7 之底面。

接著，藉由包含過氧化氫水之熔液去除殘留於氧化矽膜 2 4 之上部的硬光罩 2 6 後，如圖 2 2 所示般地，在氧化矽膜 2 4 之上部以及孔 2 7 之內部藉由 C V D 法堆積氧化鉬膜 2 9（膜厚 1 0 n m 程度）。此氧化鉬膜 2 9 可以以 T a（O C₂H₅）₅ 與 O₂ 為原料氣體在 4 0 0 °C ~ 4 5 0 °C 之範圍形成。此氧化鉬膜 2 9 與底層之氧化矽膜 2 4 或後述之 R u 膜 3 0 之黏著性優異之故，被當成黏著

五、發明說明 (17)

層使用。又，作為此黏著層，也可以使用氮化鉬膜。

接著，如圖 2 3 所示般地，藉由非等向性蝕刻氧化鉬膜 2 9，去除存在於氧化矽膜 2 4 上部以及孔 2 7 之底部之氧化鉬膜 2 9，只在孔 2 7 之側壁使殘留氧化鉬膜 2 9。又，在將前述之氮化鉬膜當成黏著層使用之情形，氮化鉬膜具有導電性之故，不需要去除存在於孔 2 7 之底部之氮化鉬膜。

接著，如圖 2 4 所示般地，在氧化矽膜 2 4 之上部以及孔 2 7 之內部堆積 Ru 膜 3 0 a（膜厚 2 0 n m 程度）。在藉由此 C V D 法之 Ru 膜之堆積前，如藉由濺鍍法形成薄 Ru 膜，藉由濺鍍法所形成之膜成為膜種，可以效率良好地形成藉由 C V D 法之 Ru 膜。

此處，說明 Ru 膜 3 0 a 之成膜條件。Ru 膜 3 0 a 例如係在藉由 C V D 法以乙基茂基鈦

($\text{Ru}(\text{C}_2\text{H}_5\text{C}_5\text{H}_4)_2$) 之四氫扶南溶液為 $5\text{ cm}^3/\text{min}$ 、 O_2 為 $50\text{ cm}^3/\text{min}$ 以及 N_2 為 900 sccm 、溫度 290°C 、壓力 665 Pa 之條件下形成。在此種條件下成膜之情形，如參考圖 1 8 而說明般地，可以使沿著孔 2 7 之側壁堆積之 Ru 膜之最厚的最大值 a 與堆積於孔 2 7 之底部之 Ru 膜之膜厚 b 之比 (b/a) 在 50 百分比以上。

以後之工程係與參考圖 1 7 而說明之實施形態 1 之情形相同之故，省略其說明。

以上，雖依據實施形態具體說明由本發明者所完成之

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明 (18)

發明，但是本發明並不限定於前述實施形態，在不脫離其要旨之範圍內，不用說可以有種種之變更可能。

【發明之效果】

依據本申請案所揭示之發明之中，如簡單說明由代表性者所獲得之效果，則如下述：

如依據本發明，可以最適當化 R u 膜之成膜條件，可以形成良好之 R u 膜。例如，如使流量比在 1 0 % 以上，於深孔的底部也可以確保形成最厚部份之膜厚 a 的 5 0 % 以上之膜厚。

其結果為：可以精度良好地在深孔內形成資訊儲存用電容元件之下部電極，能夠提升資訊儲存用電容元件之特性。又，可以提升 D R A M 等之半導體積體電路裝置的製造產品率。

【圖面之簡單說明】

圖 1 係顯示本發明之實施形態 1 之半導體積體電路裝置的製造方法之半導體基板的重要部位剖面圖。

圖 2 係顯示本發明之實施形態 1 之半導體積體電路裝置的製造方法之半導體基板的重要部位平面圖。

圖 3 係顯示本發明之實施形態 1 之半導體積體電路裝置的製造方法之半導體基板的重要部位剖面圖。

圖 4 係顯示本發明之實施形態 1 之半導體積體電路裝置的製造方法之半導體基板的重要部位剖面圖。

五、發明說明 (19)

圖 5 係顯示本發明之實施形態 1 之半導體積體電路裝置的製造方法之半導體基板的重要部位剖面圖。

圖 6 係顯示本發明之實施形態 1 之半導體積體電路裝置的製造方法之半導體基板的重要部位剖面圖。

圖 7 係顯示本發明之實施形態 1 之半導體積體電路裝置的製造方法之半導體基板的重要部位剖面圖。

圖 8 係顯示本發明之實施形態 1 之半導體積體電路裝置的製造方法之半導體基板的重要部位剖面圖。

圖 9 係顯示本發明之實施形態 1 之半導體積體電路裝置的製造方法之半導體基板的重要部位剖面圖。

圖 10 係顯示本發明之實施形態 1 之半導體積體電路裝置的製造方法之半導體基板的重要部位剖面圖。

圖 11 係顯示本發明之實施形態 1 之半導體積體電路裝置的製造方法之半導體基板的重要部位剖面圖。

圖 12 係顯示本發明之實施形態 1 之半導體積體電路裝置的製造方法之半導體基板的重要部位剖面圖。

圖 13 係顯示本發明之實施形態 1 之半導體積體電路裝置的製造方法之半導體基板的重要部位剖面圖。

圖 14 係顯示本發明之實施形態 1 之半導體積體電路裝置的製造方法之半導體基板的重要部位剖面圖。

圖 15 係顯示本發明之實施形態 1 之半導體積體電路裝置的製造方法之半導體基板的重要部位剖面圖。

圖 16 係顯示本發明之實施形態 1 之半導體積體電路裝置的製造方法之半導體基板的重要部位剖面圖。

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明 (20)

圖 1 7 係顯示本發明之實施形態 1 之半導體積體電路裝置的製造方法之半導體基板的重要部位剖面圖。

圖 1 8 (A) 係說明本發明之效果用之圖，(B) 係說明 (A) 之被覆性 (b/a) 用之圖。

圖 1 9 係顯示本發明之實施形態 1 之半導體積體電路裝置的製造方法之半導體基板的重要部位平面圖。

圖 2 0 係顯示本發明之實施形態 2 之半導體積體電路裝置的製造方法之半導體基板的重要部位剖面圖。

圖 2 1 係顯示本發明之實施形態 2 之半導體積體電路裝置的製造方法之半導體基板的重要部位剖面圖。

圖 2 2 係顯示本發明之實施形態 2 之半導體積體電路裝置的製造方法之半導體基板的重要部位剖面圖。

圖 2 3 係顯示本發明之實施形態 2 之半導體積體電路裝置的製造方法之半導體基板的重要部位剖面圖。

圖 2 4 係顯示本發明之實施形態 2 之半導體積體電路裝置的製造方法之半導體基板的重要部位剖面圖。

圖 2 5 (A) 以及 (B) 係說明本發明之課題用之半導體基板之重要部位剖面圖。

圖 2 6 係說明本發明之課題用之半導體基板之重要部位剖面圖。

【標號之說明】

1：半導體基板 (晶圓)

2：元件分離

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明 (21)

- 3 : p 型 井
- 4 : 氧化矽膜
- 5 : 閘極絕緣膜
- 6 : 閘極電極
- 7 : 氮化矽膜
- 8 : n 型半導體區域
- 9 : 氮化矽膜
- 10 : 氧化矽膜
- 11、12 : 接觸孔
- 13 : 插塞
- 14 : 氧化矽膜
- 15 : 通孔
- 16 : 插塞
- 17 : 氧化矽膜
- 18 : 氮化矽膜
- 19 : 通孔
- 20 : 多晶矽膜
- 21 : 側壁間隔
- 22 : 插塞
- 23 : 阻障金屬膜
- 24 : 氧化矽膜
- 26 : 硬光罩
- 27 : 孔 (凹部)
- 29 : 氧化鋇膜

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明 (22)

- 3 0 a : R u 膜
- 3 0 b : 鈇矽化物
- 3 0 c : 鈇矽氮化物
- 3 0 d : R u 膜
- 3 0 : 下部電極
- 3 2 : 氧化鉭膜
- 3 3 : 上部電極
- 3 3 a : R u 膜
- 3 3 b : W 膜
- 3 4 : 層間絕緣膜
- B L : 位元線
- C : 資訊儲存用電容元件
- Q s : 記憶體單元選擇 M I S F E T
- W L : 字元線
- L : 活性區域

(請先閱讀背面之注意事項再填寫本頁)

訂

四、中文發明摘要(發明之名稱：半導體積體電路及其製造方法)

本發明之課題為提供：在深孔之底部也能確保某種程度之膜厚地形成構成資訊儲存用電容元件之下部電極之Ru膜，可以提升DRAM之製造良率之技術。其解決手段為：以原料之氣化流量比 $(Ru(C_2H_5C_5H_4)_2/O_2)$ 在10%以上之條件形成應堆積在形成有資訊儲存用電容元件之深孔的側壁以及底部之下部電極材料之Ru膜。其結果為：於深孔的底部b也可以確保Ru膜之最厚的部份的膜厚a之50%以上之膜厚。

英文發明摘要(發明之名稱：)

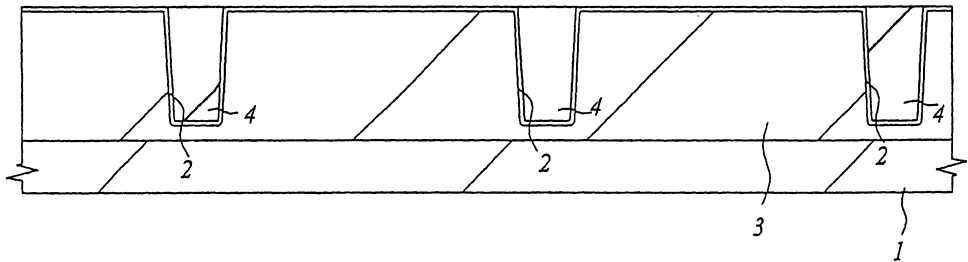
(請先閱讀背面之注意事項再填寫本頁各欄)

裝

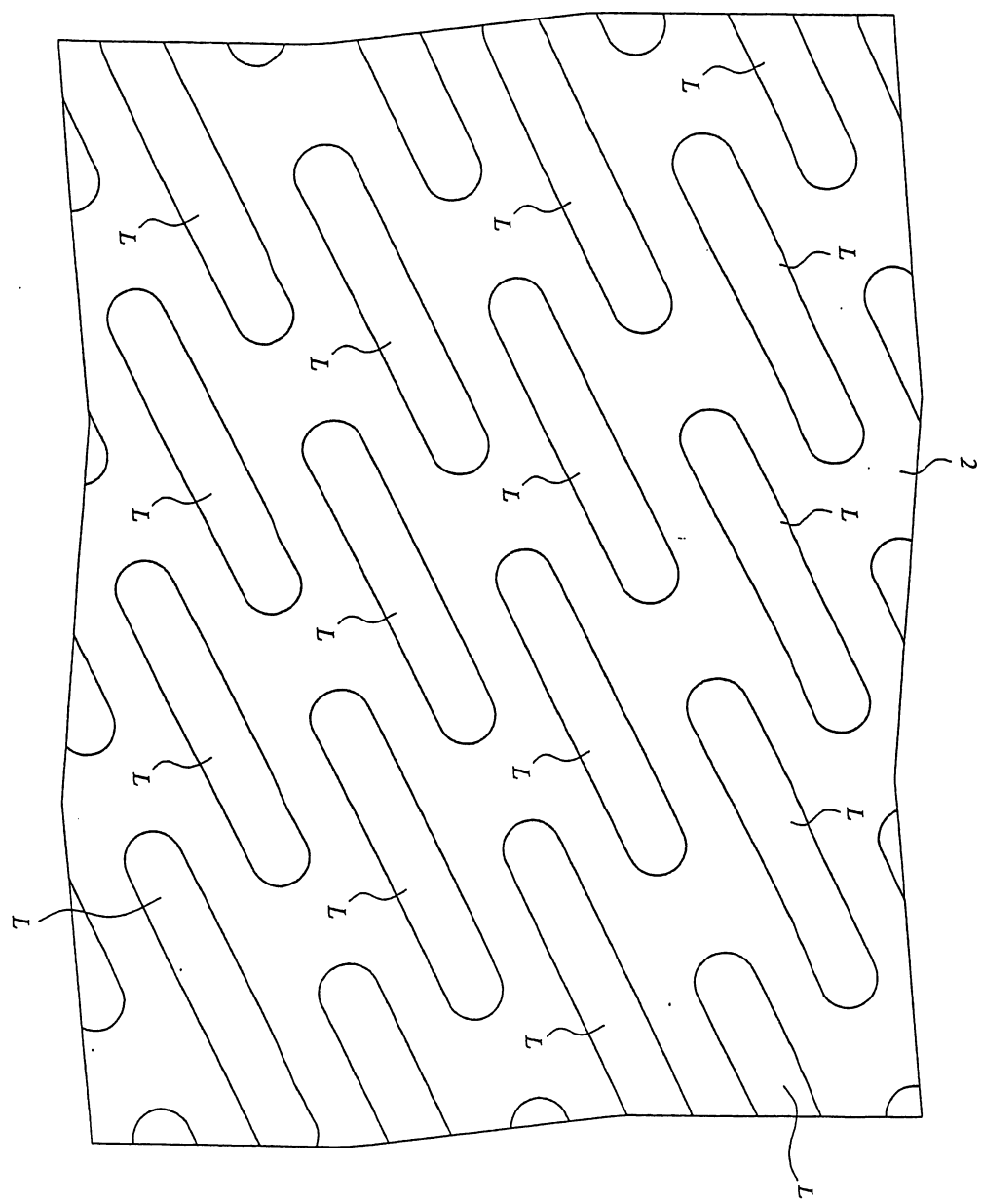
訂

線

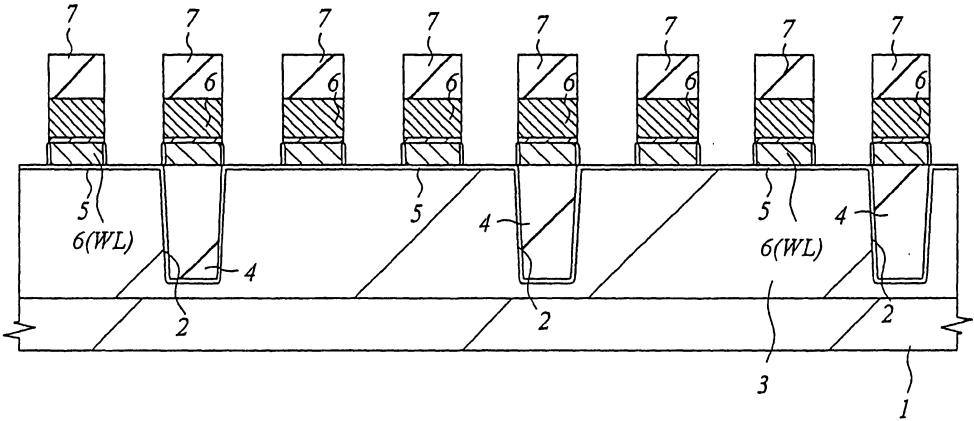
第 1 圖



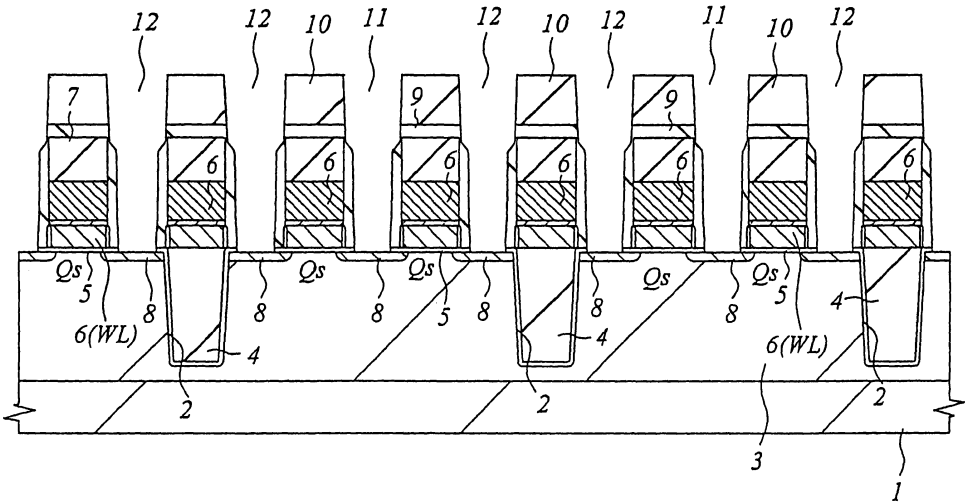
第2圖



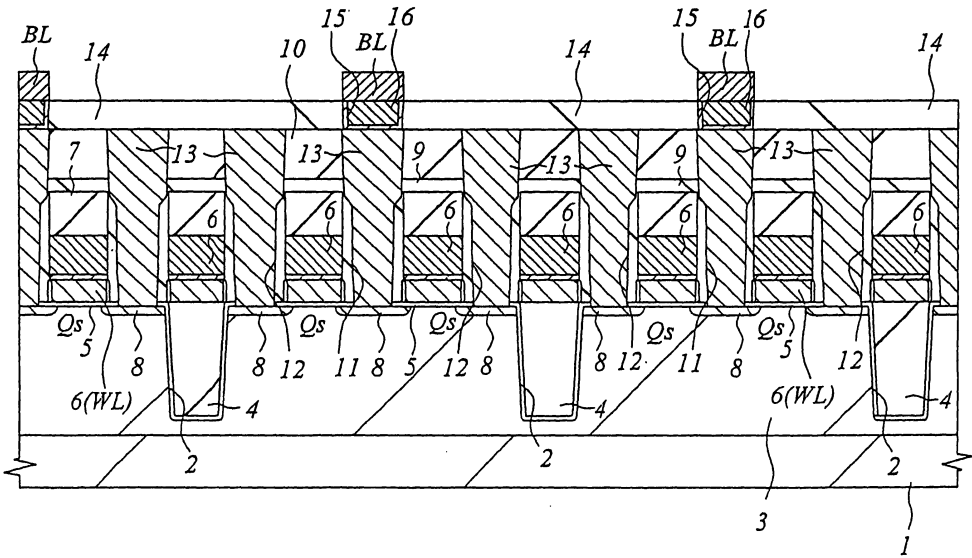
第 3 圖



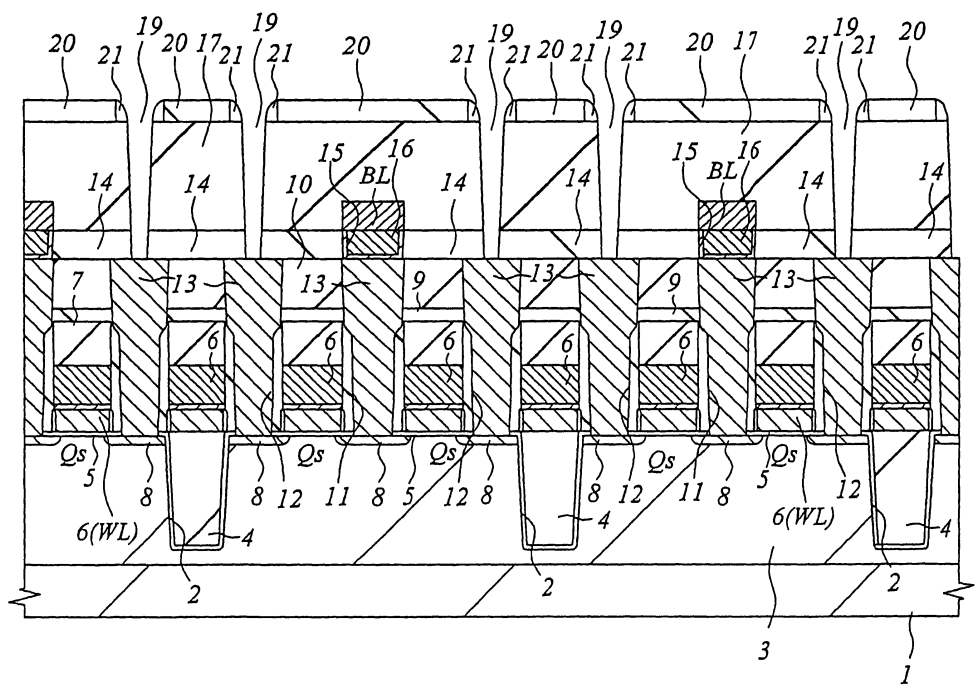
第 4 圖



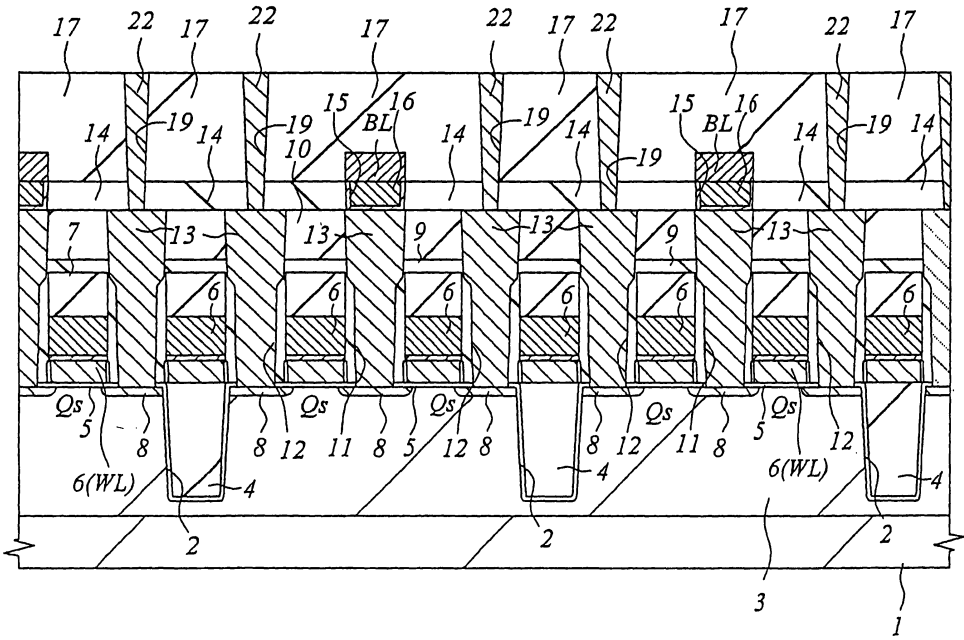
第 5 圖



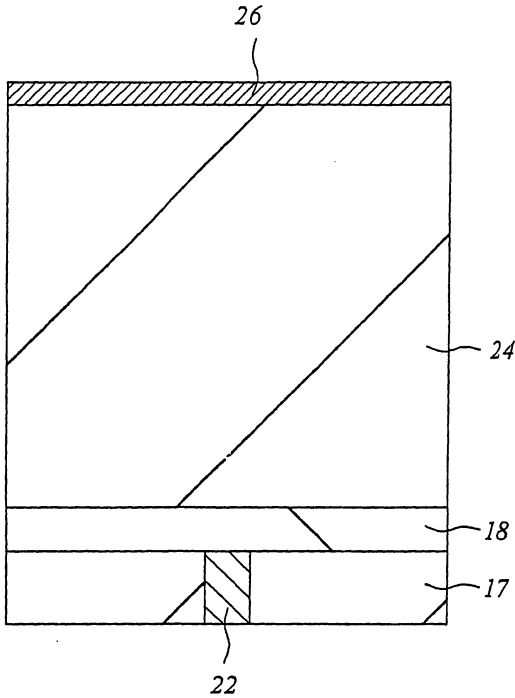
第 6 圖



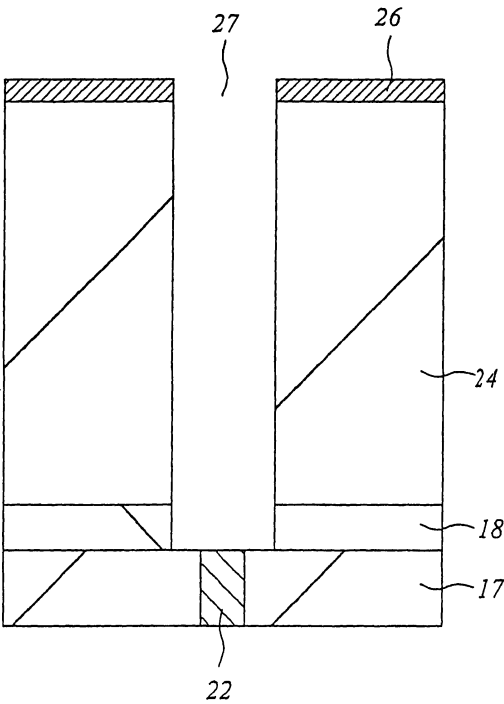
第 7 圖



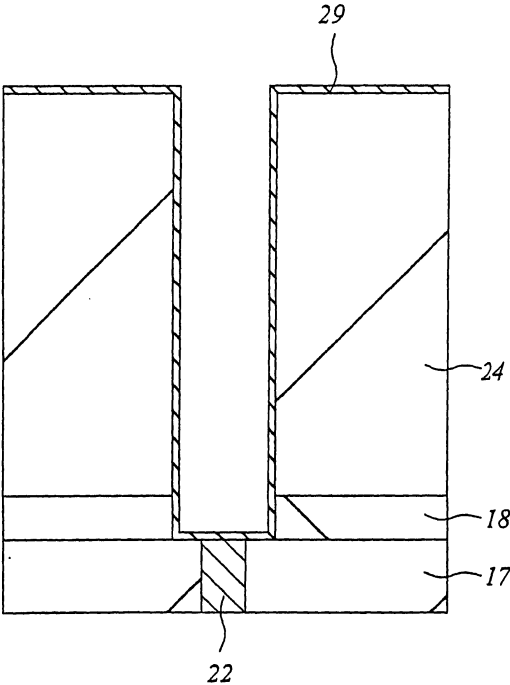
第 8 圖



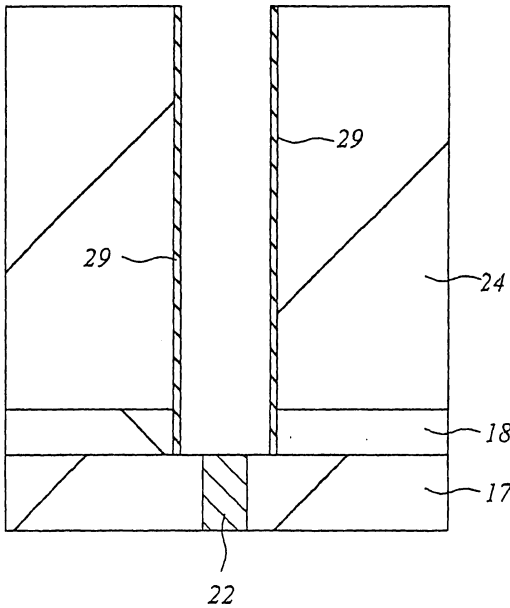
第 9 圖



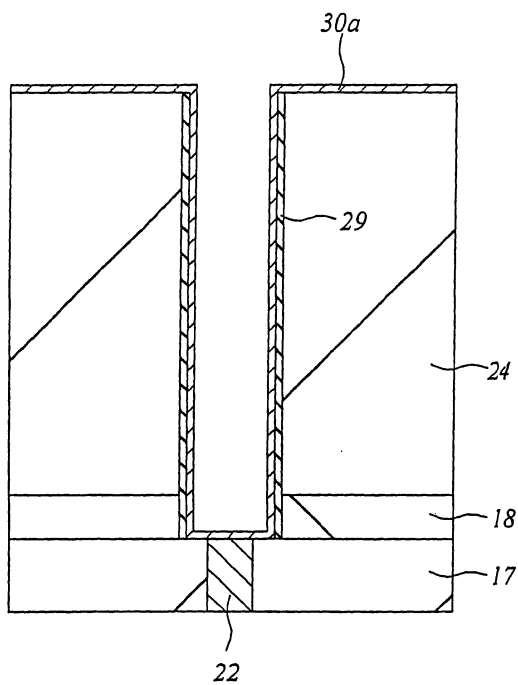
第 10 圖



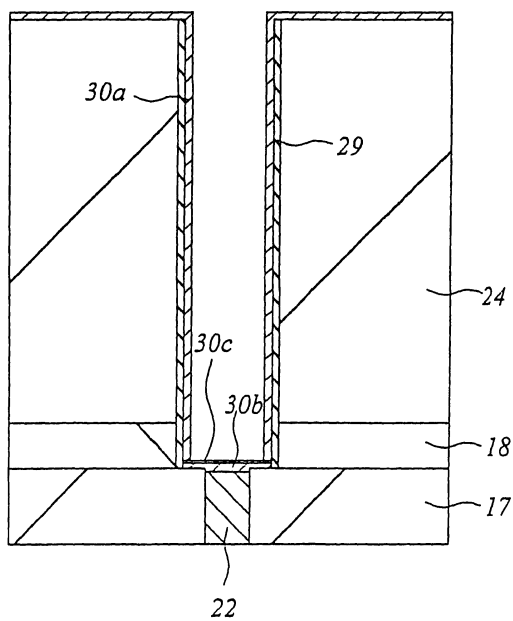
第 11 圖



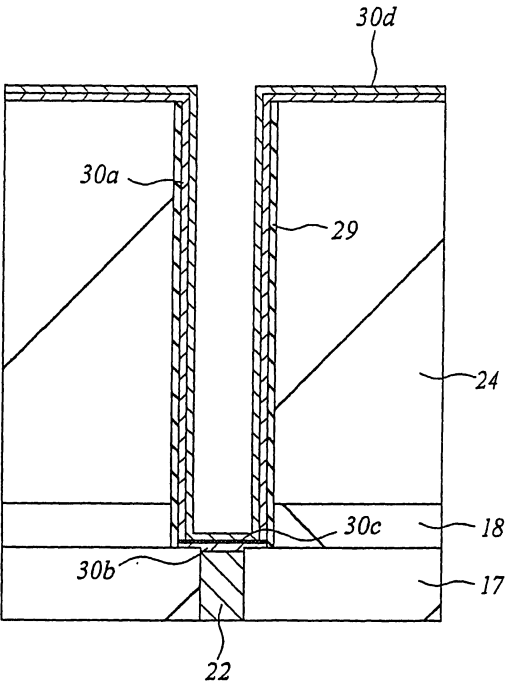
第 12 圖



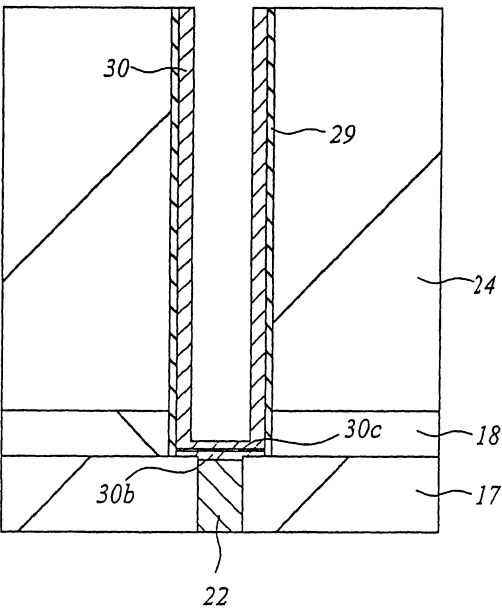
第 13 圖



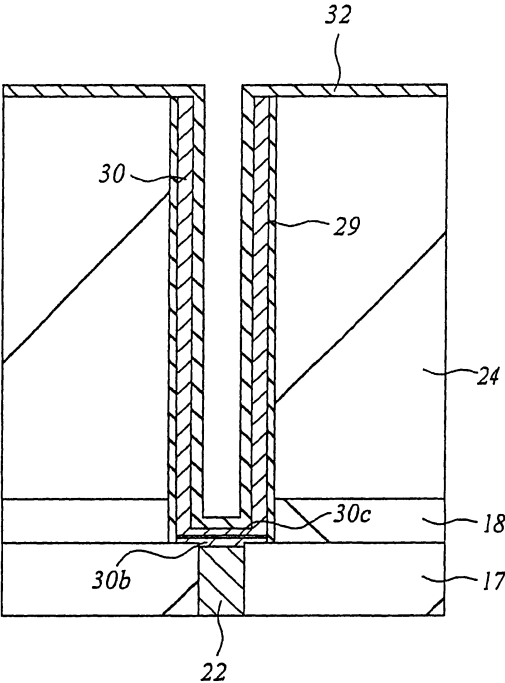
第 14 圖



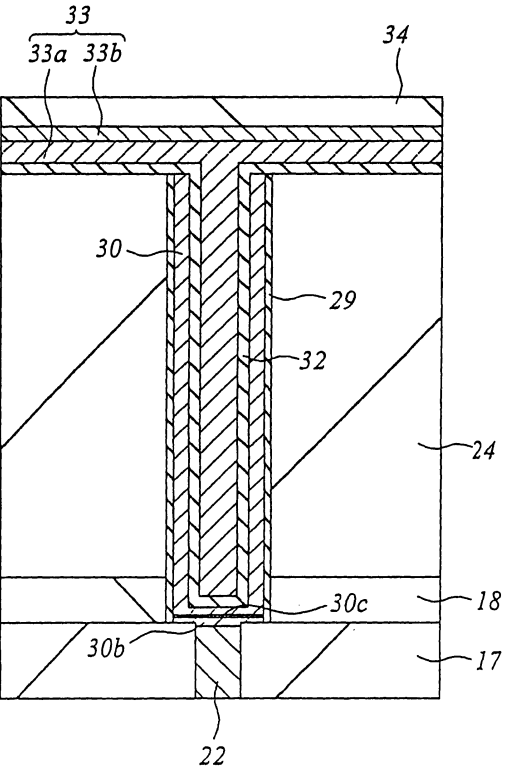
第 15 圖

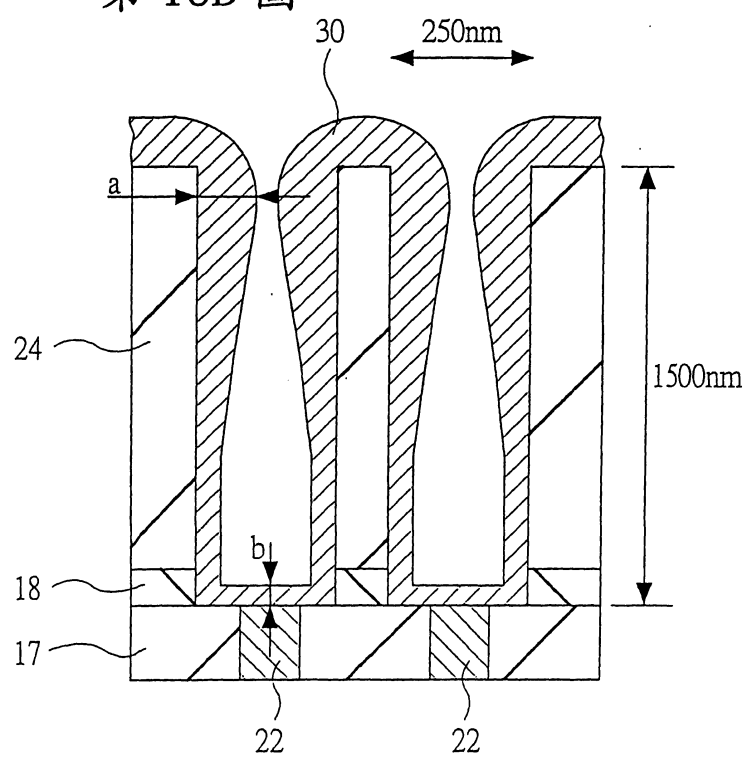


第 16 圖

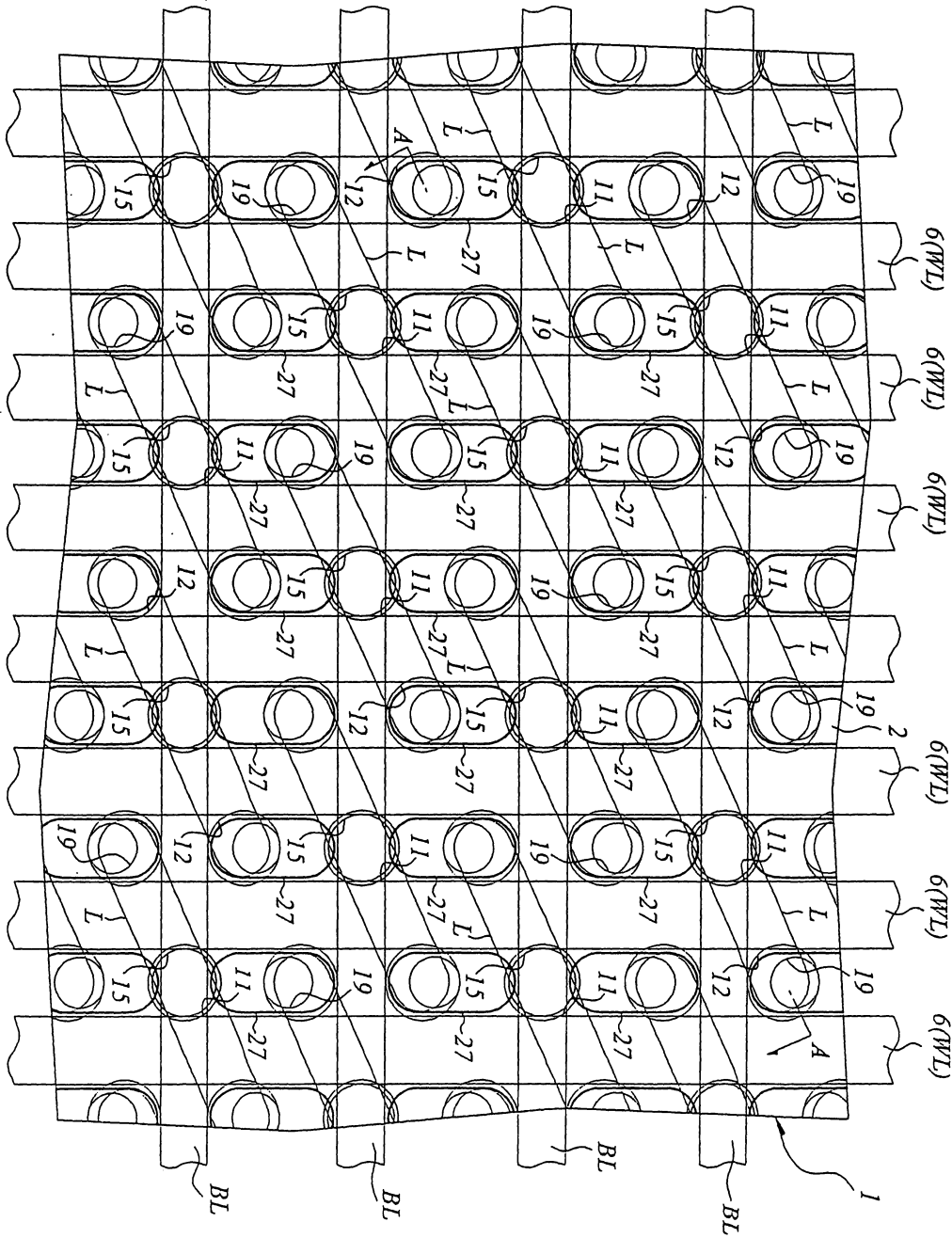


第 17 圖

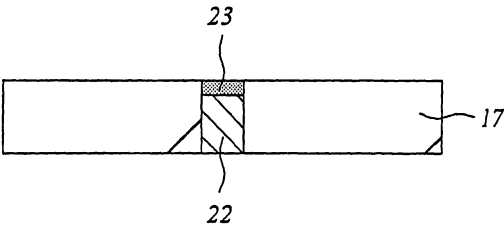




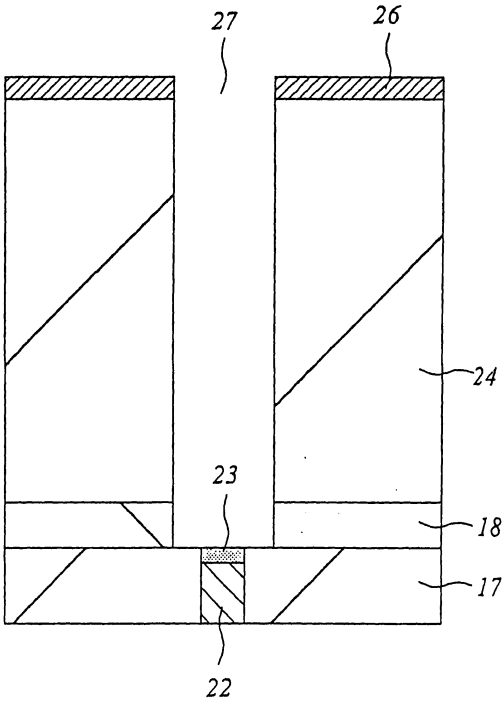
第 19 圖



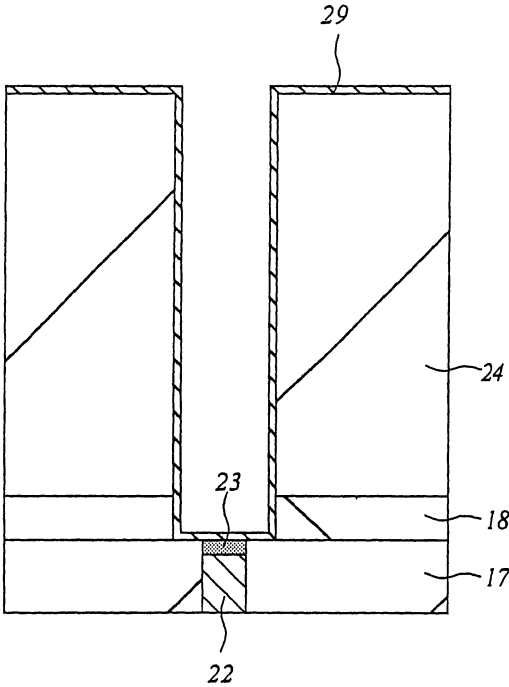
第 20 圖



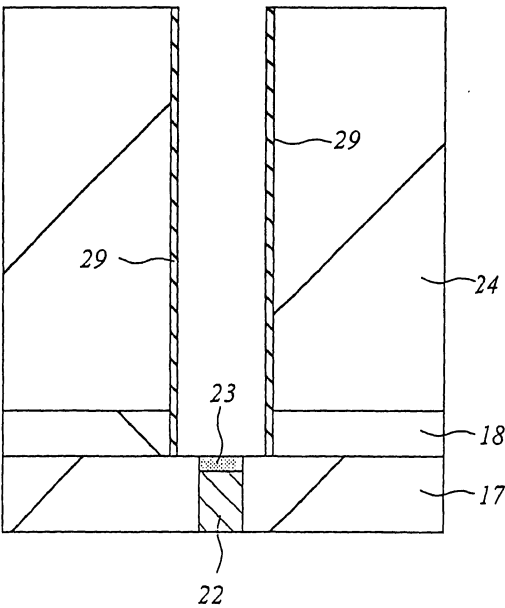
第 21 圖



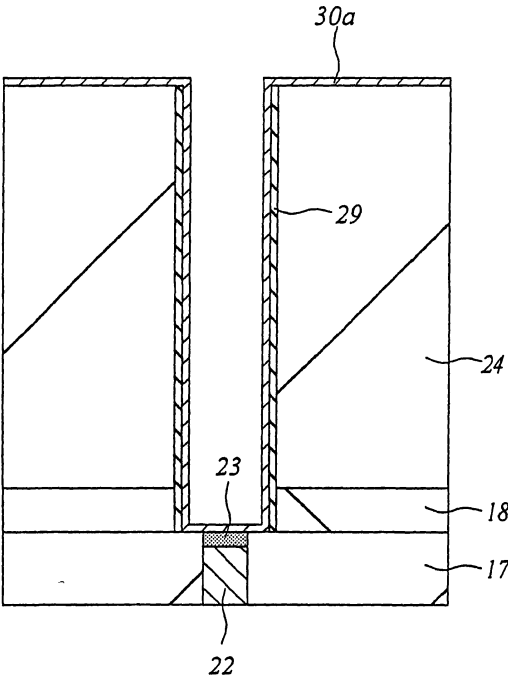
第 22 圖



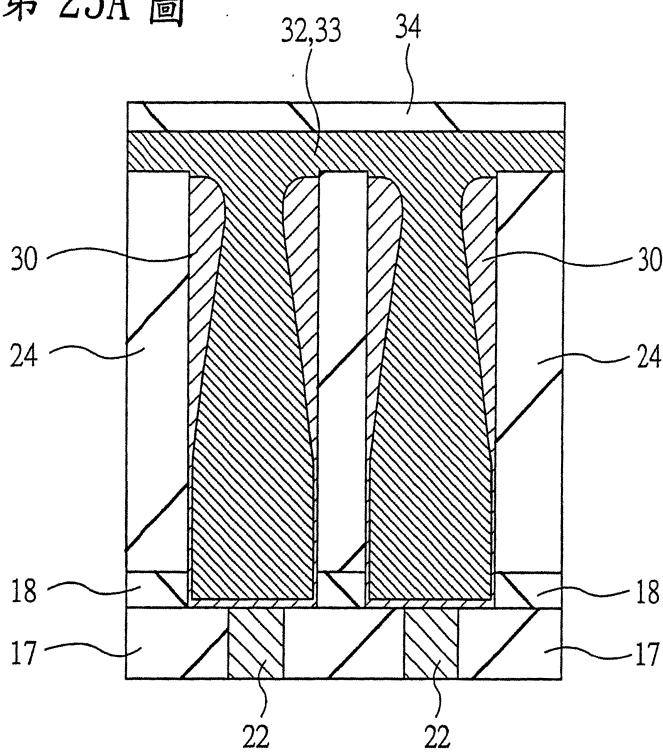
第 23 圖



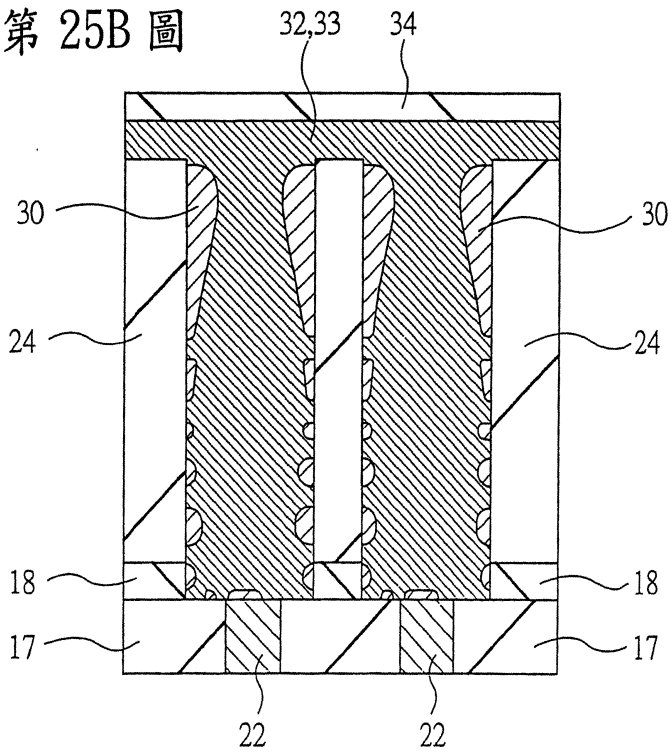
第 24 圖



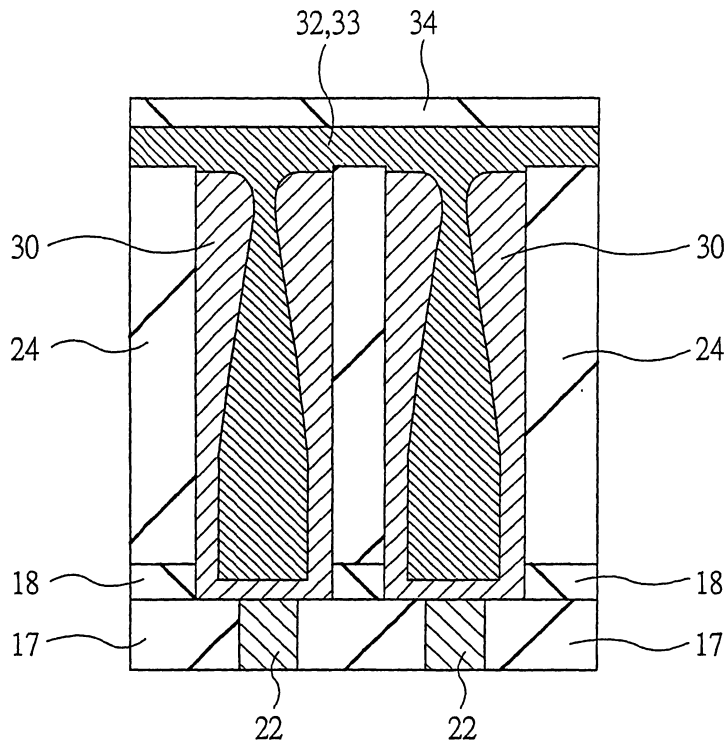
第 25A 圖



第 25B 圖



第 26 圖



六、申請專利範圍

第 90121304 號專利申請案

中文申請專利範圍修正本

民國 92 年 1 月 30 日修正

1 . 一種半導體積體電路裝置之製造方法，其特徵為具有：

(a)、半導體基板之主表面形成記憶體單元選擇用 M I S F E T 之工程；

(b)、形成與前述記憶體單元選擇 M I S F E T 之源極、汲極區域電氣地接續之插塞的工程；

(c)、在前述插塞上形成氧化矽膜之工程；

(d)、在前述氧化矽膜中形成到達前述插塞表面為止之孔的工程；

(e)、在前述孔的側壁以及底部藉由使氯化流量為前述氧化劑之氯化流量的 5 % 以上之 R u 的有機化合物與氧化劑反應以形成 R u 膜之工程，；

(f)、在前述 R u 膜上形成電容絕緣膜之工程；以及

(g)、在前述電容絕緣膜上形成上部電極之工程。

2 . 如申請專利範圍第 1 項記載之半導體積體電路裝置之製造方法，其中前述 R u 之有機化合物與氧化劑之反應係在 3 0 0 °C 以下進行。

3 . 一種半導體積體電路裝置，是由：

(a)、形成在半導體基板之主表面之記憶體單元選擇用 M I S F E T ；

(b)、與前述記憶體單元選擇 M I S F E T 之源極、汲

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

極區域電氣地接續之插塞；

(c)、形成在前述插塞上之氧化矽膜；

(d)、形成在前述氧化矽膜中，延伸至前述插塞表面，其深度為其短直徑 5 倍以上的孔；

(e)、形成於前述孔內之 R u 膜，由形成在此 R u 膜之上部之電容絕緣膜以及形成在此電容絕緣膜上部之上部電極，構成的資訊儲存電容元件，其特徵為：

前述孔的底部之 R u 膜為前述孔內之最厚部份的膜厚的 50 % 以上。

4 . 如申請專利範圍第 3 項記載之半導體積體電路裝置，其中在前述 R u 膜與氧化矽膜之間形成黏著層。

5 . 如申請專利範圍第 3 項記載之半導體積體電路裝置，其中在前述 R u 膜係其表面之凹凸為 5 n m 以下。

6 . 一種半導體積體電路裝置之製造方法，其特徵為具有：

(a)、在半導體基板上形成層間絕緣膜之工程；

(b)、在前述層間絕緣膜中形成孔之工程；

(c)、在前述孔之側壁以及底部藉由使氯化流量為前述氧化劑之氯化流量的 5 % 以上的第 1 導電膜之有機化合物與氧化劑反應以形成第 1 導電膜之工程，；

(d)、於前述第 1 導電膜上形成絕緣膜之工程；以及

(e)、於前述絕緣膜上形成第 2 導電膜之工程。

7 . 如申請專利範圍第 6 項記載之半導體積體電路裝置之製造方法，其中前述孔的深度為其之短直徑之 5 倍以

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

上。

8 . 如申請專利範圍第 6 項記載之半導體積體電路裝置之製造方法，其中被形成在前述孔內之底部的第 1 導電膜係為前述孔內之最厚部份之膜厚的 50 % 以上。

9 . 如申請專利範圍第 6 項記載之半導體積體電路裝置之製造方法，其中前述第 1 導電膜為 Ru 。

10 . 如申請專利範圍第 6 項記載之半導體積體電路裝置之製造方法，其中前述第 1 導電膜之有機化合物與氧化劑之反應係在 300 °C 以下進行。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

紉