

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関  
国際事務局

(43) 国際公開日  
2024年12月12日(12.12.2024)



(10) 国際公開番号

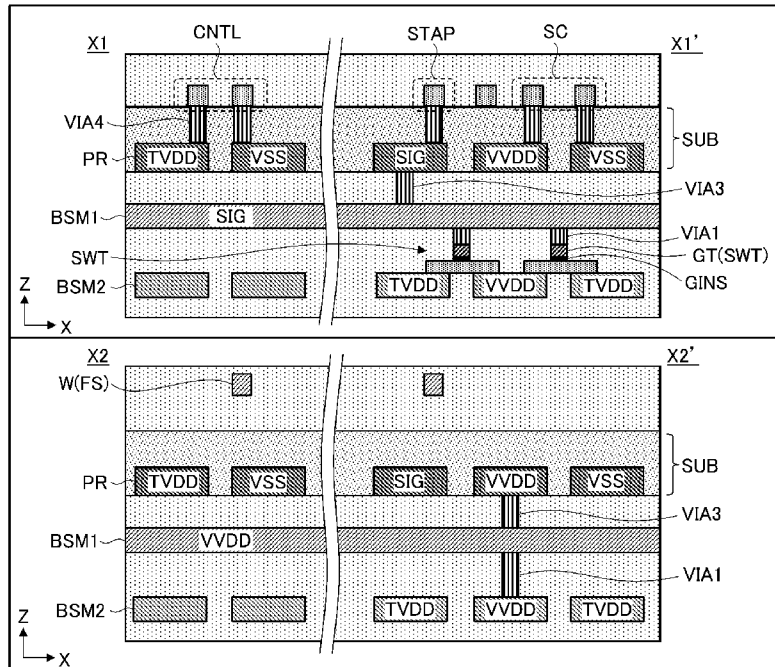
WO 2024/252661 A1

- (51) 国際特許分類:  
H01L 27/04 (2006.01) H01L 21/822 (2006.01)  
H01L 21/82 (2006.01)
- (21) 国際出願番号: PCT/JP2023/021509
- (22) 国際出願日: 2023年6月9日(09.06.2023)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (71) 出願人:株式会社ソシオネクスト(SOCIONEXT INC.) [JP/JP]; 〒2220033 神奈川県横浜市港北区新横浜二丁目10番23 Kanagawa (JP).
- (72) 発明者:岡本 淳 (OKAMOTO, Atsushi); 〒2220033 神奈川県横浜市港北区新横浜二丁目10番23 株式会社ソシオネクスト内 Kanagawa (JP). 武野 紘宜(TAKENO, Hirotaka); 〒2220033 神奈川県横浜市港北区新横浜二丁目10番23 株式会社ソシオネクスト内 Kanagawa (JP). ワン ウェンゼン(WANG, Wenzhen); 〒2220033 神奈川県横浜市港北区新横浜二丁目10番23 株式会社ソシオネクスト内 Kanagawa (JP).
- (74) 代理人:伊東 忠重, 外(ITO, Tadashige et al.); 〒1000005 東京都千代田区丸の内二丁目1番1号丸の内 M Y P L A Z A (明治安田生命ビル) 16階 Tokyo (JP).
- (81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN,

(54) Title: SEMICONDUCTOR DEVICE

(54) 発明の名称: 半導体装置

[図7]



(57) Abstract: This semiconductor device has: a first power supply line, a second power supply line, and a first control line that are formed in a lower region than an upper surface of a substrate; a first transistor, which is formed in the lower region, is electrically provided between the first power supply line and the second power supply line and has a gate electrically connected to the first control line; a tap cell that has a semiconductor layer formed on the substrate, and a via that is formed on the substrate, is arranged at a position overlapping the semiconductor layer and the first control line when viewed in

WO 2024/252661 A1

CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, MG, MK, MN, MU, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO(BW, CV, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SC, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア(AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ(AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, ME, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

一 国際調査報告(条約第21条(3))

a plan view, and is connected to the semiconductor layer and the first control line; and a control circuit formed on the substrate and electrically connected to the via. This makes it possible to suppress an increase in circuit area when a power switch circuit is provided on a back surface of the substrate.

(57) 要約: 半導体装置は、基板の上面より下方に形成された第1の電源線と第2の電源線と第1の制御線と、前記下方に形成され、電氣的に第1の電源線と第2の電源線との間に設けられ、第1の制御線に電氣的に接続されたゲートを有する第1のトランジスタと、基板上に形成された半導体層と、基板に形成され、平面視で半導体層と第1の制御線と重なる位置に配置され、半導体層及び第1の制御線に接続するビアと、を有するタップセルと、基板上に形成され、ビアに電氣的に接続する制御回路と、を有する。これにより、基板の裏面に電源スイッチ回路を設ける場合に、回路面積の増大を抑制することができる。

## 明 細 書

**発明の名称**：半導体装置

**技術分野**

[0001] 本発明は、半導体装置に関する。

**背景技術**

[0002] スタンダードセルなどの半導体装置において、トランジスタへの電源の供給と遮断とを切り替える電源スイッチ回路を設ける技術が知られている。半導体基板の裏面に電源線を設け、半導体基板の表面に設けられるトランジスタにTSV (Through Silicon Via) 等のビアを介して電源を供給するBS-PDN (Backside Power Delivery Network) 技術が知られている。半導体基板の表面に設けられるトランジスタのソース及びドレインに半導体基板の裏面からビアを直接接続する技術が知られている。

**先行技術文献**

**特許文献**

[0003] 特許文献1：米国特許出願公開第2022/0344263号明細書  
特許文献2：米国特許出願公開第2022/0208757号明細書  
特許文献3：米国特許出願公開第2021/0272903号明細書  
特許文献4：米国特許出願公開第2019/0305773号明細書  
特許文献5：国際公開第2020/065916号  
特許文献6：国際公開第2020/066797号  
特許文献7：国際公開第2021/079511号  
特許文献8：国際公開第2021/079511号  
特許文献9：国際公開第2021/070367号  
特許文献10：国際公開第2021/070366号

**発明の概要**

**発明が解決しようとする課題**

[0004] 半導体基板の裏面に電源スイッチ回路を設ける場合に、電源スイッチ回路

と基板の表面に設けられる回路との間の接続に使用する配線及びビアを、回路面積の増大を抑制してどのようにレイアウトするかの詳細が検討されていない。

[0005] 本発明は、上記の点に鑑みてなされたもので、基板の裏面に電源スイッチ回路を設ける場合に、回路面積の増大を抑制することを目的とする。

### 課題を解決するための手段

[0006] 本発明の一態様では、半導体装置は、基板と、前記基板の上面より下方に形成され、第1の電位が供給される第1の電源線と、第2の電位が供給される第2の電源線と、前記基板の上面より下方に形成された第1の制御線と、前記基板の上面より下方に形成され、電氣的に前記第1の電源線と前記第2の電源線との間に設けられ、前記第1の制御線に電氣的に接続されたゲートを有する第1のトランジスタと、前記基板上に形成された半導体層と、前記基板に形成され、平面視で前記半導体層と前記第1の制御線と重なる位置に配置され、前記半導体層及び前記第1の制御線に接続するビアと、を有するタップセルと、前記基板上に形成され、前記ビアに電氣的に接続する制御回路と、を有する。

### 発明の効果

[0007] 開示の技術によれば、基板の裏面に電源スイッチ回路を設ける場合に、回路面積の増大を抑制することができる。

### 図面の簡単な説明

[0008] [図1]第1実施形態における半導体装置のレイアウトの一例を示す平面図である。

[図2]図1の半導体装置の断面構造の一例を示す断面図である。

[図3]図1のスタンダードセルブロックに配置される回路の一例を示す回路図である。

[図4]図3の回路及び配線のレイアウトの概要を示す平面図である。

[図5]図3の回路及び配線のレイアウトの別の層での概要を示す平面図である。

[図6]図4及び図5に示す回路及び配線のレイアウトの一例を示す平面図である。

[図7]図6のX1-X1'線及びX2-X2'線に沿う断面の一例を示す断面図である。

[図8]図6のX1-X1'線に沿う断面の別の例を示す断面図である。

[図9]図4及び図5に示す回路及び配線のレイアウトの第1変形例を示す平面図である。

[図10]図4及び図5に示す回路及び配線のレイアウトの第2変形例を示す平面図である。

[図11]図4及び図5に示す回路及び配線のレイアウトの第3変形例を示す平面図である。

[図12]図11のX3-X3'線及びX4-X4'線に沿う断面の一例を示す断面図である。

[図13]第2実施形態の半導体装置におけるスタンダードセルブロックの回路及び配線のレイアウトの一例を示す平面図である。

[図14]第3実施形態の半導体装置におけるスタンダードセルブロックの回路及び配線のレイアウトの概要を示す平面図である。

[図15]第4実施形態の半導体装置におけるスタンダードセルブロックの回路及び配線のレイアウトの一例を示す断面図である。

### 発明を実施するための形態

[0009] 以下、図面を用いて実施形態を説明する。以下では、信号を示す符号は、信号線又は信号端子を示す符号としても使用される。電源電位を示す符号は、電源電位が供給される電源線又は電源端子を示す符号としても使用される。

[0010] (第1実施形態)

図1は、第1実施形態における半導体装置のレイアウトの一例を示す。例えば、図1に示す半導体装置100は、SoC (System on Chip) でもよく、単体のFPGA (Field-Programmable Gate Array) 等でもよい。

- [0011] 半導体装置100は、複数のI/OセルIOC、I OCPと内部回路領域INTRとを有する。I/OセルIOCは、入力信号、出力信号又は入出力信号等の信号SGNL用のインタフェース回路である。I/OセルI OCPは、電源電位又は接地電位用のインタフェース回路である。
- [0012] 各I/OセルIOC、I OCPは、内部回路領域INTRに接続される。例えば、内部回路領域INTRは、スタンダードセルが設けられる1つ又は複数のスタンダードセルブロックSCBを有する。なお、内部回路領域INTRには、スタンダードセル以外の論理回路が搭載されてもよく、メモリが搭載されてもよい。メモリは、スタンダードセルブロックSCB内に搭載されてもよい。
- [0013] 図2は、図1の半導体装置100の断面構造の一例を示す。半導体装置100は、基板SUBと、基板SUBの表面FS側に形成された配線層WL1と、基板SUBの裏面BS側に形成された配線層WL2とを有する。基板SUBの表面FSは、基板SUBの上面又は基板SUBの上方の一例であり、基板SUBの裏面BSは、基板SUBの下方の一例である。基板SUBの表面には、トランジスタの一部であるフィンFINが形成される。フィンFINは、ソース、ドレイン及びチャネルを有する。配線層WL2における基板SUBと反対側の面（裏面）には、外部接続端子であるパッドPADが形成される。
- [0014] 配線層WL2は、複数の配線層BSM1、BSM2（図2では2層、BSMはBackside Metalの略）を有する。例えば、配線層BSM1、BSM2には、電源電位及び接地電位等をそれぞれ供給する配線W1、W2がそれぞれ形成される。配線W1、W2は、ビアVIA1を介して相互に接続される。配線W2とパッドPADとは、ビアVIA2を介して相互に接続される。
- [0015] 配線W1は、基板SUBに形成されたTSVを介してフィンFINのソース及びドレインに接続される。配線W1は、TSVを介して、基板SUBの表面に埋め込まれた埋め込み配線BPR（Buried Power Rail）に接続されてもよい。TSVは、ビアの一例である。

- [0016] なお、基板SUB上に形成されるトランジスタは、フィンを用いたフィンFET (Field Effect Transistor) に限られない。例えば、基板SUB上に形成されるトランジスタは、プレーナ型MOSFET (Metal Oxide Semiconductor FET)、ナノシートFET又はCFET (Complementary FET) でもよい。プレーナ型MOSFET及びナノシートFETにおいても、電源電位又は接地電位を供給するTSVは、トランジスタのソース及びドレインに接続される。また、CFETの場合、電源電位又は接地電位を供給するTSVは、基板SUBの最も近くに位置するソース及びドレインに接続されてもよい。
- [0017] 図3は、図1のスタンダードセルブロックSCBに配置される回路の一例を示す。スタンダードセルブロックSCBは、電源スイッチ回路PSWとスタンダードセルSCとを有する。スタンダードセルSCは、仮想電源線VVDD及び接地線VSSに接続され、仮想電源線VVDDから仮想電源電位VVDDの供給を受けて動作する。
- [0018] 電源スイッチ回路PSWは、制御回路CNTLとスイッチトランジスタSWTとを有する。制御回路CNTLは、入力信号線INと出力信号線OUTとの間に直列に接続されたインバータIV1、IV2を有するバッファ回路である。各インバータIV1、IV2は、電源線TVDDと接地線VSSとに接続されて動作する。インバータIV1は、入力信号INの論理を反転して出力信号OUT0として出力する。インバータIV2は、インバータIV1からの出力信号OUT0の論理を反転して出力信号OUTとして出力する。
- [0019] スイッチトランジスタSWTは、ソースが電源線TVDDに接続され、ドレインが仮想電源線VVDDに接続されたPMOSTランジスタであり、制御回路CNTLからの出力信号OUT0の電圧をゲート電位として受けて動作する。スイッチトランジスタSWTがオンしている間、電源線TVDDと仮想電源線VVDDとが電氣的に接続され、電源電位TVDDは、仮想電源線VVDDを介してスタンダードセルSCに供給される。

- [0020] スイッチトランジスタSWTがオフしている間、電源線TVDDと仮想電源線VVDDとの電気的な接続が遮断され、仮想電源線VVDDは、フローティング状態に設定される。なお、インバータIV1の出力に代えて、インバータIV1の入力IN又はインバータIV2の出力OUTがスイッチトランジスタSWTのゲートに接続されてもよい。これは他の実施形態においても同様である。
- [0021] なお、制御回路CNTLは、電源スイッチ回路PSWの配置領域と別の領域に配置されてもよい。また、出力信号OUTは、他の電源スイッチ回路PSWの入力端子INに供給されてもよい。スイッチトランジスタSWTは、基板SUBの上面より下方に設けられ、電気的に電源線TVDD及び仮想電源線VVDDの間に設けられた第1のトランジスタの一例である。
- [0022] 図4は、図3の回路及び配線のレイアウトの概要を示す。図4では、図3の回路及び配線のうち、基板SUBの表面側の配線FS (Front Side)、基板SUB内に設けられるPR (Power Rail) 層の配線、基板SUBの裏面側に設けられる配線層BSM1の配線と、制御回路CNTL及び信号タップセルSTAPの位置とが平面視で示される。
- [0023] 配線層PRは、Y方向に延在する配線（電源線TVDD、接地線VSS、仮想電源線VVDD、信号線SIG）がX方向に並んで配置される。Y方向に延在する接地線VSSは、途中で途切れており、途切れた位置に信号線SIGが配置される。換言すると、信号線SIGは、Y方向において複数の接地線VSSの間に配置される。例えば、信号線SIGには、図3のインバータIV1から出力される出力信号OUT0が伝達される。
- [0024] 配線層PRの信号線SIGは、第1の制御線の一例である。配線層PRの電源線TVDDは、第1の電源線の一例であり、電源電位TVDDは、第1の電位の一例である。配線層PRの仮想電源線VVDDは、第2の電源線の一例であり、仮想電源電位VVDDは、第2の電位の一例である。配線層PRの接地線VSSは、第3の電源線の一例である。
- [0025] 制御回路CNTLは、平面視で配線層PRの電源線TVDD及び接地線V

SSが配置される領域と重なる位置に配置される。信号タップセルSTAPは、平面視で配線層PRの信号線SIGが配置される領域と重なる位置に配置される。

[0026] 例えば、制御回路CNTL及び信号タップセルSTAPは、図4に示すように、離れた位置に配置されてもよく、隣接して配置されてもよい。また、制御回路CNTLは、電源電位TVDDが常時供給される電源ドメイン（常時電源領域）に配置され、信号タップセルSTAPは、仮想電源電位VVDの供給が停止可能な電源ドメイン（電源遮断領域）に配置されてもよい。

[0027] 配線層BSM1の配線（仮想電源線VVD、電源線TVDD、接地線VSS、信号線SIG）は、配線層PRの下層に配置される。配線層BSM1の各配線は、X方向に延在し、Y方向に並んで配置される。配線層BSM1の配線及び配線層PRの配線において、同じ種類の配線（例えば、VSS同士又はTVDD同士）は、共通に接続される。制御回路CNTLと信号タップセルSTAPとは、配線FSにより相互に接続される。

[0028] 図5は、図3の回路及び配線のレイアウトの別の層での概要を示す。図5は、平面視で図4と重なる領域を示しており、図3の回路及び配線のうち、基板SUBの裏面側に設けられる配線層BSM1及び配線層BSM2の配線と、信号タップセルSTAP及びスイッチトランジスタSWTの位置とが示される。

[0029] 配線層BSM2の各配線（仮想電源線VVD、電源線TVDD等）は、Y方向に延在し、X方向に並んで配置される。スイッチトランジスタSWTは、平面視で信号タップセルSTAPに隣接する位置に配置される。なお、配線層BSM1において、信号線SIGがX方向に延在して配置されるため、信号タップセルSTAPとスイッチトランジスタSWTとは、平面視で互いに離れた位置に配置されてもよい。

[0030] 図5は、基板SUBの裏面側の層のみが示されるため、制御回路CNTLの位置が省略されているが、制御回路CNTLの位置は、図4と同じである。なお、平面視で制御回路CNTLと重なる配線層BSM2の配線の種類は

、図4に示した配線層PRの電源線TVDD及び接地線VSSに限定されない。

[0031] 図6は、図4及び図5に示す回路及び配線のレイアウトの一例を示す。図6の上側に示すレイアウトは、ビアVIA3を除き配線層PRより上層のレイアウトを示す。図6の下側に示すレイアウトは、基板SUBの下側のレイアウトを示す。

[0032] 図6及び以降の平面図に示す凡例において、符号W(FS)は、基板SUBの表面側に設けられる信号配線を示す。符号DIF(FS)は、基板の表面に設けられる拡散層等の半導体層を示す。符号GT(FS)は、基板の表面側に設けられるトランジスタのゲートを示す。

[0033] 符号VIA4は、半導体層DIF(FS)と配線層PRの配線とを接続するビアを示す。符号PRは、配線層PRに設けられる配線を示す。符号VIA3は、配線層PRの配線と配線層BSM1の配線とを接続するビアを示す。符号BSM1は、配線層BSM1に設けられる配線を示す。符号BSM2は、配線層BSM2に設けられる配線を示す。

[0034] 符号VIA1は、配線層BSM1の配線とスイッチトランジスタSWTのゲートGT(SWT)とを接続するビア、又は配線層BSM1の配線と配線層BSM2の配線とを接続するビアを示す。符号DIF(SWT)は、スイッチトランジスタSWTの半導体層(拡散層)を示す。符号GT(SWT)は、スイッチトランジスタSWTのゲートを示す。

[0035] 基板SUB上には、半導体層DIF(FS)とゲートGT(FS)とを含むトランジスタが形成される。制御回路CNTLは、例えば、図3に示したように2段のインバータIV1、IV2を含む。1段目のインバータIV1の出力は、配線W(FS)、信号タップセルSTAPの半導体層DIF(FS)、ビアVIA4、配線層PRの配線SIG、ビアVIA3、配線層BSM1の配線SIG及びビアVIA1を介してスイッチトランジスタSWTのゲートGT(SWT)に接続される。

[0036] PR層の配線SIGは、Y方向に延在するPR層の接地線VSSが途中で

途切れる領域であって、信号タップセルSTAPが配置される領域に配置される。換言すれば、PR層の接地線VSSは、信号タップセルSTAPが配置される領域を避けて配置される。これにより、PR層の配線SIGをY方向に途切れることなく延在させる場合に比べて、接地線VSSが配置される領域を増やすことができ、接地抵抗を減らすことができる。

[0037] 制御回路CNTLのトランジスタは、例えば、フィンを用いたフィンFET (Field Effect Transistor)、プレーナ型MOSFET (Metal Oxide Semiconductor FET)、ナノシートFET又はCFET (Complementary FET) である。制御回路CNTLのトランジスタには、このトランジスタの半導体層であるソース、ドレインに直接接続されるビアVIA4を介して配線層PRの配線から接地電位VSS又は電源電位TVDDが供給される。

[0038] 例えば、スイッチトランジスタSWTは、平面視で配線層PRの仮想電源線VDD及び接地線VSSが配置される領域に位置しており、平面視でスタンダードセルSC (例えば、インバータ) と重なっている。また、スイッチトランジスタSWTは、図7に示すように、配線層BSM1と配線層BSM2との間に配置される。

[0039] 制御回路CNTLは、配線層PRの電源線TVDD及び接地線VSSが配置される領域に位置している。なお、制御回路CNTLに接続される配線層PRの配線と、信号タップセルSTAPに接続される配線層PRの配線とは、図6に示すように間隔を空けて配置されてもよく、隣接して配置されてもよい。

[0040] なお、制御回路CNTLからの信号SIG (出力信号OUTO) を基板SUBの裏面のスイッチトランジスタSWTに伝達するための手法として、基板SUBの表面側のトランジスタが設けられていない領域にTSV等のビアを形成することが考えられる。この場合、回路領域 (トランジスタ領域) とは別の領域にビアを形成しなくてはならず、回路面積の増大を招くおそれがある。

[0041] これに対して、この実施形態では、トランジスタのソース、ドレイン等の

半導体層に基板SUBの裏面側から直接接続されるビアVIA4を用いて、基板SUBの表面側のトランジスタが設けられる回路領域に信号タップセルSTAPが設けられる。このため、基板SUBの裏面にスイッチトランジスタSWTを配置する場合にも、回路領域とは別の領域を設けることなく制御回路CNTLからの信号SIGをスイッチトランジスタSWTのゲートに供給することができ、回路面積の増大を抑制することができる。

[0042] なお、信号SIG（出力信号OUT0）は、基板SUBの表面側に設けられる配線W及びBSM1層の配線を使用して制御回路CNTLからスイッチトランジスタSWTのゲートGT（SWT）に供給される。これにより、制御回路CNTL及びスイッチトランジスタSWTを、平面視で離れた位置に配置することができる。

[0043] 図7は、図6のX1-X1'線及びX2-X2'線に沿う断面の一例を示す。X1-X1'線に沿う断面において、制御回路CNTLのインバータIV1、IV2の半導体層（ソース、ドレイン）は、基板SUB中に形成されるビアVIA4を介して配線層PRの電源線TVDD又は接地線VSSに接続される。なお、図7では、配線層PRは、基板SUBの下面に沿って配置されているが、基板SUB中に配置されてもよい。

[0044] 制御回路CNTLから出力される出力信号OUTを伝達する配線SIGは、信号タップセルSTAPからビアVIA4、配線層PR、ビアVIA3を介して配線層BSM1の配線SIGに接続される。配線層BSM1の配線SIGは、配線層BSM1の下側の層間絶縁膜に形成されるビアVIA1を介してスイッチトランジスタSWTのゲートGT（SWT）に接続される。

[0045] ゲートGT（SWT）は、ゲート絶縁膜GINSを介してスイッチトランジスタSWTのチャネルに対向する位置に設けられる。チャネルのX方向の両側に設けられるスイッチトランジスタSWTのソース及びドレインは、配線層BSM2に形成される電源線TVDD及び仮想電源線VVDDにそれぞれ接続される。

[0046] スイッチトランジスタSWTを介して電源線TVDDに接続される配線層

B S M 2 の仮想電源線 V V D D は、X 2 - X 2 ' 線に沿う断面において、ビア V I A 1 を介して配線層 B S M 1 の仮想電源線 V V D D に接続される。B S M 1 の仮想電源線 V V D D は、ビア V I A 3 を介して配線層 P R の仮想電源線 V V D D に接続される。配線層 P R の仮想電源線 V V D D は、さらに、X 1 - X 1 ' 線に沿う断面において、ビア V I A 4 を介してスタンダードセル S C の半導体層 D I F ( F S ) 又はスタンダードセル S C の電源端子に接続される。

[0047] 図 8 は、図 6 の X 1 - X 1 ' 線に沿う断面の別の例を示す。図 7 と同一又は同様の要素及びレイアウトについては、同じ符号又は同じパターンで示し、詳細な説明は省略する。図 8 に示す例は、配線層 P R の配線が基板 S U B 中に形成され、配線層 B S M 1 の配線が基板 S U B の裏面に接する位置に形成されることを除き、図 7 の X 1 - X 1 ' 線に沿う断面と同様である。なお、配線層 P R の配線が基板 S U B 中に形成される構造は、他の実施形態又は変形例にも適用可能である。

[0048] 図 9 は、図 4 及び図 5 に示す回路及び配線のレイアウトの第 1 変形例を示す。図 6 と同一又は同様の要素及びレイアウトについては、同じ符号又は同じパターンで示し、詳細な説明は省略する。

[0049] 図 9 は、信号タップセル S T A P が制御回路 C N T L に隣接する位置に配置されることを除き、図 6 のレイアウトと同様である。例えば、信号タップセル S T A P は、制御回路 C N T L とともに電源電位 T V D D が常時供給される電源ドメインに配置されてもよい。

[0050] なお、図 9 では、2 個のスイッチトランジスタ S W T が配置される例が示されるが、図 6 と同様に 4 個のスイッチトランジスタ S W T が配置されてもよいし、1 個または 3 個、5 個以上のスイッチトランジスタ S W T が配置されてもよい。また、図 9 に示すレイアウトは、他の実施形態又は変形例に適用されてもよい。

[0051] 図 1 0 は、図 4 及び図 5 に示す回路及び配線のレイアウトの第 2 変形例を示す。図 6 と同一又は同様の要素及びレイアウトについては、同じ符号又は

同じパターンで示し、詳細な説明は省略する。図10は、図6に示した領域のうち、スイッチトランジスタSWTが配置される領域のみが示され、かつ、配線層PRより上層のレイアウトは、図示が省略される。

[0052] 図10では、スイッチトランジスタSWTのゲートGT (SWT)、半導体層DIF (SWT) 及び図示しないゲート絶縁膜GINSは、配線層BSM2の配線方向に延在して配置される。これにより、駆動能力が図6の4つのスイッチトランジスタSWTより大きいスイッチトランジスタSWTを、図6と同じ大きさの領域に配置することができる。図10に示すレイアウトは、他の実施形態又は変形例に適用されてもよい。

[0053] 図11は、図4及び図5に示す回路及び配線のレイアウトの第3変形例を示す。図6と同一又は同様の要素及びレイアウトについては、同じ符号又は同じパターンで示し、詳細な説明は省略する。図11は、図6に示した領域のうち、スイッチトランジスタSWTが配置される領域のみが示される。図11の上側に示すレイアウトは、図6の上側に示すレイアウトと同様である。

[0054] 図11の下側に示すレイアウトは、配線層BSM1の配線の種類と並び順が図6の下側に示すレイアウトと相違している。また、図11では、スイッチトランジスタSWTは、配線層PR、BSM1の間に配置される。なお、スイッチトランジスタSWTのゲートGT (SWT) は、半導体層DIF (SWT) に対して配線層BSM1側に配置されるが、ゲートGT (SWT) の位置を識別可能にするため、図11では半導体層DIF (SWT) 上に配置されるように見せている。図11では、1個のスイッチトランジスタSWTが配置される例が示されるが、他の例と同様に複数個のスイッチトランジスタSWTが配置されてもよい。

[0055] スイッチトランジスタSWTのドレイン (半導体層DIF (SWT)) は、ビアVIA3を介して配線層PRの仮想電源線VDDに接続される。スイッチトランジスタSWTのソース (半導体層DIF (SWT)) は、ビアVIA5を介して配線層BSM1の電源線TDDに接続される。スイッチ

トランジスタSWTのゲートGT (SWT) は、ビアVIA6を介して配線層BSM1の信号線SIGに接続される。

[0056] 図12は、図11のX3-X3'線及びX4-X4'線に沿う断面の一例を示す。図7と同一又は同様の要素及びレイアウトについては、同じ符号又は同じパターンで示し、詳細な説明は省略する。配線層BSM2の配線は、スイッチトランジスタSWTに接続されないため、図12では省略されている。スイッチトランジスタSWTの断面構造は、上下が反転している点で、図7のスイッチトランジスタSWTの断面構造と異なる。

[0057] スイッチトランジスタSWTのゲートGT (SWT) は、X3-X3'線に沿う断面において、配線層BSM1の信号線SIGに接続される。スイッチトランジスタSWTの半導体層DIF (SWT) であるソース及びドレインは、X4-X4'線に沿う断面において、配線層BSM1の電源線TVDD及び配線層PRの仮想電源線VVDDにそれぞれ接続される。

[0058] X4-X4'線に沿う断面に示すように、スイッチトランジスタSWTのドレイン (VVDD) は、ビアVIA3を介して配線層PRの仮想電源線VVDDに直接接続される。このため、図12に示すように、図6の配線層BSM1の仮想電源線VVDDの代わりに接地線VSSを設けることができる。これにより、例えば、配線層BSM1の接地線VSSの数を図6に比べて増やすことができ、接地抵抗を減らすことができる。図6の配線層BSM1の仮想電源線VVDDの代わりに電源線TVDDを設ける場合、電源抵抗を減らすことができる。

[0059] なお、基板SUBの裏面側に位置する配線及びスイッチトランジスタSWTは、基板SUBの裏面に別の半導体チップを接合することにより形成されてもよい。あるいは、基板SUBの裏面側に位置する配線及びスイッチトランジスタSWTは、基板SUBの裏面に対して成膜、露光処理、エッチング等のウェハープロセスを行うことにより形成されてもよい。なお、図11及び図12に示すレイアウトは、他の実施形態又は変形例に適用されてもよい。

[0060] 以上、第1実施形態では、トランジスタのソース、ドレイン等の半導体層に基板SUBの裏面側から直接接続されるビアVIA4を用いて、基板SUBの表面側のトランジスタが設けられる回路領域に信号タップセルSTAPが設けられる。このため、基板SUBの裏面にスイッチトランジスタSWTを配置する場合にも、回路領域とは別の領域を設けることなく制御回路CNTLからの信号SIGをスイッチトランジスタSWTのゲートに供給することができ、回路面積の増大を抑制することができる。

[0061] PR層の配線SIGを、Y方向に延在するPR層の接地線VSSが途中で途切れる領域に配置することで、配線SIGをY方向に途切れることなく延在させる場合に比べて、接地線VSSが配置される領域を増やすことができ、接地抵抗を減らすことができる。

[0062] 信号SIG（出力信号OUTO）は、基板SUBの表面側に設けられる配線W及びBSM1層の配線を使用して制御回路CNTLからスイッチトランジスタSWTのゲートGT（SWT）に供給される。これにより、制御回路CNTL及びスイッチトランジスタSWTを、平面視で離れた位置に配置することができる。

[0063] （第2実施形態）

図13は、第2実施形態の半導体装置におけるスタンダードセルブロックの回路及び配線のレイアウトの一例を示す。図6と同一又は同様の要素及びレイアウトについては、同じ符号又は同じパターンで示し、詳細な説明は省略する。この実施形態では、図6においてスタンダードセルSCが形成される領域に制御回路CNTLが形成される。例えば、制御回路CNTLは、仮想電源電位VDDの供給が停止可能な電源ドメイン（電源遮断領域）に配置されてもよい。制御回路CNTLの構成は、図6の制御回路CNTLの構成と同様である。

[0064] 制御回路CNTLから出力される出力信号OUTを伝達する配線SIGは、配線W（FS）、信号タップセルSTAPの半導体層DIF（FS）、ビアVIA4、配線層PRの配線SIG、配線層BSM1の配線SIG及びビ

アVIA1を介してスイッチトランジスタSWTのゲートGT(SWT)に接続される。

[0065] 制御回路CNTLのインバータIV1、IV2のトランジスタは、例えば、フィンを用いたフィンFET、プレーナ型MOSFET、ナノシートFET又はCFETである。制御回路CNTLのインバータIV1、IV2のトランジスタには、このトランジスタの半導体層であるソース、ドレインに直接接続されるビアVIA4を介して配線層PRの配線から接地電位VSS又は電源電位TVDDが供給される。

[0066] なお、図13の図6の上側に示すレイアウトでは、X方向において配線層PRの信号線SIGと接地線VSSとの間に電源線TVDDが配置されるが、例えば、電源線TVDDと接地線VSSとの間に信号線SIGが配置されるものであってもよい。この場合、Y方向において途切れた接地線VSSの間に電源線TVDDが配置され、Y方向において途切れた仮想電源線VVDの間には信号線SIGが配置される。

[0067] 以上、第2実施形態においても、第1実施形態と同様の効果を得ることができる。例えば、信号タップセルSTAPを介して制御回路CNTLとスイッチトランジスタSWTのゲートGT(PSW)とを接続することで、回路面積の増大を抑制することができる。さらに、第2実施形態では、制御回路CNTL及びスイッチトランジスタSWTを、平面視で重なる位置に配置することができる。

[0068] (第3実施形態)

図14は、第3実施形態の半導体装置におけるスタンダードセルブロックの回路及び配線のレイアウトの概要を示す。図4と同一又は同様の要素及びレイアウトについては、同じ符号又は同じパターンで示し、詳細な説明は省略する。

[0069] 図14では、制御回路CNTLの信号線SIGが、基板SUBの表面側の配線FSを使用することなく、配線層BSM1を使用して形成される点で図4と相違している。配線層BSM1の信号線SIGは、平面視で制御回路C

N T LとスイッチトランジスタSWTとを接続する位置に配置され、制御回路C N T LとスイッチトランジスタSWTのゲートG T (SWT)とを電氣的に接続する。

[0070] そして、配線層B S M 1において信号線S I Gが配置されない領域には、接地線V S Sが配置される。換言すれば、配線層B S M 1の信号線S I Gが途中で途切れる領域に接地線V S Sが配置される。配線層B S M 1に配置される途中で途切れた接地線V S Sは、第1の配線の一例である。信号線S I Gが途中で途切れた領域に配置されるB S M 1層の信号線S I Gは、第2の制御線の一例である。

[0071] 図14に示すように、配線層B S M 1の必要な個所のみ信号線S I Gを配置することで、例えば、信号線S I Gが配置されない領域に接地線V S Sを配置することができる。また、基板S U Bの表面F S側の配線S I Gを省略することができる。これにより、配線層B S M 1の配線およびスタンダードセルS Cの配線を効率的に配置することが可能となる。

[0072] なお、図示を省略しているが、基板S U Bの表面側の配線F Sによる信号線S I Gを最小限にするために、信号タップセルS T A Pは、制御回路C N T Lの一部として配置されることが好ましく、あるいは、制御回路C N T Lに隣接して配置されることが好ましい。

[0073] 以上、第3実施形態においても、第1実施形態と同様の効果を得ることができる。例えば、信号タップセルS T A Pを介して制御回路C N T LとスイッチトランジスタSWTのゲートG T (P S W)とを接続することで、回路面積の増大を抑制することができる。さらに、第2実施形態では、制御回路C N T L及びスイッチトランジスタSWTを、平面視で重なる位置に配置することができる。

[0074] さらに、第3実施形態では、配線層B S M 1の必要な個所のみ信号線S I Gを配置することで、例えば、信号線S I Gが配置されない領域に接地線V S Sを配置することができる。また、基板S U Bの表面F S側の配線S I Gを省略することができる。これにより、配線層B S M 1の配線およびスタ

ンダードセルSCの配線を効率的に配置することが可能となる。

[0075] (第4実施形態)

図15は、第4実施形態の半導体装置におけるスタンダードセルブロックの回路及び配線のレイアウトの一例を示す。図7と同一又は同様の要素及びレイアウトについては、同じ符号又は同じパターンで示し、詳細な説明は省略する。

[0076] 図15は、信号タップセルSTAPの半導体層DIF(FS)が信号線SIGとしてのビアVIA4を介してスイッチトランジスタSWTのゲートGT(SWT)に直接接続される点で他の実施形態と相違する。なお、図示は省略しているが、信号タップセルSTAPの下方において配線層BSM1に接地線VSSを配置してもよい。この場合、他の実施形態におけるPR層のように、配線層BSM1の電源線TVDD、接地線VSS、仮想電源線VVDがビアを介して基板SUBの表面FS側に形成されたトランジスタや配線に接続されてもよい。

[0077] 以上、第4実施形態においても、第1実施形態と同様の効果を得ることができる。例えば、信号タップセルSTAPを介して制御回路CNTLとスイッチトランジスタSWTのゲートGT(PSW)とを接続することで、回路面積の増大を抑制することができる。さらに、第4実施形態では、信号タップセルSTAPの半導体層DIF(FS)をビアVIA4を介してスイッチトランジスタSWTのゲートGT(SWT)に直接接続することで、回路面積の増大をさらに抑制することができる。

[0078] 以上、各実施形態に基づき本発明の説明を行ってきたが、上記実施形態に示した要件に本発明が限定されるものではない。これらの点に関しては、本発明の主旨をそこなわない範囲で変更することができ、その応用形態に応じて適切に定めることができる。

## 符号の説明

[0079] 100 半導体装置  
BPR 埋め込み配線

BS 裏面  
BSM1、BSM2 配線層  
CNTL 制御回路  
DIF 半導体層  
FIN フィン  
FS 表面  
GINS ゲート絶縁膜  
GT ゲート  
IN 入力信号  
INTR 内部回路領域  
IOC、IOCP I/Oセル  
IV1、IV2 インバータ  
OUT、OUT0 出力信号  
PAD パッド  
PR 配線層  
PSW 電源スイッチ回路  
SC スタンダードセル  
SCB スタンダードセルブロック  
SGNL 信号  
SIG 信号線  
STAP 信号タップセル  
SUB 基板  
SWT スイッチトランジスタ  
TVDD 電源線  
VIA1、VIA2、VIA3、VIA4、VIA5、VIA6 ビア  
VSS 接地線  
VVDD 仮想電源線  
W、W1、W2 配線

WL 1、WL 2 配線層

## 請求の範囲

- [請求項1] 基板と、  
前記基板の上面より下方に形成され、第1の電位が供給される第1の電源線と、第2の電位が供給される第2の電源線と、  
前記基板の上面より下方に形成された第1の制御線と、  
前記基板の上面より下方に形成され、電氣的に前記第1の電源線と前記第2の電源線との間に設けられ、前記第1の制御線に電氣的に接続されたゲートを有する第1のトランジスタと、  
前記基板上に形成された半導体層と、前記基板に形成され、平面視で前記半導体層と前記第1の制御線と重なる位置に配置され、前記半導体層及び前記第1の制御線に接続するビアと、を有するタップセルと、  
前記基板上に形成され、前記ビアに電氣的に接続する制御回路と、  
を有する半導体装置。
- [請求項2] 平面視で第1の方向に延在して配置される複数の第3の電源線を有し、  
前記第1の制御線は、前記第1の方向において前記複数の第3の電源線の間領域に配置される  
請求項1に記載の半導体装置。
- [請求項3] 前記制御回路及び前記第1のトランジスタは、平面視で離れて配置される  
請求項1または請求項2に記載の半導体装置。
- [請求項4] 前記制御回路及び前記第1のトランジスタは、平面視で重なって配置される  
請求項1または請求項2に記載の半導体装置。
- [請求項5] 前記第1の電源線、前記第2の電源線及び前記第1の制御線の下方で、平面視で前記第1の方向とは異なる第2の方向に延在する複数の第1の配線と、

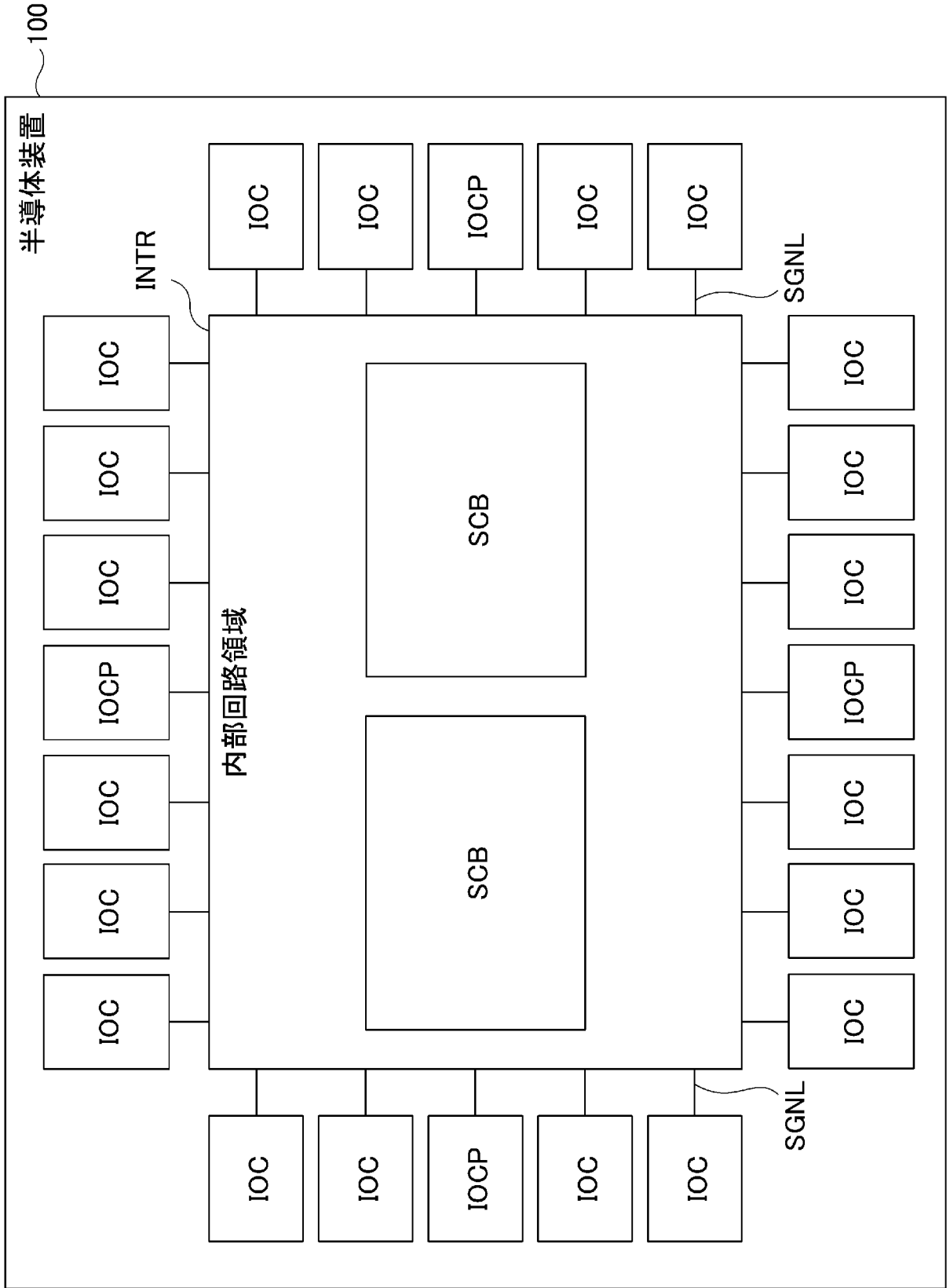
前記第 2 の方向において前記複数の第 1 の配線の間配置され、前記第 1 の制御線及び前記第 1 のトランジスタのゲートに電氣的に接続される第 2 の制御線を有する

請求項 2 に記載の半導体装置。

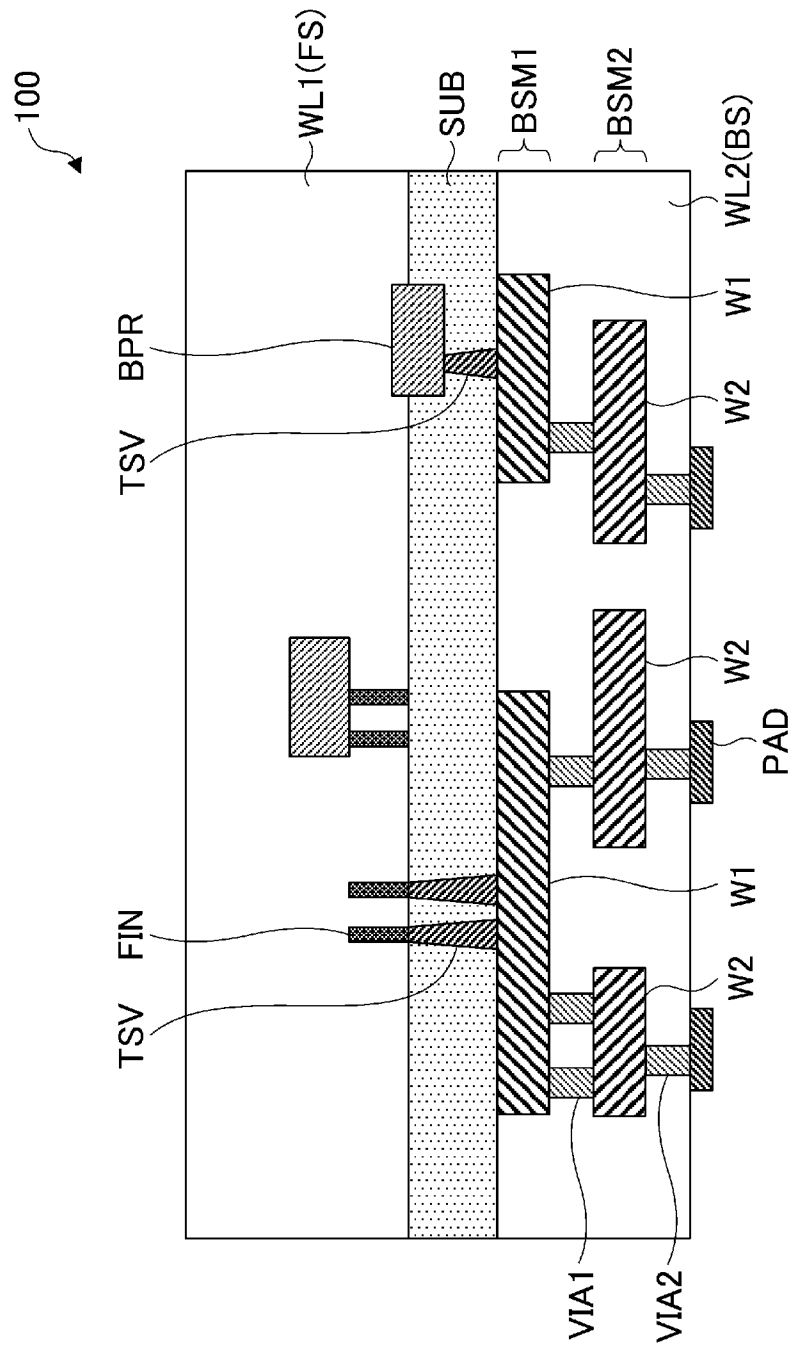
[請求項 6] 前記第 1 の配線は、前記第 3 の電源線と電氣的に接続される請求項 5 に記載の半導体装置。

[請求項 7] 前記ビアは、前記第 1 のトランジスタの前記ゲートと平面視で重なって配置され、前記ゲートに直接接続される請求項 1 に記載の半導体装置。

[図1]

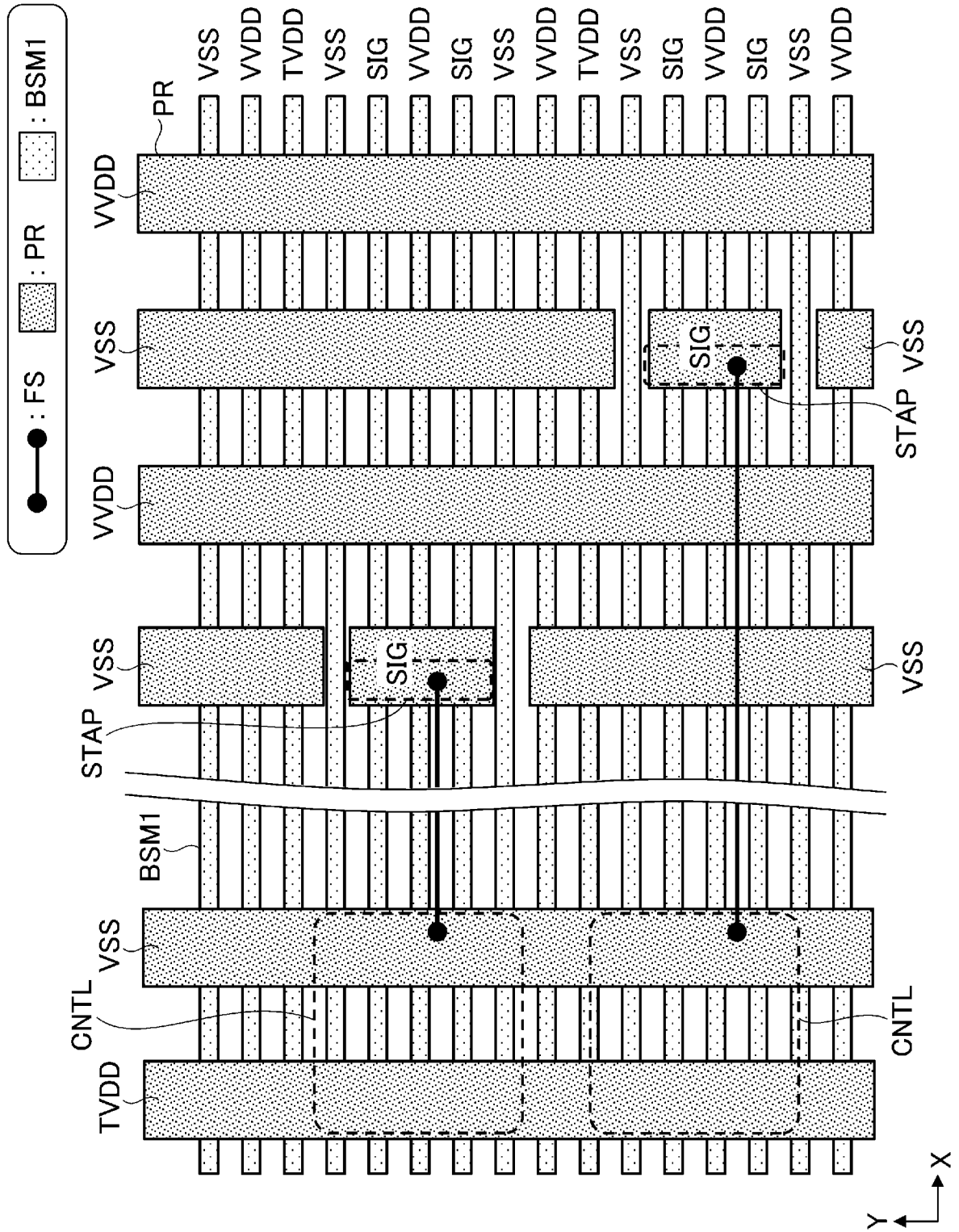


[2]

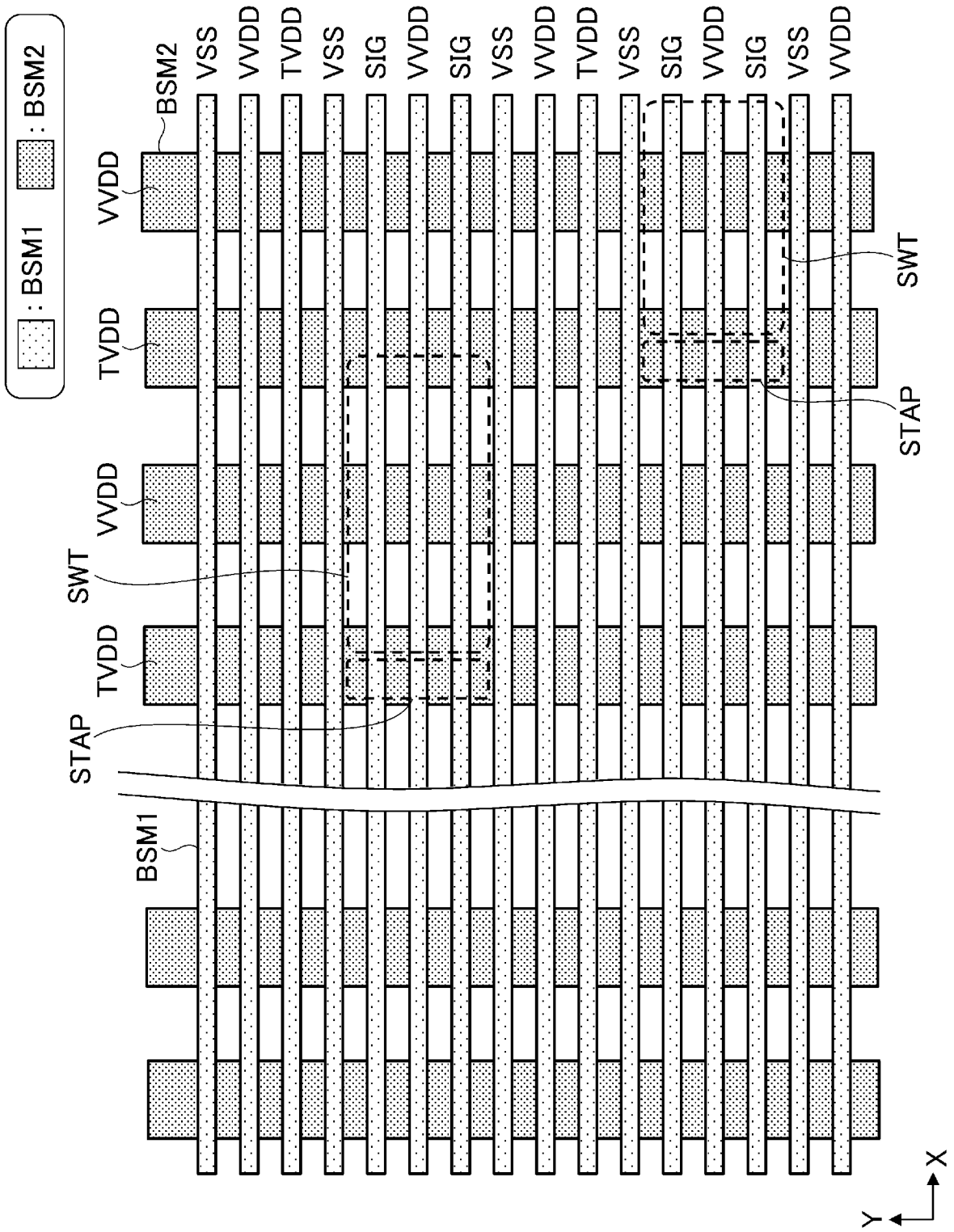




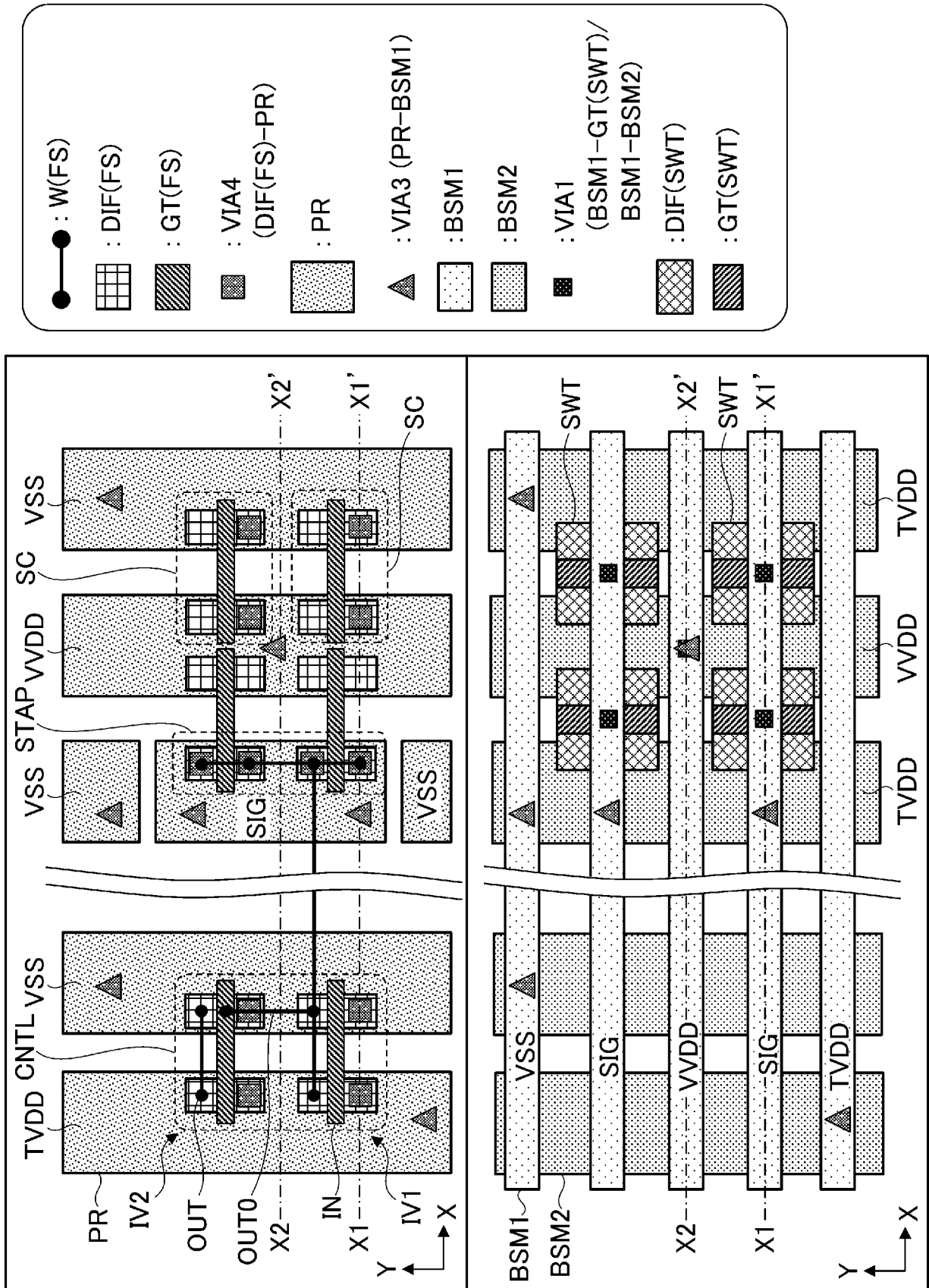
[図4]



[5]

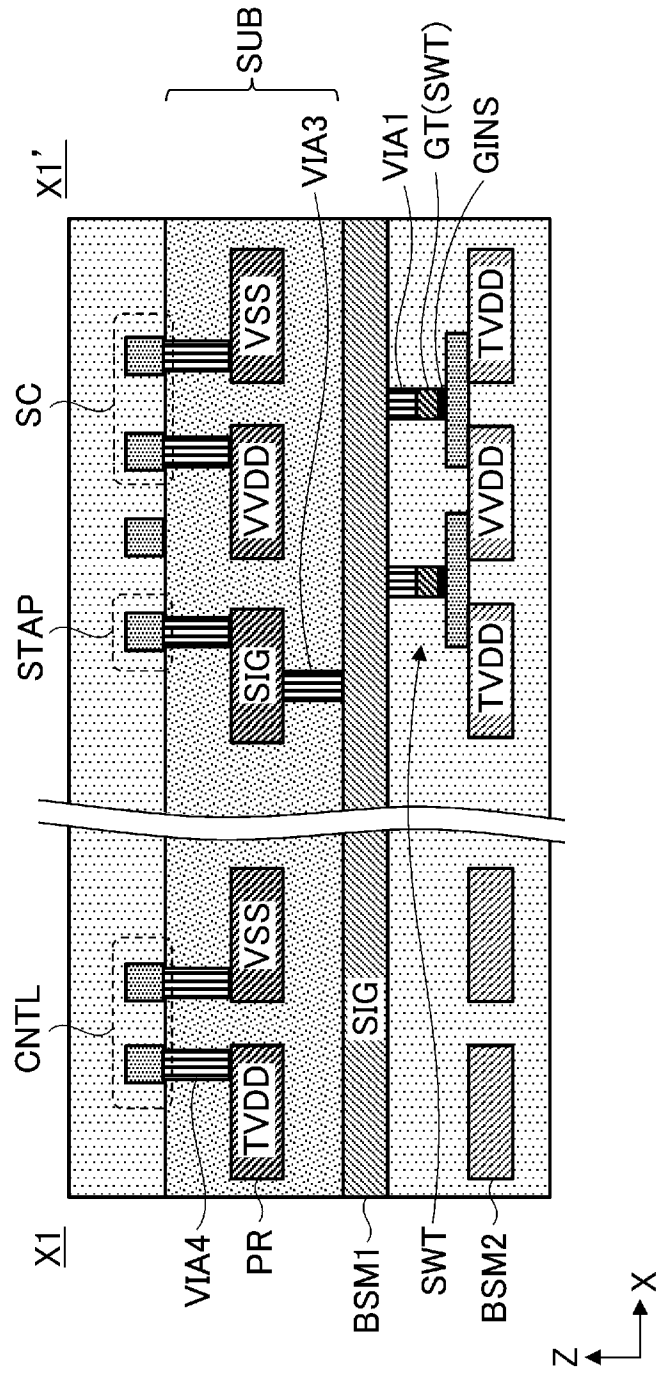


[図6]

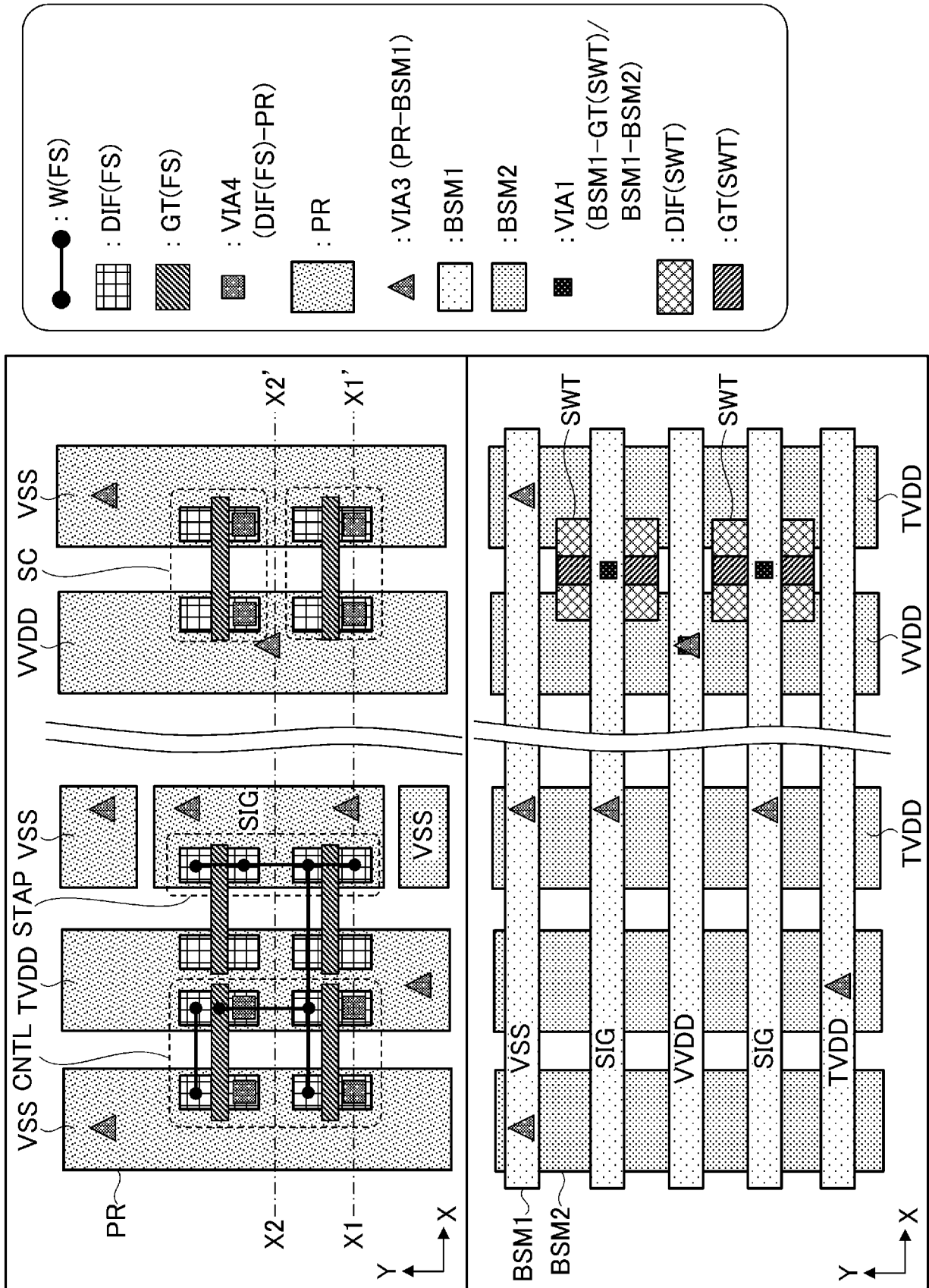




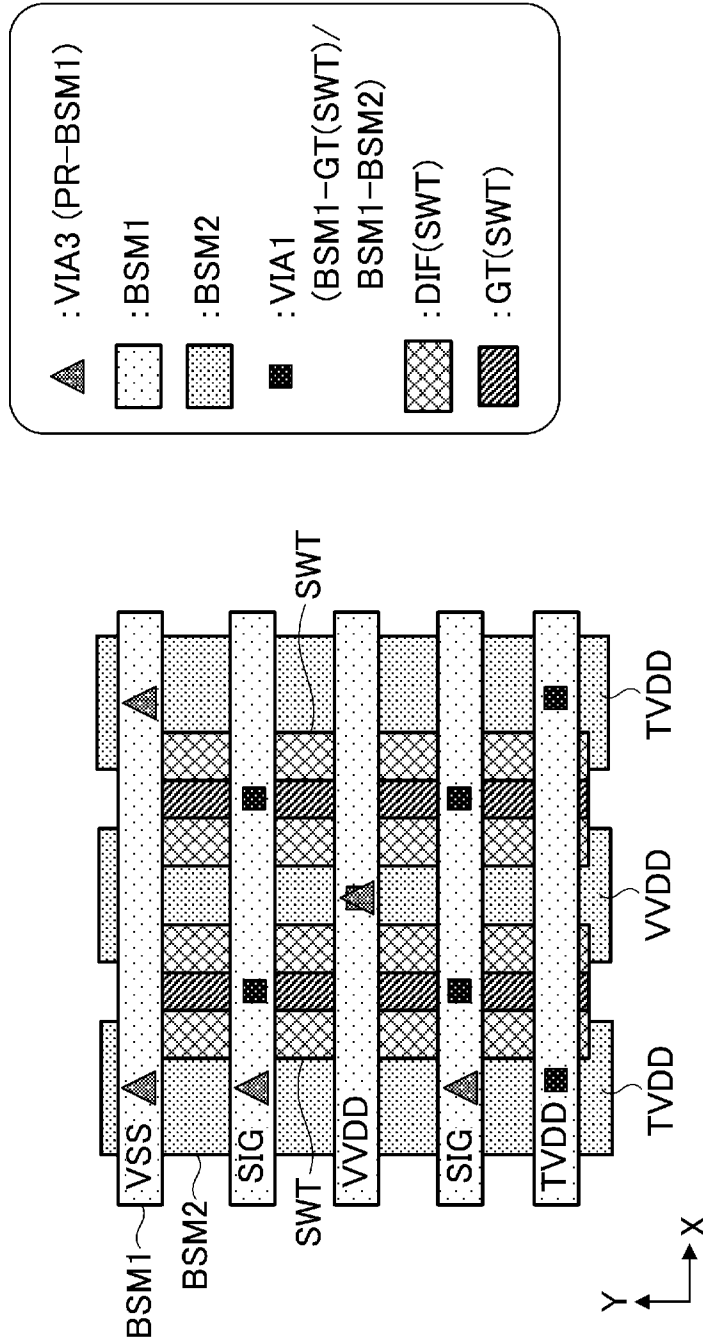
[8]



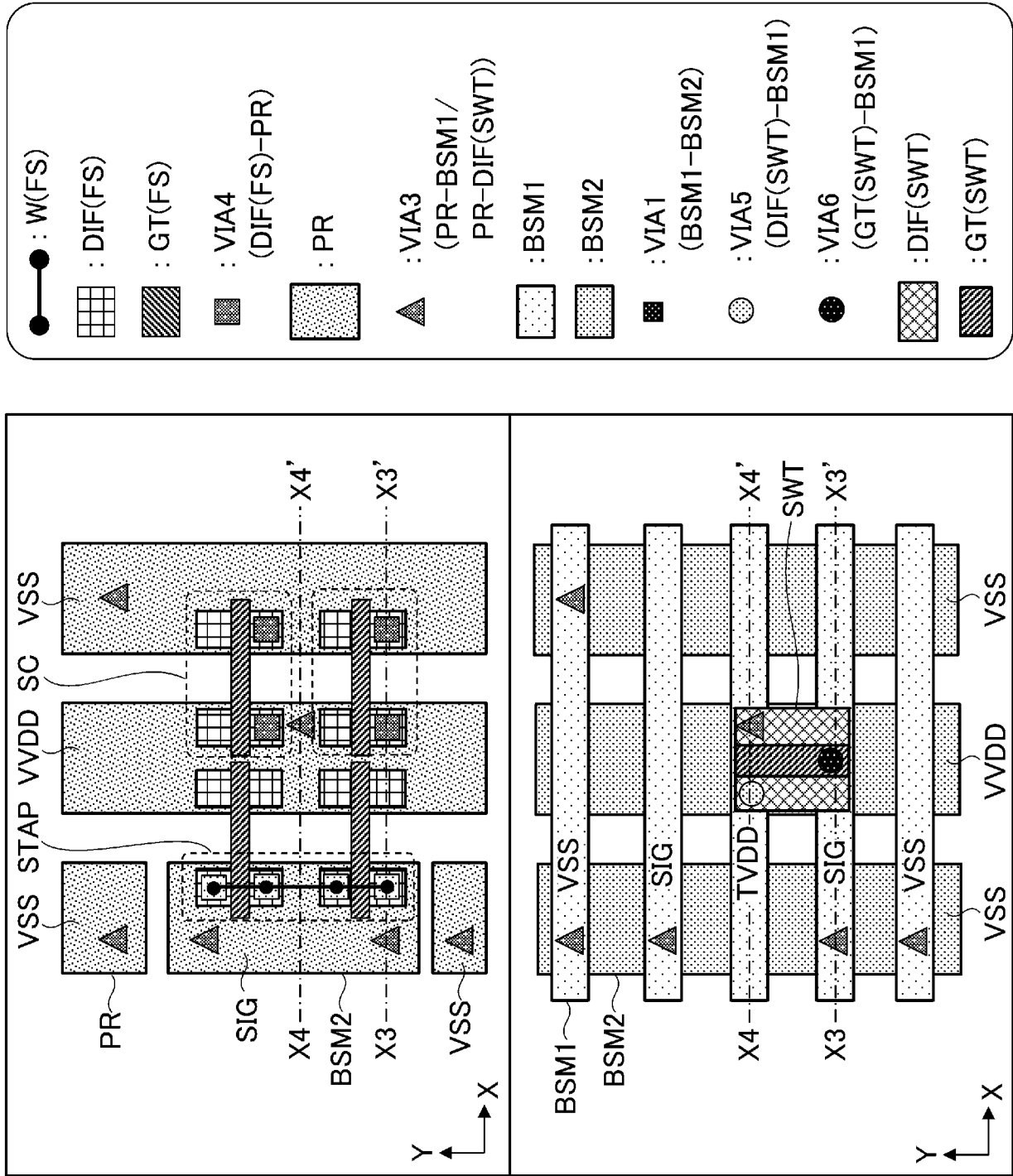
[ 9 ]



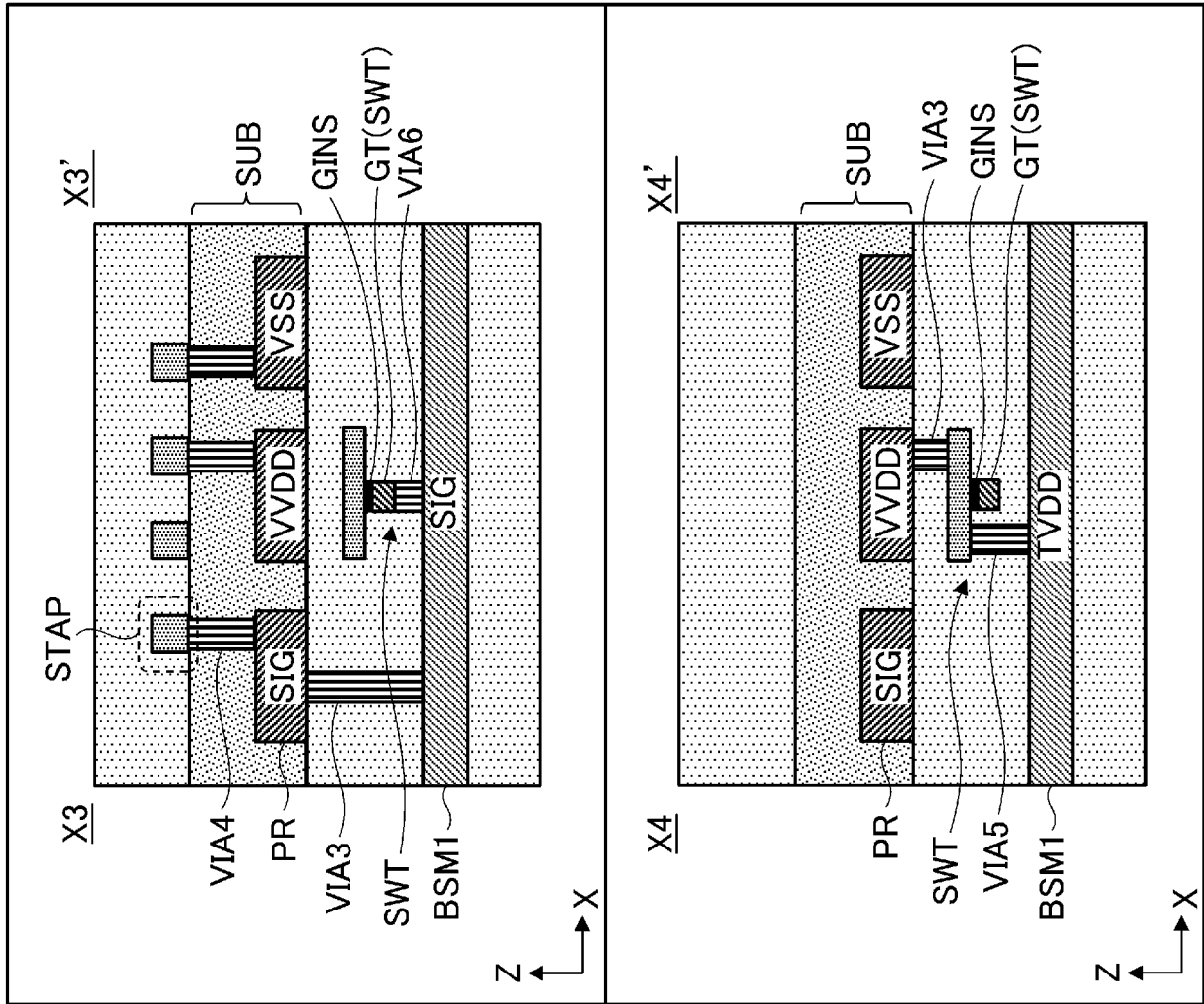
[図10]



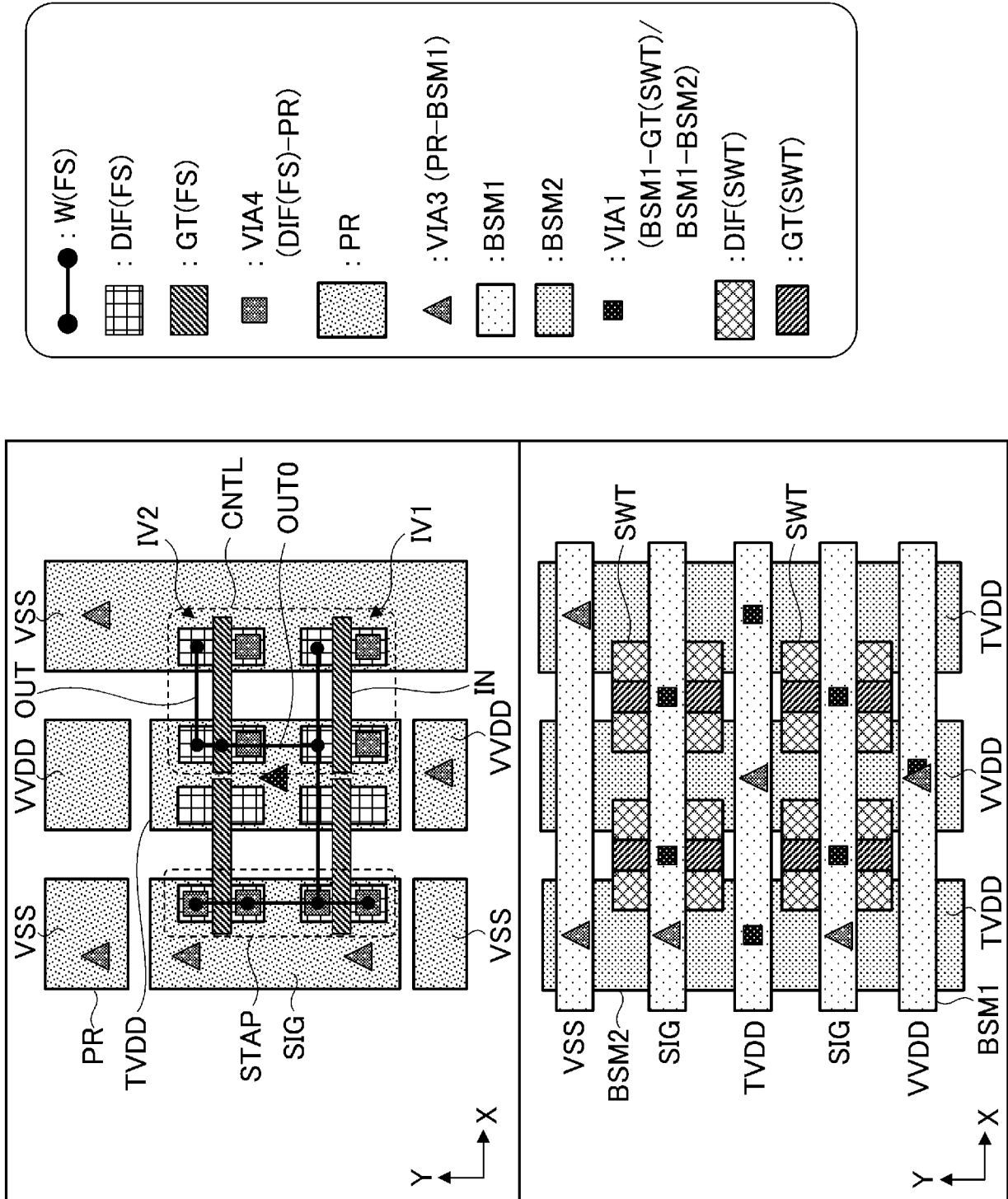
[図11]



[12]

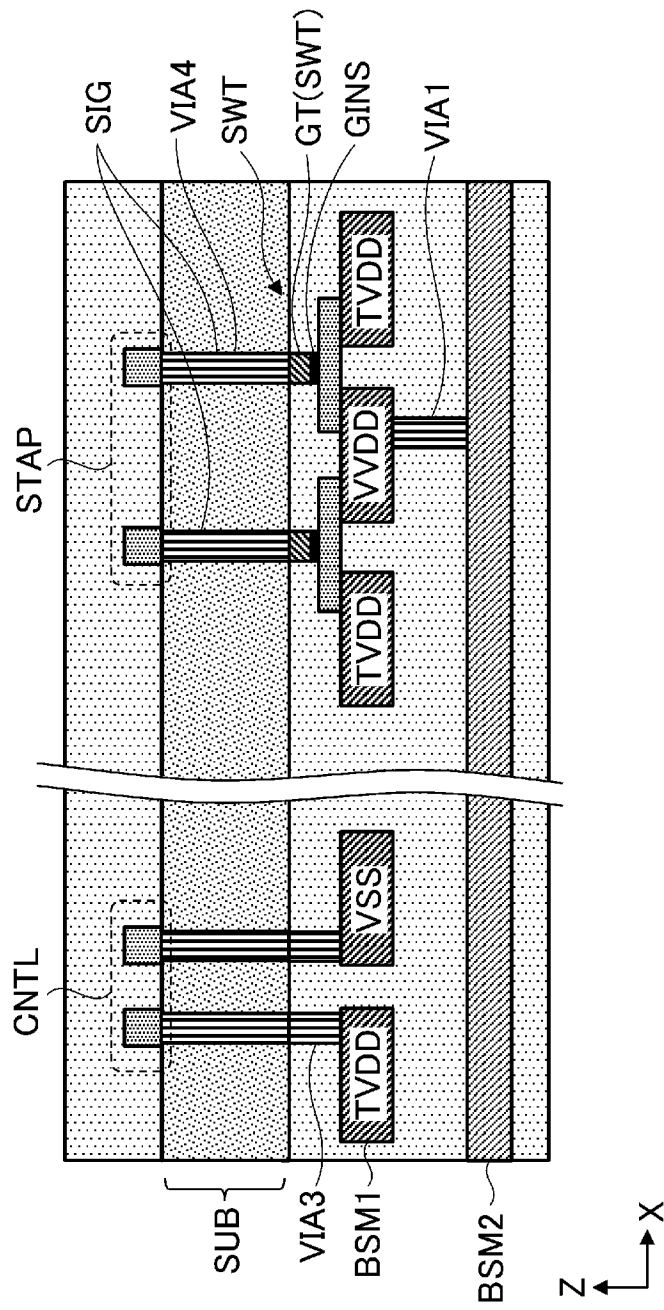


[図13]





[図15]



## INTERNATIONAL SEARCH REPORT

International application No.

**PCT/JP2023/021509**

<b>A. CLASSIFICATION OF SUBJECT MATTER</b>		
<i>H01L 27/04</i> (2006.01)i; <i>H01L 21/82</i> (2006.01)i; <i>H01L 21/822</i> (2006.01)i FI: H01L27/04 D; H01L21/82 L		
According to International Patent Classification (IPC) or to both national classification and IPC		
<b>B. FIELDS SEARCHED</b>		
Minimum documentation searched (classification system followed by classification symbols) H01L27/04; H01L21/82; H01L21/822		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Published examined utility model applications of Japan 1922-1996 Published unexamined utility model applications of Japan 1971-2023 Registered utility model specifications of Japan 1996-2023 Published registered utility model applications of Japan 1994-2023		
Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)		
<b>C. DOCUMENTS CONSIDERED TO BE RELEVANT</b>		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	WO 2023/054602 A1 (SOCIONEXT INC.) 06 April 2023 (2023-04-06)	1-7
A	WO 2022/138324 A1 (SOCIONEXT INC.) 30 June 2022 (2022-06-30)	1-7
A	WO 2021/075353 A1 (SOCIONEXT INC.) 22 April 2021 (2021-04-22)	1-7
A	JP 2021-61278 A (SOCIONEXT INC.) 15 April 2021 (2021-04-15)	1-7
<input type="checkbox"/> Further documents are listed in the continuation of Box C. <input checked="" type="checkbox"/> See patent family annex.		
<p>* Special categories of cited documents:</p> <p>“A” document defining the general state of the art which is not considered to be of particular relevance</p> <p>“E” earlier application or patent but published on or after the international filing date</p> <p>“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)</p> <p>“O” document referring to an oral disclosure, use, exhibition or other means</p> <p>“P” document published prior to the international filing date but later than the priority date claimed</p> <p>“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention</p> <p>“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone</p> <p>“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art</p> <p>“&amp;” document member of the same patent family</p>		
Date of the actual completion of the international search <b>17 August 2023</b>		Date of mailing of the international search report <b>29 August 2023</b>
Name and mailing address of the ISA/JP <b>Japan Patent Office (ISA/JP) 3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915 Japan</b>		Authorized officer  Telephone No.

**INTERNATIONAL SEARCH REPORT**  
**Information on patent family members**

International application No. <b>PCT/JP2023/021509</b>
---

Patent document cited in search report	Publication date (day/month/year)	Patent family member(s)	Publication date (day/month/year)
WO 2023/054602 A1	06 April 2023	(Family: none)	
WO 2022/138324 A1	30 June 2022	(Family: none)	
WO 2021/075353 A1	22 April 2021	US 2022/0336499 A1 CN 114503256 A	
JP 2021-61278 A	15 April 2021	(Family: none)	

<p>A. 発明の属する分野の分類（国際特許分類（IPC））</p> <p>H01L 27/04(2006.01)i; H01L 21/82(2006.01)i; H01L 21/822(2006.01)i FI: H01L27/04 D; H01L21/82 L</p>																	
<p>B. 調査を行った分野</p> <p>調査を行った最小限資料（国際特許分類（IPC））</p> <p>H01L27/04; H01L21/82; H01L21/822</p> <p>最小限資料以外の資料で調査を行った分野に含まれるもの</p> <table border="0"> <tr> <td>日本国実用新案公報</td> <td>1922 - 1996年</td> </tr> <tr> <td>日本国公開実用新案公報</td> <td>1971 - 2023年</td> </tr> <tr> <td>日本国実用新案登録公報</td> <td>1996 - 2023年</td> </tr> <tr> <td>日本国登録実用新案公報</td> <td>1994 - 2023年</td> </tr> </table> <p>国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）</p>			日本国実用新案公報	1922 - 1996年	日本国公開実用新案公報	1971 - 2023年	日本国実用新案登録公報	1996 - 2023年	日本国登録実用新案公報	1994 - 2023年							
日本国実用新案公報	1922 - 1996年																
日本国公開実用新案公報	1971 - 2023年																
日本国実用新案登録公報	1996 - 2023年																
日本国登録実用新案公報	1994 - 2023年																
<p>C. 関連すると認められる文献</p> <table border="1"> <thead> <tr> <th>引用文献の カテゴリー*</th> <th>引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示</th> <th>関連する 請求項の番号</th> </tr> </thead> <tbody> <tr> <td>A</td> <td>WO 2023/054602 A1 (株式会社ソシオネクスト) 06.04.2023 (2023 - 04 - 06)</td> <td>1-7</td> </tr> <tr> <td>A</td> <td>WO 2022/138324 A1 (株式会社ソシオネクスト) 30.06.2022 (2022 - 06 - 30)</td> <td>1-7</td> </tr> <tr> <td>A</td> <td>WO 2021/075353 A1 (株式会社ソシオネクスト) 22.04.2021 (2021 - 04 - 22)</td> <td>1-7</td> </tr> <tr> <td>A</td> <td>JP 2021-61278 A (株式会社ソシオネクスト) 15.04.2021 (2021 - 04 - 15)</td> <td>1-7</td> </tr> </tbody> </table>			引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号	A	WO 2023/054602 A1 (株式会社ソシオネクスト) 06.04.2023 (2023 - 04 - 06)	1-7	A	WO 2022/138324 A1 (株式会社ソシオネクスト) 30.06.2022 (2022 - 06 - 30)	1-7	A	WO 2021/075353 A1 (株式会社ソシオネクスト) 22.04.2021 (2021 - 04 - 22)	1-7	A	JP 2021-61278 A (株式会社ソシオネクスト) 15.04.2021 (2021 - 04 - 15)	1-7
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号															
A	WO 2023/054602 A1 (株式会社ソシオネクスト) 06.04.2023 (2023 - 04 - 06)	1-7															
A	WO 2022/138324 A1 (株式会社ソシオネクスト) 30.06.2022 (2022 - 06 - 30)	1-7															
A	WO 2021/075353 A1 (株式会社ソシオネクスト) 22.04.2021 (2021 - 04 - 22)	1-7															
A	JP 2021-61278 A (株式会社ソシオネクスト) 15.04.2021 (2021 - 04 - 15)	1-7															
<p><input type="checkbox"/> C欄の続きにも文献が列挙されている。</p> <p><input checked="" type="checkbox"/> パテントファミリーに関する別紙を参照。</p>																	
<table border="0"> <tr> <td> <p>* 引用文献のカテゴリー</p> <p>“A” 特に関連のある文献ではなく、一般的技術水準を示すもの</p> <p>“E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの</p> <p>“L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）</p> <p>“O” 口頭による開示、使用、展示等に言及する文献</p> <p>“P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献</p> </td> <td> <p>“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの</p> <p>“X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの</p> <p>“Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの</p> <p>“&amp;” 同一パテントファミリー文献</p> </td> </tr> </table>			<p>* 引用文献のカテゴリー</p> <p>“A” 特に関連のある文献ではなく、一般的技術水準を示すもの</p> <p>“E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの</p> <p>“L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）</p> <p>“O” 口頭による開示、使用、展示等に言及する文献</p> <p>“P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献</p>	<p>“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの</p> <p>“X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの</p> <p>“Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの</p> <p>“&amp;” 同一パテントファミリー文献</p>													
<p>* 引用文献のカテゴリー</p> <p>“A” 特に関連のある文献ではなく、一般的技術水準を示すもの</p> <p>“E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの</p> <p>“L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）</p> <p>“O” 口頭による開示、使用、展示等に言及する文献</p> <p>“P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献</p>	<p>“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの</p> <p>“X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの</p> <p>“Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの</p> <p>“&amp;” 同一パテントファミリー文献</p>																
<p>国際調査を完了した日</p> <p>17.08.2023</p>	<p>国際調査報告の発送日</p> <p>29.08.2023</p>																
<p>名称及びあて先</p> <p>日本国特許庁(ISA/JP)</p> <p>〒100-8915</p> <p>日本国</p> <p>東京都千代田区霞が関三丁目4番3号</p>	<p>権限のある職員（特許庁審査官）</p> <p>岩本 勉 5F 9355</p> <p>電話番号 03-3581-1101 内線 3516</p>																

国際調査報告  
特許ファミリーに関する情報

国際出願番号

PCT/JP2023/021509

引用文献	公表日	特許ファミリー文献	公表日
WO 2023/054602 A1	06.04.2023	(ファミリーなし)	
WO 2022/138324 A1	30.06.2022	(ファミリーなし)	
WO 2021/075353 A1	22.04.2021	US 2022/0336499 A1 CN 114503256 A	
JP 2021-61278 A	15.04.2021	(ファミリーなし)	