

(此處由本局於收  
文時黏貼條碼)

附件 3

## 發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※申請案號：95103985

※申請日期：95.2.7

※IPC分類：H01L 51/30, 51/40

## 一、發明名稱：(中文/英文)

使用由混合材料製成之主動層的記憶體元件

MEMORY ELEMENT USING ACTIVE LAYER OF BLENDED  
MATERIALS

## 二、申請人：(共1人)

姓名或名稱：(中文/英文)

史班遜有限公司

SPANSION LLC

代表人：(中文/英文)(簽章) 福瑞特茲 羅曼 E / FRITZ, RAYMOND E.

住居所或營業所地址：(中文/英文)

美國·加州 94088-3453 桑尼威·郵政信箱 3453 號·德吉尼大道 915 號

915 DeGuigne Drive, P.O. Box 3453, Sunnyvale, CA 94088-3453, U.S.A.

國籍：(中文/英文) 美國 / U.S.A.

## 三、發明人：(共5人)

姓名：(中文/英文)

1. 加恩 大衛 / GAUN, DAVID

2. 卡薩 史瓦路浦 / KAZA, SWAROOP

3. 史皮哲 史都特 / SPITZER, STUART

4. 克里格 朱利 / KRIEGER, JURI

5. 金斯伯夫 理察 / KINGSBOROUGH, RICHARD

國籍：(中文/英文)

1. 4. 俄羅斯/RUSSIA 2. 印度/INDIA 3. 5. 美國/U.S.A.

#### 四、聲明事項：

主張專利法第二十二條第二項  第一款或  第二款規定之事實，其事實發生日期為： 年 月 日。

申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號 順序註記】

有主張專利法第二十七條第一項國際優先權：

1. 美國 2005 年 02 月 07 日 11/052,688(主張優先權)

無主張專利法第二十七條第一項國際優先權：

主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

主張專利法第三十條生物材料：

須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

## 五、中文發明摘要：

本發明之記憶體裝置(130)具有第一電極和第二電極(132、140)；被動層(136)，其係介於該第一電極和該第二電極(132、140)之間、位於該第一電極之上、且接觸該第一電極；以及主動層(138)，其係介於該第一電極和該第二電極(132、140)之間、位於該被動層(136)之上、且接觸該被動層(136)和該第二電極(140)，該主動層(138)係用以接受來自該被動層(136)之帶電物種。該主動層(138)係(i)第一聚合物和(ii)第二聚合物之混合料，該第二聚合物用以促進離子輸送、改善介面、並促進該帶電物種於該主動層(138)內之快速且實質上均勻的分佈，亦即避免該帶電物種之區域化注入。此特徵造成記憶體裝置(130)具有改良的穩定性、更可控制的ON-狀態電阻、改良之開關速率(switching speed)、以及較低的程式化電壓。

## 六、英文發明摘要：

The present memory device (130) has first and second electrodes (132, 140), a passive layer (136) between the first and second electrodes (132, 140) and on and in contact with the first electrode (132), and an active layer (138) between the first and second electrodes (132, 140) and on and in contact with the passive layer (136) and second electrode (140), for receiving a charged specie from the passive layer (136). The active layer (138) is a mixture of (i) a first polymer, and (ii) a second polymer for enhancing ion transport, improving the interface and promoting a rapid and substantially uniform distribution of the charged specie in the active layer (138), i.e., preventing a localized injection of the charged species. These features result in a memory device (130) with improved stability, a more controllable ON-state resistance, improved switching speed and a lower programming voltage.

**七、指定代表圖：**

(一)本案指定代表圖為：第(6)圖。

(二)本代表圖之元件符號簡單說明：

130	記憶體元件	132	電極
134	基板	136	被動層
138	主動層	140	電極

**八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：**

本案無代表化學式

## 九、發明說明：

### 【發明所屬之技術領域】

一般而言，本發明係有關於記憶體裝置；更詳而言之，本發明係有關於記憶體元件的製造和設置。

### 【先前技術】

電腦和電子裝置之數量、使用和複雜度係持續地增加。隨著電腦一貫地演變成更為強大，係持續地發展新的和改進的電子裝置(如數位錄音機、錄影機)。此外，數位媒體(如數位音頻、動態影像、影像等)的成長和使用已進一步推進這些裝置的開發。此種成長和開發已大幅地增加電腦及電子裝置所需之儲存及保持的資訊量。

一般而言，資訊係儲存和保持在一個或多個各種類型的儲存裝置中。儲存裝置包含，例如，長期儲存媒體，如硬碟機、光碟機及對應的媒體、數位影碟(DVD)機等。長期儲存媒體(long term storage mediums)典型地以較低的成本儲存大量資訊，但比其他種類的儲存裝置慢。儲存裝置亦包含記憶體裝置，記憶體裝置通常(但非一定)為短期儲存媒體(short term storage mediums)。記憶體裝置基本上比長期儲存媒體快。此種記憶體裝置包含，例如，動態隨機存取記憶體(DRAM)、靜態隨機存取記憶體(SRAM)、雙倍資料速率記憶體(double data rate memory；DDR)、快閃記憶體、唯讀記憶體(ROM)等。記憶體裝置進一步分為揮發性以及非揮發性。揮發性記憶體裝置通常在電源拔除時即失去其資訊，且典型地需要定期的更新週期(refresh cycles)

以保持其資訊。揮發性記憶體包含，例如，隨機存取記憶體(RAM)、DRAM、SRAM 等。非揮發性記憶體則不管是否維持電源至該裝置，皆能保持該記憶體之資訊。非揮發性記憶體包含(但不限定為)ROM、可程式化唯讀記憶體(PROM)、可抹除式可程式化唯讀記憶體(EPROM)、快閃記憶體等。相較於非揮發性記憶體，揮發性記憶體裝置通常係以較低的成本提供較快的操作速度。

記憶體裝置通常包含記憶體單元(memory cell)之陣列。各個記憶體單元可將資訊存取或“讀取”、“寫入”、以及“抹除”。記憶體單元將資訊保持在“斷開(off)”或“導通(on)”的狀態，亦可表示為“0”或“1”。典型地，記憶體裝置係經定址(address)以便檢索(retrieve)特定數目之位元(例如，每位元 8 個記憶體單元)。對於揮發性記憶體裝置而言，必須定期地“更新”該記憶體單元以保持其狀態。此種記憶體裝置通常由執行這些各種功能以及能夠開關與保持該兩種狀態之半導體裝置所製造而成。這些裝置，例如結晶矽裝置，通常以無機固態技術製造而成。一般應用於記憶體裝置之半導體裝置為金屬氧化物半場效電晶體(metal oxide semiconductor field effect transistor; MOSFET)。

可攜帶式電腦以及電子裝置之使用已大幅增加對非揮發性記憶體裝置的需求。數位相機、數位錄音機、個人數位助理等通常設法應用大容量的非揮發性記憶體裝置(例如快閃記憶體、SM 記憶卡(smart media)、CF 記憶卡

(compact flash)等)。

由於對於資訊儲存需求的增加，記憶體裝置的開發者以及製造商不斷地試圖增加記憶體裝置的儲存容量(例如增加每晶粒或每晶片的儲存量)。如郵票大小的矽可含有數千萬的電晶體，各個電晶體只有幾百奈米大。然而，以矽為基礎的裝置正接近其基本的物理尺寸極限。無機固態裝置通常具有複雜的架構，導致高成本以及資料儲存密度的損失。以無機半導體材料為基礎的揮發性記憶體裝置為了保持儲存的資訊，必須不斷地施加電源，因而產生熱以及消耗大量的電源。非揮發性記憶體裝置的資料傳輸速率低、且具有相對高的功率消耗以及高度的複雜度。典型地，此種記憶體單元的製程亦不可靠。

因此，有需要克服以上所述的缺點。

第 1 圖說明一種記憶體元件 30，該元件包含符合這些需求之優點。記憶體元件 30 包含電極 32(例如：銅)、在電極 32 上之硫化銅層 34、在硫化銅層 34 上之主動層 36(例如：聚合物)、以及在主動層 36 上之電極 38(例如：鈦)。首先，假設記憶體元件 30 為未程式化，而為了程式化記憶體元件 30，在電極 38 施加負電壓，同時使電極 32 維持接地，如此則在記憶體元件 30 之順向(forward direction)，從高電位至低電位，施加跨越記憶體元件 30 之電位  $V_{pg}$  (“程式化”電位)(見第 2 圖，記憶體元件之電流對跨越該記憶體元件 30 所施加之電位作圖)。該電位  $V_{pg}$  足以造成將帶電物種(於此例中，銅離子)自層 34 吸引朝向電極 38 而進

入主動層 36(A)，造成主動層 36(以及整個記憶體元件 30)處於(順向)低電阻或導電狀態。移除此電位(B)之後，在程式化期間進入主動層 36 之離子仍維持在其中，因此主動層 36(以及記憶體元件 30)維持在導電或低電阻狀態。裝置 30 由未程式化狀態切換為已程式化狀態之開關速率，為沿著曲線 A 從點 C 至點 D 所需的時間。

於處於已程式化(導電)狀態之記憶體元件 30 之讀取步驟中，在記憶體元件 30 之順向，從高電位至低電位，施加跨越記憶體元件 30 之電位  $V_r$  (“讀取”電位)。此電位係低於為程式化所施加跨越記憶體元件 30 之電位  $V_{pg}$  (見如上述)。在此情況中，記憶體元件 30 將易於導電，表示記憶體元件 30 係處於其已程式化狀態。

為了抹除該記憶體元件，施加正電壓至電極 38，而同時使電極 32 維持接地，如此則在記憶體元件 30 之反方向(reverse direction)，從高電位至低電位，施加跨越記憶體元件 30 之電位  $V_{er}$  (“抹除”電位)。此電位  $V_{er}$  足以造成將銅離子由主動層 36 排斥朝向電極 32 而進入層 34，造成主動層 36(以及整個記憶體元件 30)處於高電阻或大致為非導電狀態。從該記憶體元件 30 移除此電位後仍維持此狀態。

於處於已抹除(大致為非導電)狀態之記憶體元件 30 之讀取步驟中，在記憶體元件 30 之順向，從高電位至低電位，如上所述地再度施加跨越記憶體元件 30 之電位  $V_r$  (“讀取”電位)。由於主動層 36(以及記憶體元件 30)係處於高電阻或大致為非導電狀態，記憶體元件 30 將不會傳

## 附件 1

頁  
28 (23)

導顯著的電流，而表示記憶體元件 30 係處於其已抹除狀態。

雖然上述記憶體元件於操作上係有效的，須知係期望增加整體的操作速率，例如增加開關速率以及提供該記憶體元件更佳之操作穩定性。

因此，所需要的是具有此等改良之操作特性的記憶體元件。

## 【發明內容】

概括而言，本發明之記憶體裝置係包含：第一電極和第二電極；被動層，其係介於該第一電極和該第二電極之間、位於該第一電極之上、且接觸該第一電極；以及主動層，其係介於該第一電極和該第二電極之間、位於該被動層之上、且接觸該被動層和該第二電極，該主動層用以接受來自該被動層之帶電物種，該主動層係包含(i)第一聚合物和(ii)第二聚合物之混合物(mixture)，該第二聚合物用以實質上地促進該帶電物種於該主動層內的均勻分佈。於混合物(blend)中包括該第二聚合物，係提供高遷移度通道(high mobility channel)以促使離子輸送進入該主動層。此外，由於該混合物中之兩種材料皆為聚合物，於兩者之間係提供有改良的介面及/或接面(junction)。此舉係使該帶電物種進入該主動層之分佈更加均勻，亦即避免該帶電物種之區域化注入(localized injection)。此等特徵造成記憶體元件具有改良的穩定性、更可控制的 ON-狀態電阻、改良之開關速率、以及較低的程式化電壓。

搭配圖式考慮以下之詳細說明之後，將可更了解本發明。為使本領域之技術人士易於了解，以下說明中，僅以實施本發明之最佳實施方式加以說明和顯示本發明之實施形態。須知，本發明可具有其他實施形態，且其諸多細節可進行修飾，並具有許多明顯的態樣，皆不脫離本發明之範疇。因此，圖式以及詳細說明將為例示性而非限制性。

### 【實施方式】

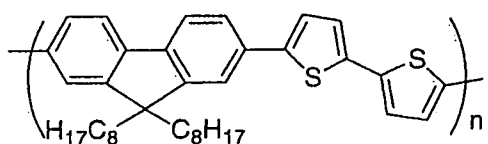
以下，將以本發明之具體實施形態，說明本發明人所思及之實施本發明之最佳實施形態。

第3至6圖係說明用以製造根據本發明之記憶體元件130(本文中亦有稱為“記憶體裝置130”)之第一實施形態之過程。首先，將電極132形成於基板134上(第3圖)。電極132可經由適當的技術加以形成，例如：物理汽相沉積(亦即PVD，例如：真空熱蒸鍍、電子束沉積或濺鍍)、離子鍍、化學汽相沉積(亦即CVD，例如：金屬有機CVD，或稱為MOCVD)、電漿增強式CVD(亦即PECVD)等。於本實施形態中，電極132為銅，但須知電極132可由下列諸多材料之任一者所形成，包含：鋁、銀、鈣、鉻、鈷、銅、鎳、金、鎂、錳、鉬、銻、鐵、鎳、鈮、鉑、鈦、鈟、鈱、銀、鉍、鈦、鎢、鋅、金屬氧化物、多晶矽、經摻雜之非晶矽、金屬矽化物、金屬碳化物、金屬氮化物、鎂-銀合金、鎳-鈷合金、鐵-鎳-鈷合金、鐵-鎳合金、鎳-銅合金、鎳-鉻合金。接著，將被動層136(於本實施形態中為硫化銅)形成於電極132上、且接觸電極132(第4圖)。可用於組成被動

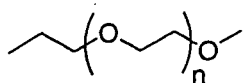
層 136 之其他導電促進化合物 (conductivity facilitating compounds) 之例包含一種或多種之硫化銅 ( $\text{Cu}_x\text{S}$ ,  $1 \leq x \leq 2$ )、富銅硫化銅 (copper rich copper sulfide)、氧化銅 ( $\text{CuO}$ 、 $\text{Cu}_2\text{O}$ )、硒化銅 ( $\text{Cu}_2\text{Se}$ 、 $\text{CuSe}$ )、碲化銅 ( $\text{Cu}_2\text{Te}$ 、 $\text{CuTe}$ )、氧化錳 ( $\text{MnO}_2$ )、二氧化鈦 ( $\text{TiO}_2$ )、氧化銦 ( $\text{In}_3\text{O}_4$ )、硫化銀 ( $\text{Ag}_2\text{S}$ 、 $\text{AgS}$ )、硫化金 ( $\text{Au}_2\text{S}$ 、 $\text{AuS}$ )、氧化鐵 ( $\text{Fe}_3\text{O}_4$ )、砷化鈷 ( $\text{CoAs}_2$ )、砷化鎳 ( $\text{NiAs}$ )、及其混合料等。導電促進化合物不需要在電場強度之作用下分離成離子，但是離子可移動穿越其間。該被動層可包含二層或更多層之次被動層 (subpassive layer)，每個次層包含相同、不同、或多重之促進導電化合物。

然後，以塗敷層或膜的形式，將主動層 138 提供於被動層 136 上、且接觸被動層 136 (第 5 圖)。主動層 138 為二種或更多種聚合物之混合料或混合物，其中之一為經摻雜之活性聚合物 (active polymer)，另一為促進於主動層 138 內之帶電物種的輸送 (例如離子輸送) 之聚合物。於本實施形態中，該經摻雜之聚合物為 F8T2 (poly[(9,9-dioctylfluorenyl-2,7-diyl)-co-alt-5,5'-(2,2'-bithiophene)])，及該帶電物種輸送聚合物為聚環氧乙烷 (poly(ethyleneoxide)、PEO)。

F8T2 之化學式為：



聚環氧乙烷(PEO)之化學式為：



F8T2 和 PEO 可具有較佳之混合比例範圍，由 10% F8T2/90% PEO 至 90% F8T2/10% PEO；更佳之範圍係由 20% F8T2/80% PEO 至 30% F8T2/70% PEO。

F8T2-PEO 層 138 之厚度範圍可由如 50 Å(埃)至 1 mm(毫米)，較佳之厚度範圍係由 50 Å 至 1000 Å，且可以旋塗(spin-on)技術加以沉積。於本具體實施形態中，係以如 1.5 重量% 之聚合物溶於鄰-二甲苯之方式，將 F8T2-PEO 混合料旋塗於層 136(750 rpm/s 之轉速上升速率，於 1500 rpm 進行旋塗 30 秒)，以提供約 700 Å 厚度之層 36。之後，將該膜於 90°C 真空狀態下乾燥 30 分鐘。依需要可於此時以 250 至 350°C 之溫度進行固化步驟。此旋塗步驟係提供均勻地覆蓋位於其下之元件。

之後，將電極 140 形成於主動層 138 上、且接觸主動層 138(第 6 圖)，達期望之厚度。於本實施形態中，電極 140 為鈦，但須知電極 140 可以如電極 132 所列舉之任何材料加以形成，且可以如電極 132 所列舉之任何技術加以形成。

第 6 圖係說明所製造之記憶體元件 130，其中層 136 和 138 係形成於電極 132 和 140 之間。記憶體元件 130 之程式化、讀取、和抹除係大致如記憶體元件 30 所述。在主動層 138 內包含促進離子輸送之 PEO，係促進帶電物種實

質上均勻地且平均地分佈及遍佈於該主動層內。相較於習知裝置，藉此將改善本記憶體裝置之操作。將 PEO 作為該混合物之一部份，係促進並提供高遷移度通道，以促使離子輸送進入該主動層。由於混合物中兩種材料皆為聚合物，於兩者之間係提供有改良的介面及/或接面，促進並提供帶電物種實質上均勻地且平均地分佈及遍佈於該主動層內，亦即避免帶電物種之區域化注入。此特徵造成記憶體元件具有更可控制的 ON-狀態電阻、改良之開關速率、以及較低的程式化電壓。相較於前述裝置(第 2 圖)，此特徵造成記憶體元件具有改良之開關速率，亦即減少由第 7 圖之曲線  $A_1$  之點  $C_1$  至點  $D_1$  所花費的時間；更可控制的 ON-狀態電阻(第 7 圖  $B_1$ )；以及較低的程式化電壓(第 7 圖  $V_{pg1}$ )。

此外，於先前技術之裝置中，已知經過一段時間之後以及於特定條件下，已程式化之記憶體元件 30 之低電阻或導電狀態可能會歷經非期望之縮減。亦即，於特定條件下，在程式化期間被拉進主動層 36 之銅離子，替代以穩定的狀態維持於主動層 36 內以保持記憶體元件 30 之已程式化狀態，不於其中維持足以提供期望之導電或低電阻狀態之程度。例如，於含有許多此種記憶體元件之陣列中，作為陣列之一部份之記憶體元件 30，當在其反方向從高電位至低電位，將抹除電位  $V_{er}$  施加於所選定之記憶體元件時，通常位於陣列中之其他記憶體元件(非所選定的)亦在其反方向從高電位至低電位施加電位。雖然該電位之強度不足以將非所選定之已程式化記憶體元件抹除，但施加該電位

可造成將某些銅離子自主動層 36 排斥朝向電極 32 並進入非所選定之記憶體元件之超離子層 34。在經過重複地施加此等電位之後，由主動層 36 朝向電極 32 進行非期望之移動且進入超離子層 34 之銅離子數目可到達某種程度，使該非所選定之記憶體元件之導電度非期望地降低而偏離其已程式化狀態。又例如，經過一段時間後，內部電場的影響下(未施加外部電位)，位於已程式化之記憶體元件之主動層內的銅離子，可能會由該主動層飄移(drift)進入該被動層，再次非期望地減少已程式化之記憶體元件之導電度。

於這些方法中，由於在主動層 138 內包含促進離子輸送之 PEO，促進帶電物種實質上均勻地且平均地分佈及遍佈於該主動層內，該記憶體裝置係以較穩定的方式保持其已程式化狀態，克服上述的問題，例如於特定條件下，金屬離子(例如銅離子)非期望地由該主動層移出，因而非期望地減少該主動層之導電度，並造成性能的劣化或故障。

須知，其他促進離子輸送之聚合物材料，依所期望之記憶體元件 130 之操作特性而異，可以使用例如：聚甲基丙烯酸甲酯 (PMMA)、聚乙二醇 (PEG、poly(ethylene glycol))、聚己內酯 (poly(caprolactone)) 和聚環氧丙烷 (poly(propyleneoxide)、PPO) 等加以取代或添加至 PEO，並將所選擇者加以任意組合。

以上關於本發明之實施形態之說明，係用於說明及敘述之目的。其並非意指全面地涵蓋或限制本發明於所揭示之特定型式。鑒於上述揭示之教導，其他的修飾或變更為

可能的。

實施形態之選擇與敘述，係提供本發明原則之最佳說明，而其實際應用，因而使本領域技術人士得以不同之實施形態和不同的修飾使用本發明，以適合特定的應用。當根據公平地、合法地以及合理地獲得而理解本發明時，所有此等修飾和變化均視為涵蓋於如同下列之申請專利範圍所述之本發明之範疇和精神之內。

### 【圖式簡單說明】

本發明新穎的特徵係如於以下申請專利範圍。然而，發明本身、以及該應用的較佳方式、以及其進一步的目的和優點，將藉由參考以上的詳細說明及所附圖式而有最佳的理解，其中：

第 1 圖為上述記憶體元件之截面圖；

第 2 圖係說明第 1 圖之記憶體裝置之操作特性之電流相對於電壓之圖；

第 3 至 6 圖係說明本發明記憶體元件之實施形態之製造步驟之截面圖；以及

第 7 圖係說明第 6 圖之記憶體裝置之操作特性之電流相對於電壓之圖。

### 【主要元件符號說明】

30、130	記憶體元件	32、38、132、140	電極
34	硫化銅層	36、138	主動層
134	基板	136	被動層

## 十、申請專利範圍：

1. 一種記憶體裝置(130)，係包含：  
    第一電極和第二電極(132、140)；  
    被動層(136)，其係介於該第一電極和該第二電極(132、140)之間；以及  
    主動層(138)，其係介於該第一電極和該第二電極(132、140)之間，該主動層(138)用以接受來自該被動層(136)之帶電物種，該主動層(138)係包含用以促進該帶電物種於該主動層(138)內的實質上均勻分佈之材料。
2. 如申請專利範圍第 1 項之記憶體裝置(130)，其中，該主動層(138)包含(i)第一材料和(ii)第二材料，該第二材料促進該帶電物種於該主動層(138)內的實質上均勻分佈。
3. 如申請專利範圍第 2 項之記憶體裝置(130)，其中，該主動層(138)包含該第一材料和該第二材料之混合料。
4. 如申請專利範圍第 3 項之記憶體裝置(130)，其中，該第二材料包含聚合物。
5. 如申請專利範圍第 4 項之記憶體裝置(130)，其中，該第一材料包含聚合物。
6. 如申請專利範圍第 4 項之記憶體裝置(130)，其中，該第二材料包含選自由聚(環氧乙烷)、聚(甲基丙烯酸甲酯)、聚(乙二醇)、聚(己內酯)和聚(環氧丙烷)所組成之群之至少一種材料。
7. 如申請專利範圍第 6 項之記憶體裝置(130)，其中，該

第一材料包含聚[(9,9-二辛基芴基-2,7-二基)-共軛-5,5'-(2,2'二噻吩)](F8T2)。

8. 一種記憶體裝置(130)，係包含：

第一電極和第二電極(132、140)；

被動層(136)，其係介於該第一電極和該第二電極(132、140)之間；以及

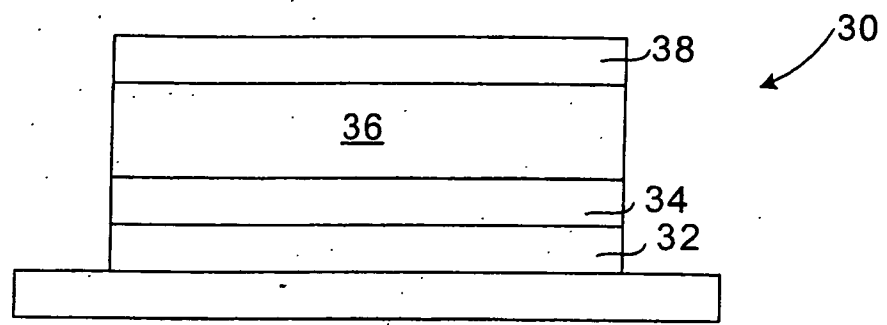
主動層(138)，其係介於該第一電極和該第二電極(132、140)之間且包含實質上均勻分佈於該主動層(138)內的帶電物種。

9. 如申請專利範圍第 8 項之記憶體裝置(130)，其中，該主動層(138)包含第一材料和第二材料之混合物。

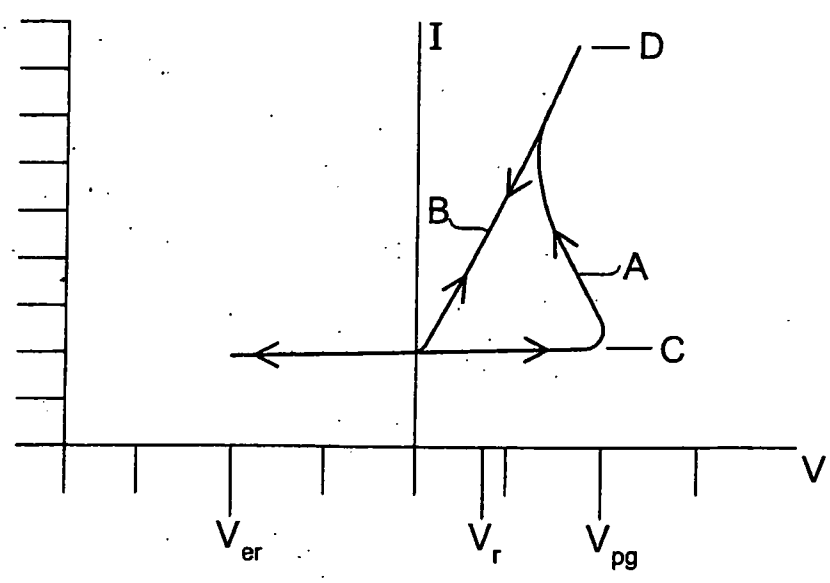
10. 如申請專利範圍第 9 項之記憶體裝置(130)，其中，該第一材料和該第二材料之至少一者包含聚合物。

11. 如申請專利範圍第 10 項之記憶體裝置(130)，其中，該聚合物包含選自由聚(環氧乙烷)、聚(甲基丙烯酸甲酯)、聚(乙二醇)、聚(己內酯)和聚(環氧丙烷)所組成之群之至少一種材料。

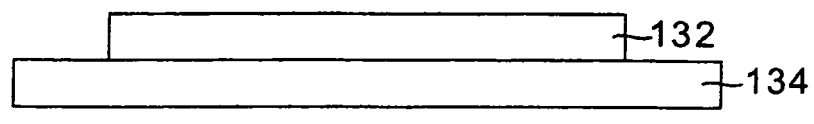
12. 如申請專利範圍第 11 項之記憶體裝置(130)，其中，該主動層係包含聚[(9,9-二辛基芴基-2,7-二基)-共軛-5,5'-(2,2'二噻吩)](F8T2)。



第1圖(先前技術)



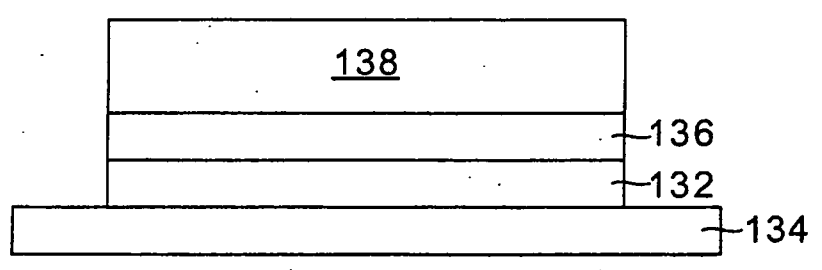
第2圖(先前技術)



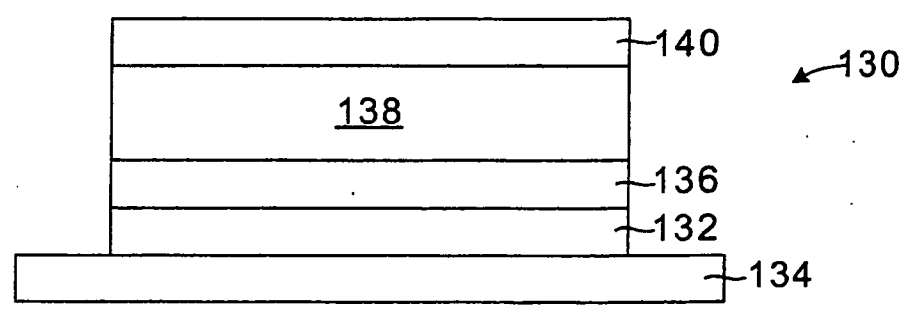
第3圖



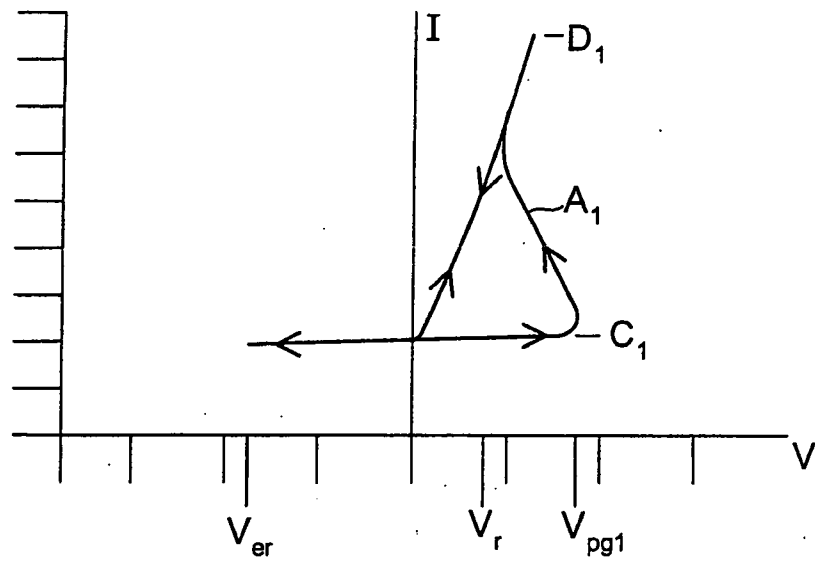
第4圖



第5圖



第6圖



第7圖