

【公報種別】特許法第 17 条の 2 の規定による補正の掲載
 【部門区分】第 6 部門第 3 区分
 【発行日】平成24年10月25日 (2012.10.25)

【公表番号】特表2012-504263(P2012-504263A)
 【公表日】平成24年2月16日 (2012.2.16)
 【年通号数】公開・登録公報2012-007
 【出願番号】特願2011-528145(P2011-528145)
 【国際特許分類】

G 0 6 F 12/00 (2006.01)

G 1 1 C 16/02 (2006.01)

G 1 1 C 11/413 (2006.01)

【 F I 】

G 0 6 F 12/00 5 6 4 A

G 1 1 C 17/00 6 0 1 D

G 0 6 F 12/00 5 5 0 K

G 1 1 C 11/34 J

【手続補正書】

【提出日】平成24年9月4日 (2012.9.4)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

複数のシリアル接続のスレーブデバイスのうちのあるスレーブデバイスにおける方法であって、

クロックデューティサイクルに対する調整を指定するマスタデバイスからのコマンドを受け取るステップと、

入力クロック信号を受け取るステップと、

前記コマンドにより、前記入力クロック信号から、デューティサイクル訂正されたクロック信号を生成するステップと、

前記デューティサイクル訂正されたクロック信号を出力するステップとを含む方法。

【請求項 2】

前記スレーブデバイスはメモリデバイスであり、前記マスタデバイスはメモリコントローラである、請求項1に記載の方法。

【請求項 3】

前記スレーブデバイスによって出力される少なくとも1つの信号に印加すべき遅延を前記スレーブデバイスがどのように調整すべきかを指定するマスタデバイスからのコマンドを受け取るステップと、

少なくとも1つの入力信号を受け取るステップであって、前記少なくとも1つの入力信号は、少なくとも前記入力クロック信号を有する、ステップと、

前記少なくとも1つの入力信号のそれぞれごとに

前記コマンドにより前記入力信号の遅延されたバージョンを生成するステップと、

前記入力信号の前記遅延されたバージョンを出力するステップであって、前記入力クロック信号の前記遅延されたバージョンは、前記デューティサイクル訂正されたクロック信号の遅延されたバージョンを有する、ステップと

をさらに含む請求項1に記載の方法。

【請求項4】

クロックデューティサイクルに対する調整を指定するマスタデバイスからのコマンドを受け取るステップは、前記コマンドをデューティサイクル訂正コマンドと見なすコマンド識別子を含むコマンドを受け取るステップを含み、前記コマンドは、前記デューティサイクルをどのように調整すべきかを示すデータをさらに含む、請求項1に記載の方法。

【請求項5】

コマンドを受け取るステップは、スレーブデバイスとして働くどのデバイスが、前記コマンドを実行すべきかを示すデバイスアドレスを受け取るステップをさらに含む、請求項4に記載の方法。

【請求項6】

前記コマンドが前記スレーブデバイスのデバイスアドレスに一致するデバイスアドレスを有する場合、前記コマンドにより、前記デューティサイクル訂正されたクロック信号を生成する前記ステップを実行するステップと、

前記コマンドがブロードキャストデバイスアドレスであるデバイスアドレスを有する場合、前記コマンドにより、前記デューティサイクル訂正されたクロック信号を生成する前記ステップを実行するステップと

をさらに含む、請求項5に記載の方法。

【請求項7】

デューティサイクル訂正されたクロック信号を生成するステップは、

a)前記入入力クロック信号から半レートクロック信号を生成するステップと、

b)前記半レートクロック信号を複数の遅延のうちの選択された1つによって遅延させて、遅延された半レートクロック信号を生成するステップと、

c)前記半レートクロック信号を前記遅延された半レートクロック信号と結合して、前記デューティサイクル訂正されたクロック信号を生成するステップと

を含む、請求項4に記載の方法。

【請求項8】

前記デューティサイクル訂正をどのように調整すべきかを示す前記データは、前記複数の遅延のうちの前記選択された1つの指示を含む、請求項7に記載の方法。

【請求項9】

マスタデバイスと、少なくとも第1のスレーブデバイスおよび最下位のスレーブデバイスを含む複数のシリアル接続のスレーブデバイスとを備えるメモリシステムにおける方法であって、

前記マスタデバイスにおいて、

a)前記第1のスレーブデバイスの入力クロック信号として機能する第1のクロック信号を出力するステップと、

b)前記最下位のスレーブデバイスの出力クロック信号である第2のクロック信号を受け取るステップと、

c)前記第2のクロック信号のデューティサイクルに応じてデューティサイクル訂正コマンドを生成し、前記デューティサイクル訂正コマンドを出力するステップと、

前記複数のシリアル接続のスレーブデバイスのうちの前記第1のスレーブデバイスにおいて、

a)前記第1のスレーブデバイスの前記入入力クロック信号として、前記マスタデバイスから前記第1のクロック信号を受け取るステップと、

b)前記入力信号から出力クロック信号を生成するステップと、

前記複数のシリアル接続のスレーブデバイスの他のそれぞれのスレーブデバイスにおいて、

a)前記スレーブデバイスの入力クロック信号として、先行するスレーブデバイスの前記出力クロック信号を受け取るステップと、

b)前記入入力クロック信号から出力クロック信号を生成するステップと、

スレーブデバイスとして働く前記複数のシリアル接続のデバイスのうちの少なくとも1つのそれぞれにおいて、

- a) 前記デューティサイクル訂正コマンドを受け取るステップと、
 - b) 前記デューティサイクル訂正コマンドにより、前記入力クロック信号からデューティサイクル訂正されたクロック信号を生成するステップと、
 - c) 前記スレーブデバイスの前記出力クロック信号として、前記デューティサイクル訂正されたクロック信号を出力するステップと
- を含む方法。

【請求項 10】

それぞれのスレーブデバイスはメモリデバイスであり、前記マスタデバイスはメモリコントローラである、請求項9に記載の方法。

【請求項 11】

前記マスタデバイスにおいて、

- a) 少なくとも1つの出力信号を出力するステップであって、前記少なくとも1つの出力信号は、前記第1のスレーブデバイスの入力クロック信号として機能する前記第1のクロック信号を含む、ステップと、
 - b) 前記最下位のスレーブデバイスの出力クロック信号である第2のクロック信号を受け取るステップと、
 - c) 前記第1のクロック信号および前記第2のクロック信号の間の位相オフセットの量を確定するステップと、
 - d) 前記第1のクロック信号および前記第2のクロック信号の間の前記位相オフセットに応じて出力遅延調整コマンドを生成し、前記出力遅延調整コマンドを出力するステップと
- をさらに含む、請求項9または10に記載の方法。

【請求項 12】

前記第2のクロック信号のデューティサイクルに応じてデューティサイクル訂正コマンドを生成し、前記デューティサイクル訂正コマンドを出力するステップは、前記複数のシリアル接続のスレーブデバイスのうちのいずれかが指定された1つによって実行するためのデューティサイクル訂正コマンドを生成するステップを含む、請求項9または10に記載の方法。

【請求項 13】

前記第2のクロック信号のデューティサイクルに応じてデューティサイクル訂正コマンドを生成し、前記デューティサイクル訂正コマンドを出力するステップは、前記複数のシリアル接続のスレーブデバイスのすべてによって実行するためのデューティサイクル訂正コマンドを生成するステップを含む、請求項12に記載の方法。

【請求項 14】

前記デューティサイクル訂正コマンドを受け取るステップは、前記コマンドをデューティサイクル訂正コマンドと見なすコマンド識別子を含み、かつ前記デューティサイクルをどのように調整すべきかを示すデータを含むコマンドを受け取るステップを含む、請求項9に記載の方法。

【請求項 15】

デューティサイクル訂正されたクロック信号を生成するステップは、

- a) 前記入力クロック信号から半レートクロック信号を生成するステップと、
 - b) 前記半レートクロック信号を複数の遅延のうちの選択された1つによって遅延させて、遅延された半レートクロック信号を生成するステップと、
 - c) 前記半レートクロック信号を前記遅延された半レートクロック信号と結合して、前記デューティサイクル訂正されたクロック信号を生成するステップと
- を含む、請求項14に記載の方法。

【請求項 16】

前記デューティサイクル訂正をどのように調整すべきかを示す前記データは、前記複数の遅延のうちの前記選択された1つの指示を含む、請求項15に記載の方法。

【請求項 17】

複数のシリアル接続のスレーブデバイスを備える構成で使用するためのスレーブデバイスであって、

デューティサイクルに対する調整を指定するマスタデバイスからのコマンドを受け取るためのコマンド入力と、

入力クロック信号を受け取るためのクロック入力と、

前記制御コマンドにより、クロック入力からデューティサイクル訂正されたクロック信号を生成するためのデューティサイクル訂正回路と、

前記デューティサイクル訂正されたクロック信号を出力するためのクロック出力とを備えるスレーブデバイス。

【請求項 18】

前記スレーブデバイスはメモリデバイスである、請求項17に記載のスレーブデバイス。

【請求項 19】

前記コマンド入力はまた、出力遅延に対する調整を指定する前記マスタデバイスからのコマンドを受け取るためのものであり、

前記スレーブデバイスは、前記コマンドにより、前記デューティサイクル訂正されたクロック信号から、遅延されたクロック信号を生成するための出力遅延調整回路をさらに備え、

前記デューティサイクル訂正されたクロック信号を出力するための前記クロック出力は、前記遅延されたクロック信号を出力する、請求項17または18に記載のスレーブデバイス。

【請求項 20】

前記コマンドを処理するコマンド処理回路をさらに備え、

前記コマンドは、

前記コマンドをデューティサイクル訂正コマンドと見なすコマンド識別子と、

前記デューティサイクルをどのように調整すべきかを示すデータと

を含む、

請求項17または18に記載のスレーブデバイス。

【請求項 21】

デバイスアドレスレジスタをさらに備え、

前記コマンドは、どのスレーブデバイスが前記コマンドを実行すべきかを示すデバイスアドレスをさらに含み、前記スレーブデバイスは、前記デバイスアドレスが前記デバイスアドレスレジスタのコンテンツに一致する場合、前記コマンドを実行するように構成されている、

請求項20に記載のスレーブデバイス。

【請求項 22】

前記デューティサイクル訂正回路は、

a) 前記入力クロック信号から半レートクロック信号を生成するクロック分周器回路と、

b) 前記半レートクロック信号を複数の遅延のうちの選択された1つによって遅延させて、遅延された半レートクロック信号を生成する遅延回路と、

c) 前記半レートクロック信号を前記遅延された半レートクロック信号と結合して、前記デューティサイクル訂正されたクロック信号を生成する結合器と

を備える、請求項17から21のいずれか一項に記載のスレーブデバイス。

【請求項 23】

前記遅延回路は、 $M \geq 2$ のM個のユニット遅延要素を備え、前記デューティサイクル訂正回路は、

前記半レートクロック信号を遅延させて、前記遅延された半レートクロック信号を生成する際に、前記ユニット遅延要素のうちの何個がアクティブであるべきかの選択に、 $N \geq 1$ のN個の入力線上で受け取られた信号をデコードするN対Mデコーダを

さらに備える、請求項22に記載のスレーブデバイス。

【請求項 24】

少なくとも第1のスレーブデバイスおよび最下位のスレーブデバイスを含む請求項17に記載のスレーブデバイスとして働く複数のシリアル接続のデバイスと、

前記第1のスレーブデバイスおよび前記最下位のスレーブデバイスに接続されているマスタデバイスであって、

前記第1のスレーブデバイスの入力クロック信号として機能する第1のクロック信号を出力するように構成されている、マスタデバイスと、

前記最下位のスレーブデバイスの出力クロック信号である第2のクロック信号を受け取るためのクロック入力と、

前記第2のクロック信号のデューティサイクルを確定するデューティ検出器と、

前記第2のクロック信号の前記デューティサイクルに応じて、クロックデューティサイクルに対する調整を指定するデューティサイクル訂正コマンドを生成するコマンドジェネレータと

を備えるシステムであって、

スレーブデバイスとして働く前記複数のシリアル接続のデバイスの前記第1のスレーブデバイスは、

a) 前記第1のスレーブデバイスの前記入力クロック信号として、前記マスタデバイスから前記第1のクロック信号を受け取り、

b) 前記入力クロック信号から出力クロック信号を生成し、

スレーブデバイスとして働く前記複数のシリアル接続のデバイスの他のそれぞれのスレーブデバイスは、

a) 前記スレーブデバイスの入力クロック信号として、先行するスレーブデバイスの前記出力クロック信号を受け取り、

b) 前記入力クロック信号から出力クロック信号を生成し、

前記複数のシリアル接続のスレーブデバイスのうちの少なくとも1つは、

a) 前記デューティサイクル訂正コマンドを受け取り、

b) 前記制御コマンドにより、デューティサイクル訂正されたクロック信号を生成し、

c) 前記スレーブデバイスの前記出力クロック信号として、前記デューティサイクル訂正されたクロック信号を出力する、

システム。

【請求項 25】

前記システムはメモリシステムであり、それぞれのスレーブデバイスはメモリデバイスであり、前記マスタデバイスはメモリコントローラである、請求項24に記載のシステム。

【請求項 26】

前記第1のクロック信号および前記第2のクロック信号の間の位相オフセットの量を確定する位相検出器をさらに備え、

前記コマンドジェネレータはまた、位相オフセットの前記量に応じて、出力遅延調整コマンドを生成し、

前記複数のシリアル接続のスレーブデバイスのうちの前記第1のスレーブデバイスは、

a) 前記第1のスレーブデバイスの前記入力クロック信号として、前記マスタデバイスから前記第1のクロック信号を受け取り、

b) 前記入力クロック信号から出力クロック信号を生成し、

前記複数のシリアル接続のスレーブデバイスの他のそれぞれのスレーブデバイスは、

a) 前記スレーブデバイスの入力クロック信号として、先行するスレーブデバイスの前記出力クロック信号を受け取り、

b) 前記入力クロック信号から出力クロック信号を生成し、

前記複数のシリアル接続のスレーブデバイスのうちの少なくとも1つは、

a) 前記出力遅延調整コマンドを受け取り、

b) 前記制御コマンドにより、前記デバイスの前記入力クロック信号を遅延させることによって、前記デバイスの前記出力クロック信号を生成する、

請求項24または25に記載のメモリシステム。

【請求項 27】

前記コマンドジェネレータは、前記第2のクロック信号のデューティサイクルに応じて、デューティサイクル訂正コマンドを生成し、スレーブデバイスとして働く前記複数のシリアル接続のデバイスの指定された1つによって実行するためのデューティサイクル訂正コマンドを生成することによって、前記デューティサイクル訂正コマンドを出力するように構成されている、請求項24または25に記載のメモリシステム。

【請求項 28】

前記コマンドジェネレータは、前記第2のクロック信号のデューティサイクルに応じて、デューティサイクル訂正コマンドを生成し、スレーブデバイスとして働く前記複数のシリアル接続のデバイスのすべてによって実行するためのデューティサイクル訂正コマンドを生成することによって、前記デューティサイクル訂正コマンドを出力するように構成されている、請求項24または25に記載のメモリシステム。

【請求項 29】

前記デューティサイクル訂正コマンドを受け取ることは、前記コマンドをデューティサイクル訂正コマンドと見なすコマンド識別子を含み、かつ前記デューティサイクルをどのように調整すべきかを示すデータを含むコマンドを受け取ることを含む、請求項24から28のいずれか一項に記載のメモリシステム。