

公告本

405246

88年11月18日 修正補充

申請日期	86.12.17
案 號	86119036
類 別	Int. Cl ⁶ H01L ²⁵ /60

A4
C4

(以上各欄由本局填註)

發明專利說明書

405246

一、發明 名稱	中 文	用以產生低觸發電壓 S C R 與齊納二極體襯墊保護之簡單 BICMOS 製程
	英 文	SIMPLE BICMOS PROCESS FOR CREATION OF LOW TRIGGER VOLTAGE SCR AND ZENER DIODE PAD PROTECTION
二、發明 人	姓 名	1. 約翰 D. 沃克 3. 戈爾 W. 米勒 2. 塔得 A. 藍大佐
	國 籍	美 國
三、申請人	住、居所	1. 美國科羅拉多州 80907 科泉, 北洛伊街 1631 號 2. 美國科羅拉多州 80918, 科泉薩非爾路 4920 號 3. 美國科羅拉多州 80906, 科泉貝克維屈路 140 號
	姓 名 (名稱)	LSI 邏輯公司
三、申請人	國 籍	美 國
	住、居所 (事務所)	美國, 加州 95035, 米比達市, 麥卡錫路 1551 號
三、申請人	代 表 人 姓 名	大衛 G. 普舍

裝

訂

線

405246

A6
B6

(由本局填寫)

承辦人代碼：
大類：
IPC分類：

本案已向：

美國(地區) 申請專利，申請日期：1996.12. 案號：08/768,905 ☒有 ☐無主張優先權

有關微生物已寄存於：

，寄存日期：

，寄存號碼：

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

經濟部中央標準局員工消費合作社印製

405246

五、發明說明()

前言

致所有可能關係當事人：

聲明，John D. Walker, Todd A. Randazzo，及 Gayle W. Miller，係美國公民，分別服務於 Colorado Springs, Co.；Colorado Springs, Co.；Colorado Springs, Co.；已發明一特定之新且有用之用以產生低觸發電壓矽控整流器與齊納二極體襯墊保護之簡單 BICMOS 改善製程，其後我們公佈一完全，清楚且確切之描述：

該發明之背景

1.技術領域

該發明係通常關於積體電路且尤指用於積體電路之改善保護裝置。更特別地，本發明係關於一用於積體電路之製造靜電放電及過電壓保護裝置之方法。

1.相關工藝之描述

靜電放電(ESD)現象係通常由高電壓(典型地，數千伏)，中電流(數個安培)且短持續時間(約 100 nanoseconds 的數量級)之脈衝所導致，其放電由許多種來源所產生，例如人體，機器所產生之電場以及其他。

靜電放電效應在積體電路(IC)電子學係一常見問題而且在補償式金屬-氧化物半導體(CMOS)特別地麻煩，其具有具有特別薄之氧化物閘極以及非常短之通道裝置。此種結構典型地可承受數十伏特。一靜電放電脈衝經由補償式金屬-氧化物半導體積體電路傳導，可能導致氧化物破裂以及裝置或連接線燒燬。一靜電放電脈衝亦可能引發在厚場

(請先閱讀背面之注意事項再填寫本頁)

訂

改

405246

五、發明說明 (7)

裝置之一”門上“情況。

靜電放電之問題可藉由在積體電路裝置其上之電路板上加上合適之抗靜電保護，而或多或少地得到減輕。然而該積體電路在電路板構裝製程進行時或之前，仍然對靜電放電非常地敏感。一對靜電放電尋常之感知及對策，例如電接地腕帶之類，降低該積體電路壽命縮短之風險。然而，此充其量地係一部分之解決方法。因此，需要在積體電路本身之內部包括一靜電放電保護電路。

由電壓反射所引發之過電壓脈衝導致電壓遠大於積體電路之操作電壓。此狀況發生於連接 SCSI 匯流排之 SCSI 裝置，其包含其他活動之 SCSI 裝置。在此狀況下，該過電壓脈衝從該匯流排返回該積體電路之 SCSI 裝置。這些脈衝可能損壞積體電路之閘極或裝置。典型地，橫跨該晶片之襯墊加一二極體，以保護該積體電路免於受到過電壓脈衝損壞。然而傳統之二極體結構具有大於 SCSI 所需之電容，當加於積體電路之外時。特別地，小型電腦系統介面(SCSI)裝置只可忍受 1pF 電容負載電容。線路撞擊可能產生電壓增加至兩倍原始電壓之多。

因此，具有一改良之方法及裝置，其可用於同時提供對靜電放電及過電壓之保護，將非常地優越。

發明概論

本發明於具有第一型傳導性之基材提供一半導體保護裝置。該半導體保護裝置包括二垂直雙載子電晶體。一井區域位於具有第二型傳導性之基材之內，其在該井區域之

(請先閱讀背面之注意事項再填寫本頁)

訂

14

五、發明說明 (3)

內具有一傳導性第二型之基底區域。一具有第二型傳導性之第一摻雜區域，以及一具有第一型傳導性之第二摻雜區域位於該井區域之內。具有第二型傳導性之第三摻雜區域，以及具有第一型傳導性之第四摻雜區域位於該基底區域之內。一具有第一型傳導性之摻雜區域位於該基材之內。此摻雜區域連接該第四摻雜區域。

該半導體保護裝置藉由連接該第一摻雜區域與第二摻雜區域至一襯墊，以及藉由該第三摻雜區域連接至一低電壓電源供應，例如 VSS。藉由連接該第四摻雜區域至該襯墊，而非第一及第二摻雜區域，提供過電壓保護。

簡要圖說

本發明之新奇特點在附加之申請專利範圍有說明。然而該發明本身，較佳之使用模式，近一步之目的以及優點，將藉由以下圖示之具體例詳細解說，當與該插圖配合閱讀時，其中：

圖 1 係一示意圖，其顯示在輸入襯墊之一靜電放電保護電路，其襯墊具有一根據本發明製造之矽控整流器；

圖 2 係一示意圖，其顯示在輸入/輸出襯墊之其他靜電放電保護電路，其襯墊具有一根據本發明所製造之矽控整流器；

圖 3 係一 SCSI 開放汲極驅動器之表示圖，其包含一齊納二極體以及一根據本發明製作之矽控整流器；

圖 4A 及 4B 係一矽控整流器之表示圖，其連接以根據本發明提供靜電放電保護；

(請先閱讀背面之注意事項再填寫本頁)

訂

16

五、發明說明(4)

圖 5A 係 BICMOS 矽控整流器之截面示圖，其根據本發明連接圖 4A 之表示圖；

圖 5B 係對應根據本發明之圖 4A，在逆向偏壓下之齊納二極體表示圖；

圖 5C 係顯示一傳統矽控整流器，其以根據本發明之側面 NPN 之崩潰電壓觸發；

圖 5D 係顯示一襯墊之電流電壓特性圖，其襯墊具有圖 4B 根據本發明之平行齊納二極體及矽控整流器；

圖 6A-6D 係顯示根據本發明描述之製程，構成一 BICMOS 矽控整流器及齊納二極體之連接；

圖 7A 係根據本發明之一矽控整流器之射極-基極二極體導通狀態電阻值表示圖；

圖 7B 係根據本發明之一矽控整流器之射極-基極二極體崩潰電壓表示圖；

圖 7C 係根據本發明之一矽控整流器之射極-基極二極體之推測崩潰電壓表示圖；以及

圖 8 係比較根據本發明之襯墊與不同保護裝置之測試結果表格。

細部之描述

以下形容之製程步驟及結構不足以形成一製造積體電路之全部製程流程。本發明可與該工藝目前所使用之積體電路構成技術配合實踐，且僅包括足以了解本發明之共通製程步驟。該插圖，其顯示進行構成時積體電路之組件截面及配置，未按比例繪製，但繪製足以顯示本發明之重要

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明(5)

特點。

本發明將參照一金氧半導體製程作描述。然而，熟知該工藝之尋常製程者將了解選擇不同型之摻雜以及調整其濃度使本發明應用於 P 型金氧半導體，N 型金氧半導體，以及易因靜電放電導致鎖死或損壞之製程。

一典型補償式金屬-氧化物半導體裝置具有一 N 型或 P 型摻雜之井，其由場氧化物分隔。在其中一 N 型井及 P 型井之源極與汲極區域形成。雙載子裝置亦可形成。寄生之 PnPn 區域存在於整個電路。若一靜電放電脈衝注入一電壓尖峰於該電路，該脈衝可能導致該電路損壞，其通常藉由超越該閘極之崩潰電壓。

根據本發明，提供一具有使用作一低觸發電壓矽控整流器(SCR)與一過電壓保護裝置之保護裝置。使用作矽控整流器，本發明之結構保護輸入及輸出電壓免受靜電放電脈衝侵害。本發明描述一低崩潰齊納二極體。該齊納二極體作一垂直 NPN 觸發裝置之用。該垂直 NPN 觸發裝置取代傳統之側面 NPN 厚場裝置。

該齊納裝置亦可配置一傳統矽控整流器以保護 SCSI 襯墊免受過電壓情況損壞，同時用作靜電放電保護。該傳統矽控整流器係由一側面 NPN 厚場裝置觸發。

過去，價昂且保守之二極體附加至電路板上之晶片以供作過電壓保護之用。本發明描述之二極體係提供一較不價昂之替代。此外，該形容之二極體具有 0.5pF 之電容。該二極體亦可與該製程結合以爲類比函數提供一低性能，

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明 (6)

垂直之 NPN 雙極接合電晶體裝置。

該垂直 NP 齊納二極體，其可用於觸發矽控整流器或作為過電壓保護之疏導，崩潰電壓藉由該硼基底佈植之佈植狀況以及後續之熱處理製程步驟得到設定。

現在參考該圖且尤其參考圖 1，一示意圖顯示一靜電放電保護電路，其具有根據本發明構成之矽控整流器。一輸入襯墊 10 經由一電阻 12 及 14 連接一輸入信號線 16，其連接其他在積體電路上之電路。一矽控整流器 20 提供一獨立傳導路徑 22 至 VSS。電阻 12 及 14 限制到該信號線 16 之電流，其亦提供矽控整流器 20 啟動時間並且紓解至 VSS 之靜電放電脈衝。在該描述之範例中，電阻 12 可具有 10 Ω 之電阻值，而電阻 14 可具有 150 Ω 至 200 Ω 之電阻值。P 型通道金屬-氧化物半導體電晶體 24 及 N 型通道金屬-氧化物半導體電晶體 25 供作信號線 16 與 VDD 及 VSS 繫結之用。

現在翻至圖 2，另一靜電放電保護電路之示意圖，其描述具有一根據本發明所構成之矽控整流器。許多電路元件與圖 1 所示之電路相同，且在圖 1 及圖 2 之相同元件給予相同之參考編號。

一輸入/輸出襯墊經由一 10 Ω 之多晶矽電阻 42 連接至一輸入/輸出信號線 43，其連接晶片上之其他電路。如圖 1 所示，包含二電晶體，P 型通道金屬-氧化物半導體裝置 24 及 N 型通道金屬-氧化物半導體裝置 25，分別繫結輸入/輸出信號線 43 至 VDD 及 VSS 連接點。矽控整流器 20，當

(請先閱讀背面之注意事項再填寫本頁)

訂

405246

五、發明說明 (7)

其在"開啓"模式，提供一獨立傳導通道 22，從輸入/輸出襯墊 30 至 VSS。電阻 32 限制到信號線 43 之電流，其分別提供矽控整流器 20 開啓之時間，以及紓解該靜電放電脈衝傳至 VSS。

該矽控整流器之觸發裝置係由一垂直 NPN 電晶體所形成，其中硼佈植以選定崩潰電壓，如此設定該觸發裝置及該矽控整流器之觸發電壓。矽控整流器 20 係以一垂直 PNP 裝置連接該觸發裝置而形成。該 NPN 之基極與射極相通。更多關於矽控整流器之資訊可在美國專利申請號 No. 08/129,224，1993 年 9 月 29 日入檔，名稱爲矽控整流器之場佈植，其在此用以配合參考。

在圖 3 中，一 SCSI 開放汲極輸入/輸出裝置 300 示意圖，根據本發明作敘述。需要該開放式汲極之結構以滿足該 SCSI 匯流排之規格需求。

在該敘述範例中，一場觸發之矽控整流器 302(可用任何其他種類之矽控整流器)放置在 VSS 及襯墊 308 之間。該矽控整流器 302 在 8.5V 觸發，其爲切換至大約 2V 之保持狀態之點。矽控整流器 302 預防襯墊 308 免受靜電放電脈衝損壞。

一齊納二極體 304 亦連接 VSS 及該襯墊，以預防其他電壓尖峰。齊納二極體在 5V 開始導通，該逆向二極體崩潰電壓。此預防該過電壓尖峰免於損壞電晶體 306 之中 N 型通道金屬-氧化物半導體閘極之閘極氧化物。

在一靜電放電脈衝作用期間，齊納二極體 304 影響矽

(請先閱讀背面之注意事項再填寫本頁)

訂

後

405246
五、發明說明 (8)

控整流器 302 之觸發機制。若齊納二極體之電阻值過低，則在矽控整流器觸發電壓達到之前，經過齊納二極體之電流將燒毀該齊納裝置。若齊納二極體之電阻值過高，則在電晶體中經過 N 型通道金屬-氧化物半導體閘極之電壓將昇至無法接受之程度。齊納二極體 304 之配置以及齊納崩潰電壓與電阻值之選定，對於確保在該襯墊之靜電放電保護及過電壓保護非常重要。

然而，齊納二極體無法用於充作一垂直 NPN 雙載子裝置以觸發該矽控整流器，在 SCSI 匯流排規格之下作為 SCSI 襯墊之過電壓保護，其需要有很低之通過襯墊 308 之漏電流，在高於該矽控整流器之保持電壓之電壓值之情況下。襯墊 308 將傳導並出現漏電流，而矽控整流器 302 被觸發。襯墊 308 將不斷漏電流，直到其電源下降至該矽控整流器之保持電壓以下。

該 SCSI 規格陳述 I_{ih} (高度輸入電流) 在 2.7V 下應該小於 20 微安培。此規格被定義於美國國家標準機構資訊系統 SCSI-3 Fast-20 以及 SCSI-3 平行介面規格。

圖 4A 係一矽控整流器 150 之示意圖，其根據本發明提供靜電放電保護。在圖 4A 中矽控整流器 150 連接以提供靜電放電保護且在圖 4B 中配置以提供對過電壓之保護。矽控整流器 150 包括一 NPN 電晶體 154 以及一 PNP 電晶體 152，~~且電晶體 156~~ (由基材成形) 連接成一矽控整流器以提供靜電放電保護。該 PNP 電晶體 152 之射極連接該襯墊，而該 PNP 電晶體 152 之集極連接 VSS。在圖 4B 中，

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明(9)

矽控整流器 150 連接該襯墊及 VSS，以提供靜電放電之保護。該齊納二極體 158 連接以提供過電壓之保護。

參考圖 5A 及 5B，根據本發明形容一 BICMOS 矽控整流器及齊納二極體之截面，其連接分別對應示意圖 4A 及 4B。圖 5A 描寫矽控整流器 152 裝置之連接，而圖 5B 顯示齊納二極體 158 之連接。該矽控整流器及齊納結構使用一 BICMOS 製程流程，其中在該補償式金屬-氧化物半導體製程流程進行時，執行具額外阻罩之硼佈植，以製造一雙載子基底結構。該矽控整流器疏通靜電放電脈衝。該齊納結構疏導過電壓脈衝，其高於閘極氧化物厚度所允許，如此預防閘極氧化物損壞。圖 5C 顯示該傳統矽控整流器，其藉由側面 NPN 之崩潰電壓觸發。該崩潰電壓藉由選擇性地以硼摻雜進入該場區域而調整。

在圖 5A 及 5B 中該描述之範例之基材 200 係 P 型基材。一 N 型井 210 摻雜進入基材 200，如圖 5A 之矽控整流器。該基底區域 212 之加阻罩及摻雜可在該補償式金屬-氧化物半導體製程流程之不同步驟裡施行。在該描述之範例中，該基底係一 P 型基底。此外，在摻雜區域 214-222 佈植以製造該矽控整流器裝置。在圖 5A 中，摻雜區域 214 及 218 係 N 型摻雜區域，而摻雜區域 216 及 220 係 P 型摻雜區域，摻雜區域 222 係一 P 型摻雜區域。摻雜區域 214 對應圖 4A 之節點 1，而摻雜區域 216 對應圖 4A 與 4B 之節點 2。這些摻雜區域在該描述之範例係連接該襯墊。摻雜區域 218 對應該節點 3 且連接底部電源供應電壓 VSS。

(請先閱讀背面之注意事項再填寫本頁)

訂

車
林鏞璣校正文
理人

專利代理
林錫璋校正章

在圖 5C 中，一額外阻罩及佈植施行形成該佈植矽控整流器觸發區域 250。該佈植之功用係降低該 N 型至 P 型基材二極體。在該描述之範例中，該摻雜區域係淺薄且濃度高之摻雜區域。高摻雜區域係佈植介於 $1e15$ ION/cm² 及 $6e15$ ION/cm² 之間之區域。一淺薄區域係定義為接合面具有深度介於約 $0.05\mu\text{m}$ 及約 $0.5\mu\text{m}$ 之間。

現在參考圖 5D，根據本發明描述一處於逆向偏壓之齊納二極體之特性曲線圖，其中齊納二極體與一矽控整流器平行。當與一較高觸發電壓之矽控整流器一起使用時，設計該處於逆向偏壓之齊納二極體介於兩狀況之間操作。在該第一狀況，低電阻齊納，如圖 5D 描述，該齊納二極體預防該矽控整流器觸發以及保持該襯墊之電壓在該矽控整流器之觸發電壓之下。在一靜電放電發生時，在齊納二極體中將發生二極體損壞，若電流程度超過該齊納二極體之損壞界限。在第二狀況中，高電阻齊納，該矽控整流器在靜電放電脈衝出現時觸發，在該齊納二極體或該矽控整

(請先閱讀背面之注意事項再填寫本頁)

訂

復

五、發明說明 (11)

流器損壞之前，但該齊納二極體之電阻允許多餘電壓在敏感之閘極氧化物節點上建立，在過電壓保護起作用時導致閘極損壞。結果，該齊納二極體必須設計於低電阻齊納與高電阻齊納情況之間操作，如圖 5D 所示。

結合該基底進入該標準補償式金屬-氧化物半導體流程，用以設定該射極-基極崩潰，用以在一正向方向上提供良好之雙載子特性，以及用以提供一高且提早之電壓，係廣為習知。本發明以矽控整流器提供該 BICMOS 流程之獨特結合，以保護內部電路免於靜電放電脈衝之侵害。該相同之齊納二極體可用於保護與 SCSI 相關之過電壓。

在該描述之範例中，該硼基底加上阻罩且在該補償式金屬-氧化物半導體流程中於一相似點進行佈植。基底區域 212，於該描述之範例之中，藉由佈植硼摻雜劑，在該 N 型射極之最大範圍內。該雙載子裝置之基底寬度大約為 $0.4\mu\text{m}$ 至大約 $0.6\mu\text{m}$ ，使用摻雜添加濃度介於 $1\text{e}14/\text{cm}^2$ 至 $1\text{e}15/\text{cm}^2$ 之間。此佈植添加在約 80KeV 至約 140KeV 之能量，其利用 800°C 之熱活化，持續 30 分鐘，以及 900°C ，持續 2 分鐘。

現在參考圖 6A 至 6D，係剖面圖，其顯示一根據本發明用以構成 BICMOS 矽控整流器以及齊納二極體連接線之製程。在圖 6A 中基材 300 具有 N 型井佈植於其內。場氧化物區域 304 接著界定及成長。在此之後，P 型之基底區域 306 係佈植 N 型井，如圖 6B 所示。接著，N 型摻雜區域 308 以及 P 型摻雜區域 310 佈植 N 型井 302。此外，在

(請先閱讀背面之注意事項再填寫本頁)

訂

後

五、發明說明 (12)

圖 6C 中 N 型摻雜區域 312 以及 P 型摻雜區域 314 佈植 P 型基底 306。在此之後，在圖 6D 之中，進行介電物質 316 之沈積以及蝕刻，接點 318-324 從金屬 I 成形。接點 318 形成一用於該 NPN 電晶體之射極，而接點 322 用於該 NPN 電晶體之基極。接點 324 形成一連接至 P 型基材之接點。

該矽控整流器藉由連接該垂直 PNP 及垂直 NPN 裝置而產生。雖然該補償式金屬-氧化物半導體製程，如在該描述之範例所形容，係以一 P 型基材為基底，一相似之 N 型組成可藉由變更該摻雜類型而建立，在該流程中襯墊及接地連接線亦同。

該垂直 PNP 之該基極(N 型井)及射極(P 型)繫結在一起且連接該輸入襯墊，其需要靜電放電保護。該垂直 NPN 裝置之射極連接低電源供應電壓 VSS 或接地。該垂直 NPN 裝置之基極連接該 PNP 裝置之集極。在描述之範例中，該垂直 NPN 裝置連接該 PNP 裝置之基極。該垂直 NPN 裝置以一 N 型摻雜佈植之射極，一 P 型摻雜之基極，以及一 N 型井之集極所建構。該基底阻罩覆蓋該 N 型射極，足以預防 N 型射極至 N 型井之短路。該基底阻罩亦提供與足夠之空間，令 P 型區域提供一低電阻連接至該基底。此矽控整流器之觸發電壓係由該垂直 NPN 裝置之崩潰電壓所設定，其分別由硼基底佈植之狀況以及隨後之擴散步驟所設定。該垂直 PNP 裝置係由該 P 型摻雜射極，該 N 型井基極，以及 P 型基材之集極。

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明(17)

圖 7A, 7B, 及 7C 係 boxplot 圖。圖 7A 顯示一射極-基極二極體之導通狀態電阻特性。該 X 軸表示基極佈值狀況, 且該 Y 軸表示該電阻。圖 7B 顯示射極-基極二極體在 $1\mu\text{A}$ 下之崩潰電壓。該圖中 X 軸之值係硼佈植狀況, 單位摻雜 cm^{-2} 以及硼佈植能量 KeV 。此圖表顯示該累崩以及齊納崩潰機制之過渡大約在 5 volts, 其由崩潰電壓增加之變異看出。圖 7C 係該外插崩潰電壓之圖, 其為射極-基極二極體從 1mA 及 10mA 至零電流之外插。該圖中 X 軸之值係硼佈植狀況, 單位摻雜 cm^{-2} 以及硼佈植能量 KeV , 該 Y 軸係外插崩潰電壓。

當通過該閘極氧化物之電壓超過十個 MV/cm (8.0V 施加於 $80\text{ \AA}$ 之閘極), 該電壓超過該氧化物之介電強度, 導致破壞性氧化物崩潰。當通過該閘極氧化物之電壓超過七個 MV/cm (8.0V 施加於 $80\text{ \AA}$ 之閘極), 發生一可觀之穿隧電流通過該閘極氧化物。一些載子因此陷入該閘極氧化物。因此, 這些被套牢之電荷導致閘極氧化物之崩潰電壓下降, 且因此對閘極氧化物產生可靠度對時間之決定性之影響。本發明從閘極氧化物結構疏導靜電放電或過電壓應力, 以改善本發明之使用矽控整流器之積體電路裝置之可靠度。在積體電路之操作電壓設計在 3.3 伏特之電源供應下, 一提供靜電放電保護之裝置應有以下特點:

- (1) 在大於最大上部電源供應電壓下觸發(即 VDD);
- (2) 在小於閘極氧化物崩潰電壓約 85% 之電壓下觸發;
- (3) 在高電壓下保持穩定而該矽控整流器處於"開啓"模式;

五、發明說明(14)

- (4)在最大額定溫度下提供穩定度(低漏電流)而該矽控整流器處於”關閉”模式；
- (5)在觸發後切換回低電壓狀態以降低電源消耗；以及
- (6)具有低導通狀態電阻。

尤其用於過電壓保護以及 SCSI 襯墊，該保護裝置應箝制電壓以預防閘極氧化物應力，但不應切換至低電壓狀態。該保護裝置應具有低電容量以預防 SCSI 匯流排性能降低。此外，在本發明中顯示之二極體具有小於 1pF 之電容量且安置於該積體電路之內。

先前之保護機構係使用保守之二極體，其安置於該積體電路之外。該二極體具有高電容量以及高成本。

本發明所提供之一大優點係在無須因為增置二極體至積體電路之外所增加之成本。

然而，該齊納二極體無法充作一垂直 NPN 雙載子裝置，用以觸發該矽控整流器，作為 SCSI 襯墊之過電壓保護，該 SCSI 匯流排規格要求通過該襯墊之漏電流必須電壓高於該矽控整流器之保持電壓。該襯墊將傳導並且洩漏電流而該矽控整流器被觸發。該襯墊將不停止漏電流，直到電源電壓下降至該矽控整流器之保持電壓以下。該保持電壓之定義為該矽控整流器切換至”開啓”狀態之最低電壓。

現在參考圖 8，比較保護裝置之不同配置之測試結果表，其中襯墊係根據本發明描述。襯墊係使用 4,000V 人體模型之標準測試方法。該靜電放電規格係大於 2,000V。選

(請先閱讀背面之注意事項再填寫本頁)

訂

後

五、發明說明 (5)

擇較高之保護以確保符合該規格。襯墊在具有或無場佈植矽控整流器之情況，以及具有或無該齊納二極體之情況下進行測試。測試兩種型式之齊納二極體。由參考圖 8 可看出，使用齊納二極體與矽控整流器平行之配置顯示出最佳之結果。為 SCSI 標準而作用之襯墊為使用該場佈植之矽控整流器及該齊納二極體之襯墊，如圖 4A 以及 4B 所示。根據本發明，該齊納二極體亦保護該襯墊結構免於過電壓應力。

因此，本發明提供一裝置，其具有兼具靜電放電以及過電壓保護所需之特性。在該描述之範例裡，藉由矽控整流器之一佈植觸發裝置提供此類型之保護，用以在閘極崩潰電壓 80% 之下觸發，以及一齊納二極體處於反偏壓，其在約 5V 觸發且具電阻性，而非轉變，在 5V 以上提供過電壓保護。累崩崩潰係必須，其用以在高溫下降低斷流電流洩漏並且預防漏電流引發之觸發。

如前面之描述，該齊納二極體可與該矽控整流器結合，用以提供一切換結構，其大約在 5V 觸發，此觸發點可藉由調整佈植參數在 4.5V 至 10V 之間調整。

同時，該基極佈植可建構一低性能雙極接合電晶體裝置，其可用於傳統 BICMOS 操作而且亦可用於類比裝置之操作。

本發明之具體例之描述已提出，用意在於顯示以及描述，但非意指徹底描述或限制該發明於發表之型式。許多修改以及變更對於熟悉此工藝者非常明顯。該具體例之選擇

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明 (16)

以及描述用意在為本發明之原理及實際應用作最佳之描述，以使其他熟知該工藝者了解本發明以不同之修改用於不同之具體例仍與該特定用法相合。

(請先閱讀背面之注意事項再填寫本頁)

訂

線

四、中文發明摘要(發明之名稱：)

用以產生低觸發電壓 S C R 與齊納
二極體襯墊保護之簡單 B I C M O S 製程

本發明係提供一半導體保護裝置於一基材，其基材具有第一型傳導性。該半導體保護裝置包括二垂直雙載子電晶體。一井區域位於該基材之內，其具有第二型傳導性，位於該井區域之內之一基底區域，其具有第一型傳導性。一具有第二型傳導性之第一摻雜區域以及一具有第一型傳導性第二摻雜區域位於該井區域之內。一具有第二型傳導性之第三摻雜區域以及具有第一型傳導性之第四摻雜區域位於該基底區域之內。一具有第一型傳導性之摻雜區域位於該基材之內。此摻雜區域連接該第四摻雜區域。

英文發明摘要(發明之名稱：SIMPLE BICMOS PROCESS FOR CREATION OF LOW TRIGGER VOLTAGE SCR AND ZENER DIODE PAD PROTECTION)

The present invention provides a semiconductor protection device in a substrate having a first type of conductivity. The semiconductor protection device includes two vertical bipolar transistors. A well region is located within the substrate having a second type of conductivity with a base region within the well region having a first type of conductivity. A first doped region having the second type of conductivity and a second doped region having a first type of conductivity are located within the well region. A third doped region having the second type of conductivity and a fourth doped region having the first type of conductivity are located within the base region. A doped region having a first type of conductivity is located within the substrate. This doped region is connected to the fourth doped region.

405246

六、申請專利範圍

1. 一種半導體保護裝置，其包含：
 - 一具有第一型傳導性之基材；
 - 在該基材中具有第二型傳導性之井區域；
 - 在該井區域內之具有第一傳導性之基底區域；
 - 一具有第二傳導性之第一型摻雜區域，其中該第一摻雜區域在該井區域之內；
 - 一具有第一傳導性之第二型摻雜區域，其中該第二摻雜區域在該井區域之內；
 - 一具有第二型傳導性之第三摻雜區域，其中該第三摻雜區域在該基底區域之內；
 - 一具有第一型傳導性之第四摻雜區域，其中該第四摻雜區域在該基底區域之內；
 - 一具有第一傳導性之第五摻雜區域，其中該第五摻雜區域在該基材之內且第五摻雜區域連接第四摻雜區域。
2. 如申請專利範圍第 1 項之半導體保護裝置，其中該第一摻雜區域，第二摻雜區域，第三摻雜區域，第四摻雜區域，第五摻雜區域係深度淺之高摻雜區域。
3. 如申請專利範圍第 1 項之半導體保護裝置，其中該第一摻雜區域及該第二摻雜區域係連接一襯墊，且該第三摻雜區域連接一低電源電壓以提供靜電放電保護，且該第四摻雜區域連接該襯墊，而非第一摻雜區域及第二摻雜區域，藉以提供過電壓保護。
4. 如申請專利範圍第 1 項之半導體保護裝置，其中該第二摻雜區域形成該第一垂直雙載子電晶體之射極，該井區

(請先閱讀背面之注意事項再填寫本頁)

訂

六、申請專利範圍

域形成該第一垂直雙載子電晶體之基極，該基材形成該第一垂直雙載子電晶體之集極，該井區域形成該第二垂直雙載子電晶體之集極，該基底區域形成該第二垂直雙載子電晶體之基極。

5．如申請專利範圍第 4 項之半導體保護裝置，其中該第一垂直雙載子電晶體係一垂直 PNP 電晶體且該第二垂直雙載子電晶體係一垂直 NPN 電晶體。

6．如申請專利範圍第 1 項之半導體保護裝置，其中該第一型傳導性係 P 型且該第二型傳導性係 N 型。

7．一種積體電路保護裝置，其包括：

一在一襯墊及一低電源電壓之間連接之垂直 NPN 雙載子電晶體，其在 P 型基材內包含一 N 型井區域，該 N 型井區域包含一 P 型基底以及一第一 N 型摻雜區域，該 P 型基底包含一第二 N 型摻雜區域，且該第一 N 型摻雜區域開始連接該襯墊以及連接一低電源電壓之第二 N 型摻雜區域；以及一垂直 PNP 雙載子電晶體，其在該襯墊及該低電源電壓之間連接，包含一位於該 P 型基底內之第一 P 型摻雜區域，一位於該 N 型井區域內之第二 P 型摻雜區域以及位於該 P 型基材內之第三 P 型摻雜區域，該第三 P 型基底連接該第二 P 型基底。

8．一種半導體保護裝置，其包括：

一種第一摻雜區域其具有一第一型傳導性且位於一基材內之井區域之內；

一第一垂直雙載子電晶體，其包括：

(請先閱讀背面之注意事項再填寫本頁)

訂

六、申請專利範圍 405246

包括該基材之一集極，該基材具有第二型傳導性；

一基底，其具有在該基材之井區域，該井區域具有第一型傳導性；

一射極，其具有一第二摻雜區域，具有第二型傳導性，其中該第二摻雜區域位於該井區域之內；

一第二垂直雙載子電晶體，其包括：

一集極，其具有該井區域；

一基底，其具有在該井區域內之基底區域，且具有第二型傳導性；以及

一射極，其具有第一型傳導性之第三摻雜區域，其中該第三摻雜區域位於該基底區域之內；

一第四摻雜區域，其具有第二型傳導性，其中該第四摻雜區域位於該基底區域之內；以及

一第五摻雜區域，其具有第二型傳導性，其中該第四摻雜區域位於該基材之內，且第五摻雜區域連接第四摻雜區域。

9．如申請專利範圍第 8 項之半導體保護裝置，其中該第一摻雜區域以及該第一垂直雙載子電晶體連接該襯墊，且第二垂直雙載子電晶體之射極連接該低電源供應電壓以形成一矽控整流器，供作靜電放電保護之用。

10．如申請專利範圍第 8 項之半導體保護裝置，如申請專利範圍第 1 項之半導體保護裝置，其中該第一摻雜區域，第二摻雜區域，第三摻雜區域，第四摻雜區域，第五摻雜區域係深度淺之高摻雜區域。

(請先閱讀背面之注意事項再填寫本頁)

訂

405246

六、申請專利範圍

1 1 · 如申請專利範圍第 8 項之半導體保護裝置，其中該第二雙載子電晶體之射極連接該襯墊，且該第四摻雜區域連接一電源供應電壓以形成一齊納二極體，供作過電壓尖峰保護之用。

1 2 · 如申請專利範圍第 8 項之半導體保護裝置，其進一步地包括：

一具有第一傳導性之第六摻雜區域，且位於一具有第二傳導性之第二基底區域內，該第二基底區域位於一基材內之一第二井區域之內，該第二井區域具有第一型傳導性：

具有第二型傳導性之一第七摻雜區域，其中該第六摻雜區域位於該第二基底區域之內；以及

具有第二型傳導性之一第八摻雜區域，其中該第二摻雜區域位於該基材之內，且第二摻雜區域連接該第六摻雜區域。

1 3 · 如申請專利範圍第 12 項之半導體保護裝置，其中

該第一摻雜區域以及第一雙載子電晶體之射極連接該襯墊，且該第二雙載子電晶體之射極連接一低電源供應電壓以形成一有效率之矽控整流器，供作靜電放電保護之用；以及

該第六摻雜區域連接該襯墊，且該第七摻雜區域連接該低電源供應電壓以形成一齊納二極體，其中該齊納二極體平行連接該矽控整流器。

1 4 · 如申請專利範圍第 13 項之半導體保護裝置，其中該

(請先閱讀背面之注意事項再填寫本頁)

訂

405246
六、申請專利範圍

矽控整流器具有高於該齊納二極體之逆偏壓崩潰電壓之觸發電壓。

15．一種在一積體電路中之矽控整流器基底靜電放電保護裝置，其包含：

一 PNP 雙載子電晶體，其包含一連接該襯墊之電壓之射極，一連接該襯墊之電壓之基極，一連接該電源供應電壓之集極：

一 NPN 雙載子電晶體，其包含一連接該襯墊電壓之集極，一連接該 PNP 雙載子電晶體之集極之基極，以及一連接該電源供應電壓之射極，其中該 NPN 雙載子電晶體觸發該 PNP 雙載子電晶體。

16．如申請專利範圍第 15 項之靜電放電保護裝置，進一步地包含一電阻元件，其在該 PNP 雙載子電晶體以及該電源供應電壓之間連接。

17．如申請專利範圍第 15 項之靜電放電保護裝置，進一步地包含一第一傳導性之第一區域，其連接該襯墊之電壓，以及一第二傳導性之第二區域，其連接該電源供應電壓，該第一及第二區域形成一齊納二極體，與矽控整流器平行連接。

18．一種提供積體電路保護之方法，其包括：

對位於基材內之一井區域內之一第一摻雜區域進行摻雜，其使用第一型傳導性之摻雜劑；

形成一第一垂直雙載子電晶體，其藉由對該基材以第一型傳導性之摻雜劑進行摻雜而形成一集極，對該井區域

(請先閱讀背面之注意事項再填寫本頁)

訂

六、申請專利範圍

以第一型傳導性之摻雜劑進行摻雜形成一基極，以及對一位於該井區域內之第二摻雜區域以第二型傳導性之摻雜劑進行摻雜而形成一射極；

形成一第二垂直雙載子電晶體，其藉由對位於該井區域內之一基底以第二型傳導性之摻雜劑進行摻雜而形成一基極，以及對位於該基底區域內之一第三摻雜區域以第一型傳導性之摻雜劑進行摻雜而形成一射極，其中該井區域包含該第二垂直雙載子電晶體之集極；

對位於該基底區域內之一第四摻雜區域以第二型傳導性之摻雜劑進行摻雜而形成一與第二垂直雙載子電晶體之基極連接之接觸區域；

對位於該基材內之一第五摻雜區域以第二型傳導性之摻雜劑進行摻雜而形成一與該基材連接之區域；以及

連接該第五摻雜區域與第四摻雜區域。

19．如申請專利範圍第18項之方法，進一步地包含連接該第一摻雜區域以及該第一垂直雙載子電晶體之射極至一襯墊，且連接該第四摻雜區域至一低電源供應電壓，以形成一矽控整流器，供作靜電放電保護之用。

20．如申請專利範圍第18項之方法，進一步地包含連接該第二雙載子電晶體之射極一襯墊，且連接該第四摻雜區域至一低電源供應電壓，以形成一齊納二極體，供作過電壓尖峰保護之用。

21．如申請專利範圍第18項之方法，其進一步地包含：

對位於該基材內之一第二井區域內進行摻雜，其使用

(請先閱讀背面之注意事項再填寫本頁)

訂

405246

六、申請專利範圍

第一型傳導性之摻雜劑；

對位於該第二井區域內之一第二摻雜區域進行摻雜，其使用第二型傳導性之摻雜劑；

對位於第二基底區域內之一第六摻雜區域進行摻雜，其使用第一型傳導性之摻雜劑；

對位於第二基底區域內之一第七摻雜區域進行摻雜，其使用第二型傳導性之摻雜劑；

對位於該基材內之一第八摻雜區域進行摻雜，其使用第二型傳導性之摻雜劑；以及

連接該第八摻雜區域至該第七摻雜區域。

2 2．如申請專利範圍第 21 項之方法，其進一步地包含：

連接該第一摻雜區域以及該第一垂直雙載子電晶體之射極至一襯墊，且連接該第二垂直雙載子電晶體之射極至一低電源供應電壓，以形成一有效率之矽控整流器，供作靜電放電保護之用；以及

連接該第六摻雜區域至該襯墊，且連接該第七摻雜區域至該低電源供應電壓，以形成一齊納二極體，供作過電壓尖峰保護之用，其中該齊納二極體與該矽控整流器平行連接。

2 3．如申請專利範圍第 22 項之方法進一步地包含提供一比該齊納二極體之逆偏壓崩潰電壓高之觸發電壓予該矽控整流器。

2 4．一種於積體電路中提供有效率且以矽控整流器為基礎之靜電放電保護之方法，其包含：

(請先閱讀背面之注意事項再填寫本頁)

訂

405246

六、申請專利範圍

連接一垂直 PNP 雙載子電晶體之一射極及基極至一襯墊之電壓，且連接該垂直 PNP 雙載子電晶體之集極至一電源供應電壓；

連接一垂直 NPN 雙載子電晶體之一集極至一襯墊之電壓，連接該垂直 NPN 雙載子電晶體之基極至該垂直 PNP 雙載子電晶體之集極，以及連接該垂直 NPN 雙載子電晶體之射極至該電源供應電壓。

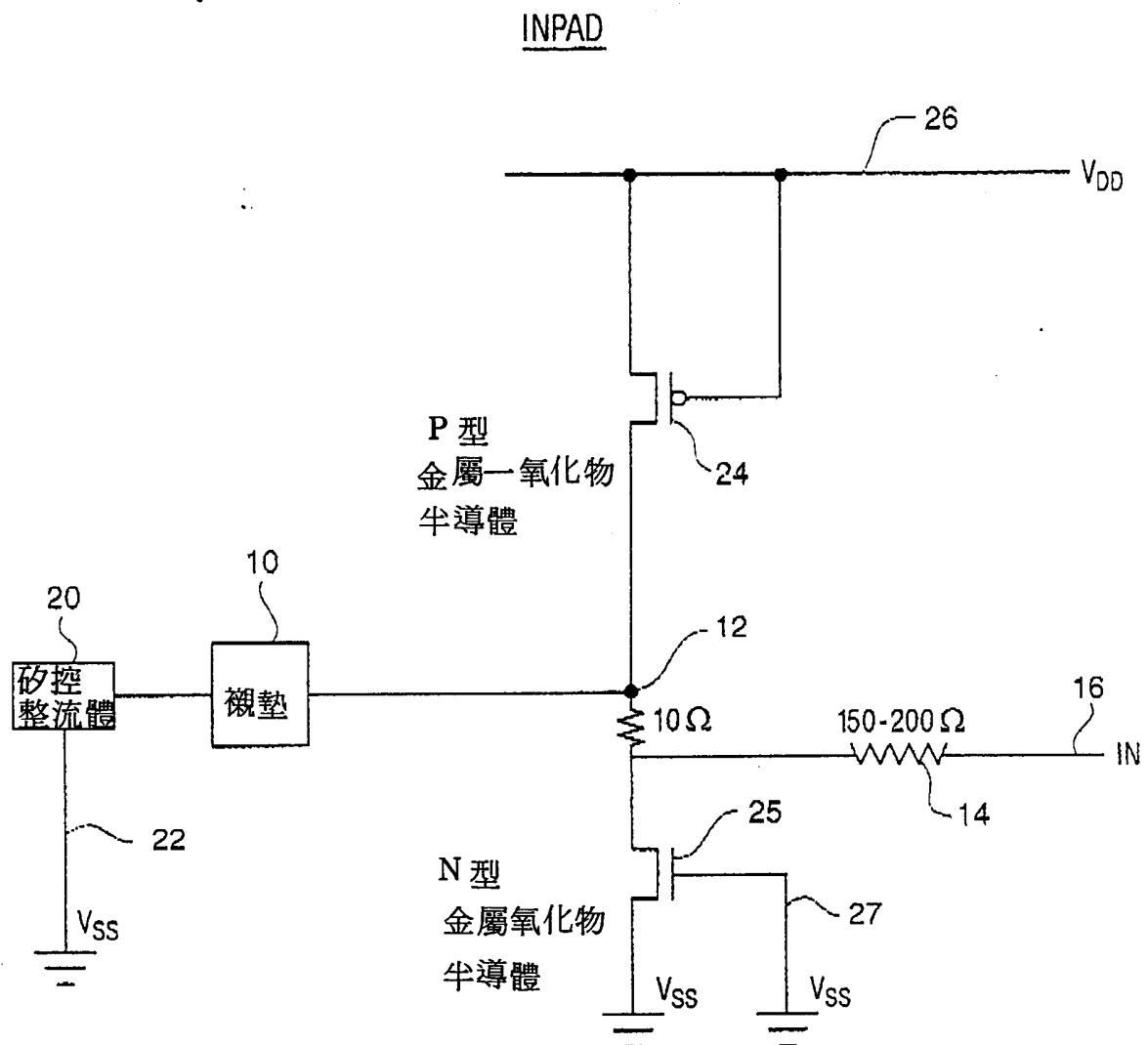
25．如申請專利範圍第 24 項之方法進一步地包含在介於該垂直 PNP 雙載子電晶體之集極與該電源供應電壓之間，連接一電阻元件。

26．如申請專利範圍第 24 項之方法進一步地包含連接該齊納二極體之第一端點至該電源供應電壓，且連接該齊納二極體之第二端點至該電源供應電壓，其中該齊納二極體與該矽控整流器係平行連接。

(請先閱讀背面之注意事項再填寫本頁)

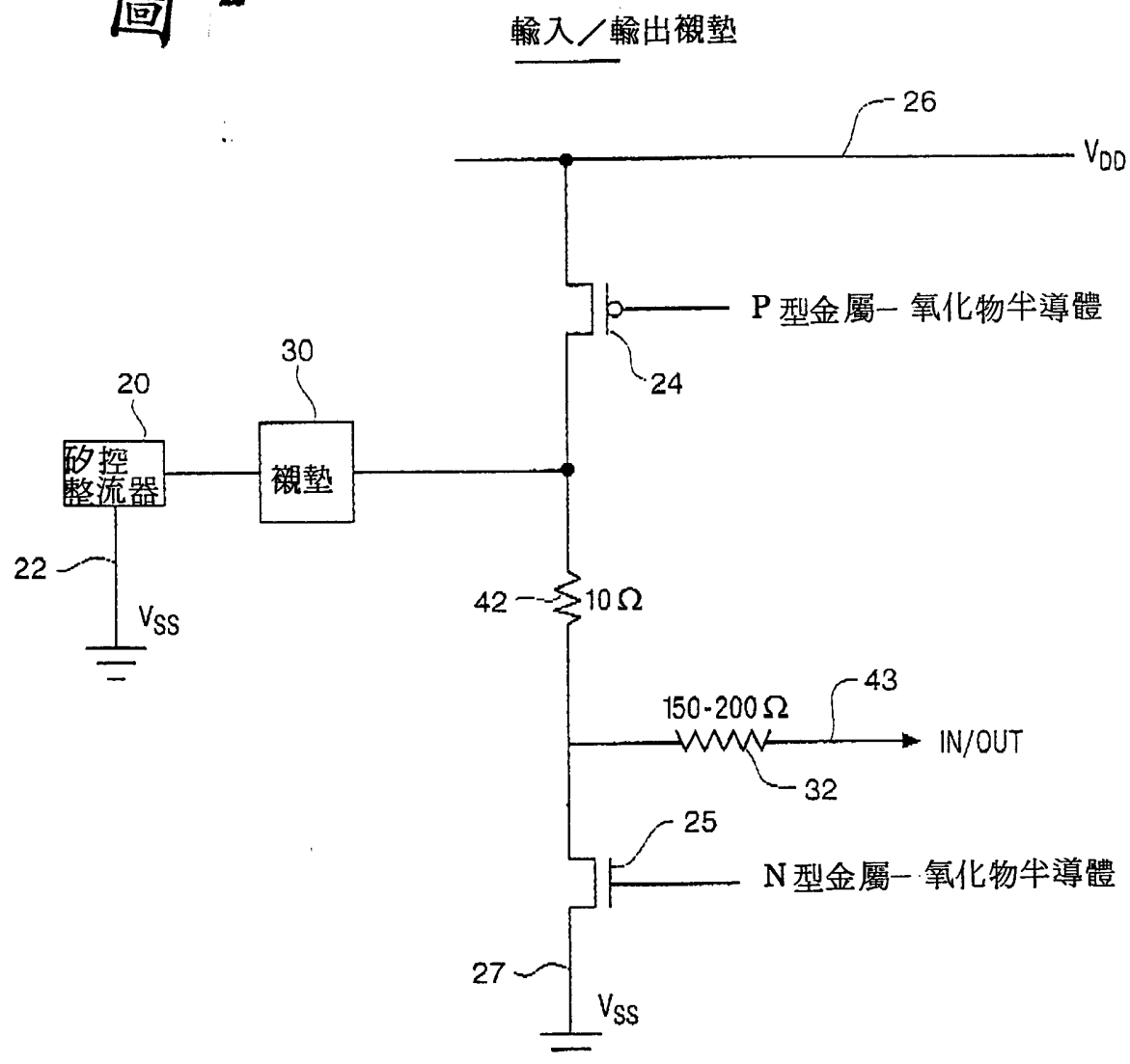
訂

405246 P611P038
圖 1



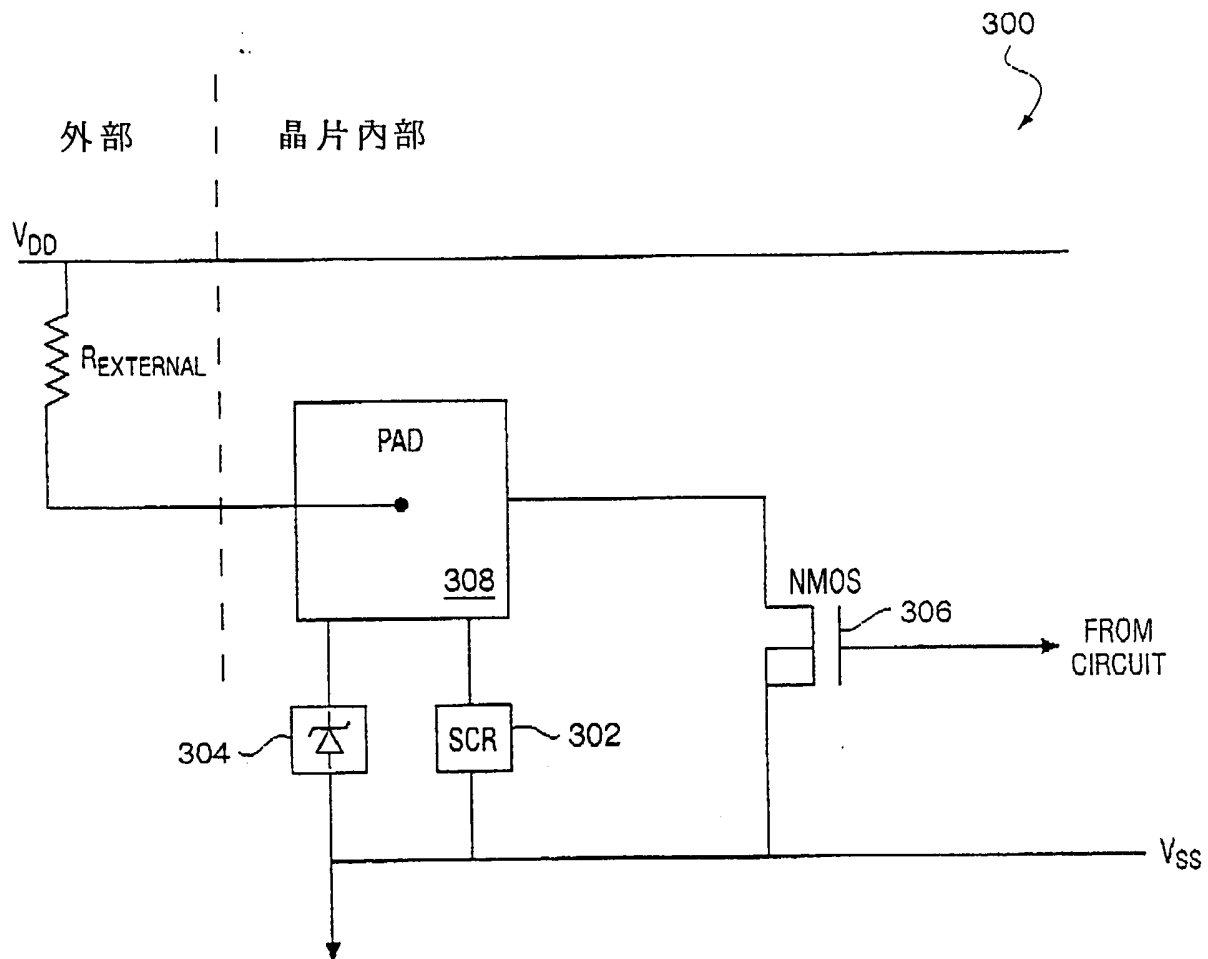
405246

圖 2



405246

圖 3



真值表	電路	襯墊	功能
	1	0	NMOS 將 PAD 下拉
	0	1	外部 R 上拉

405246

圖 4A

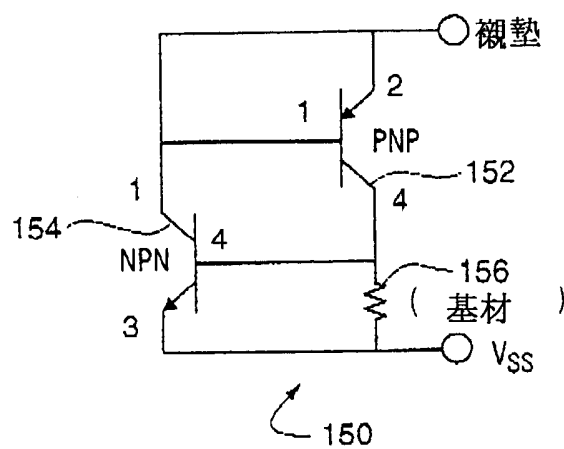
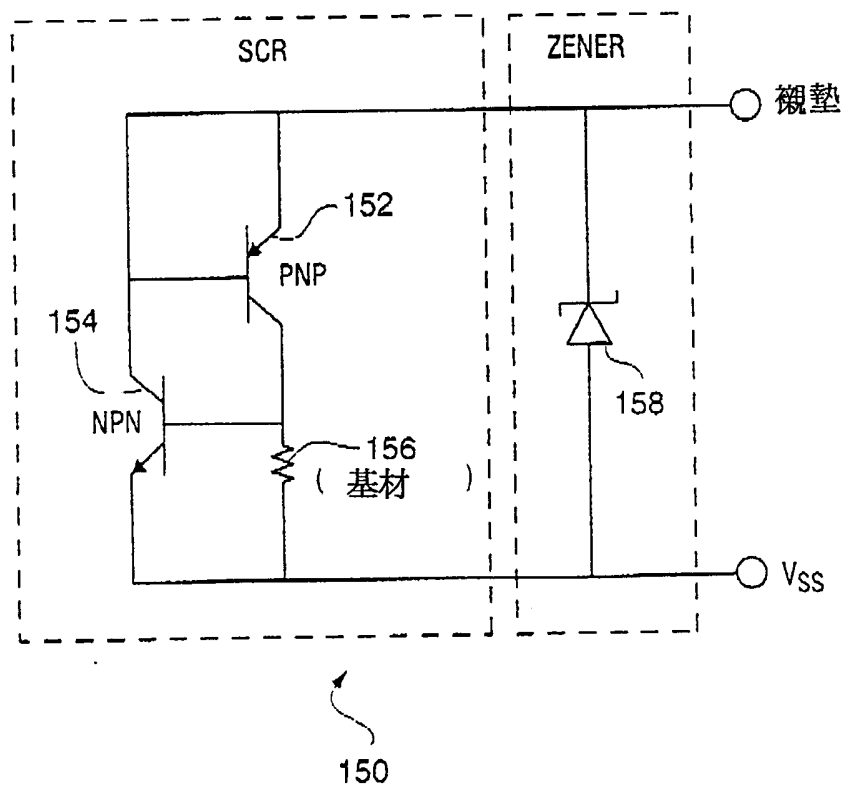


圖 4B



405246

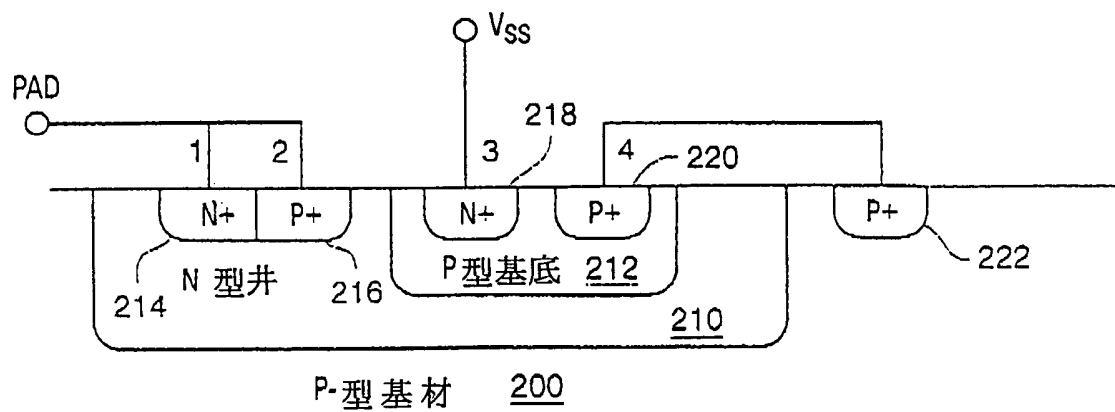


圖 5A

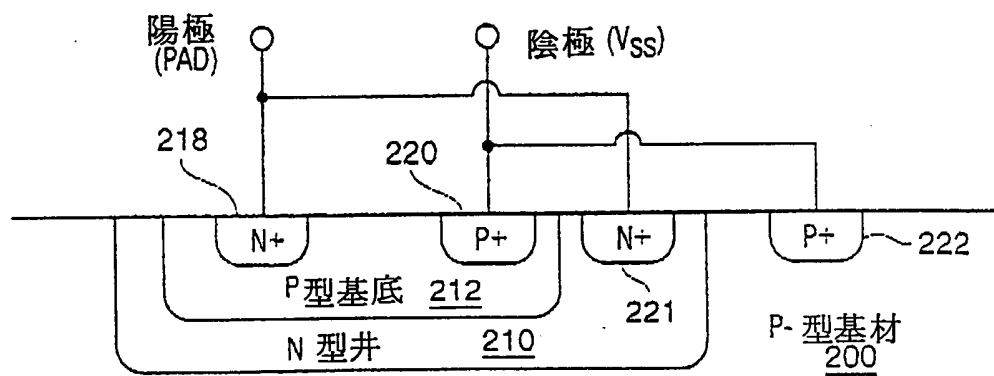


圖 5B

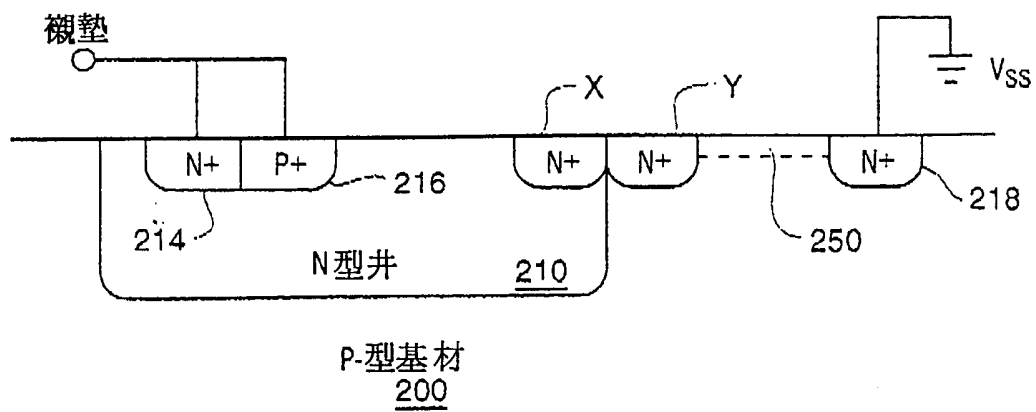


圖 5C

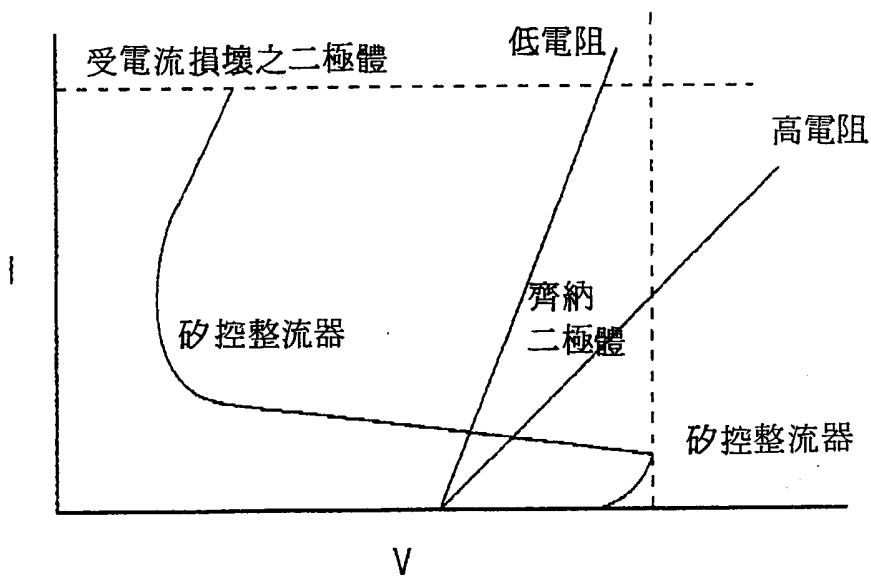


圖 5D

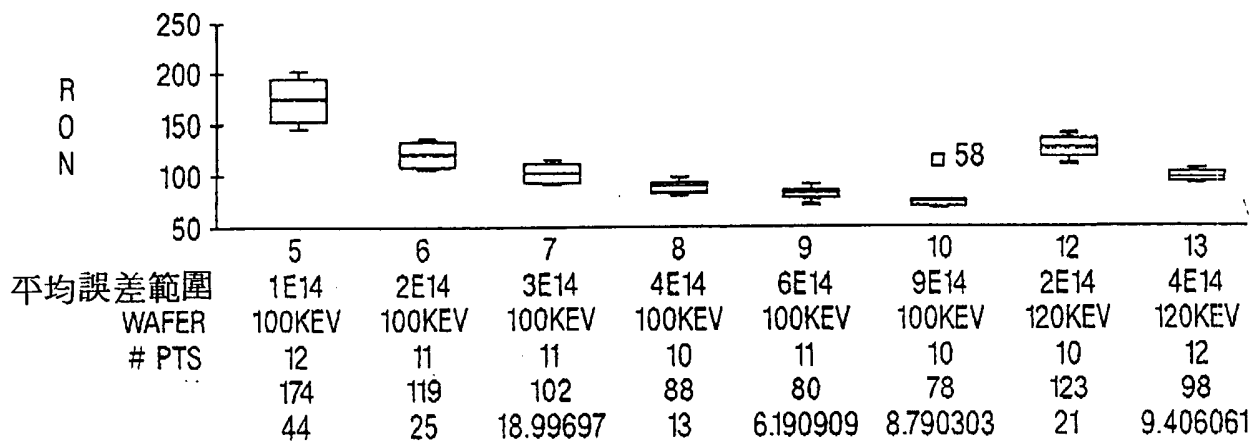


圖 7A

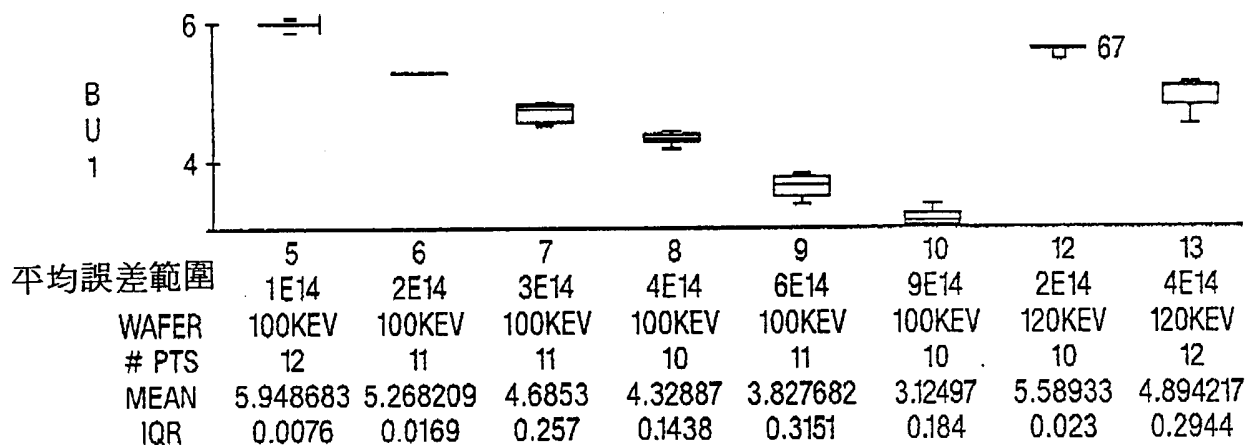


圖 7B

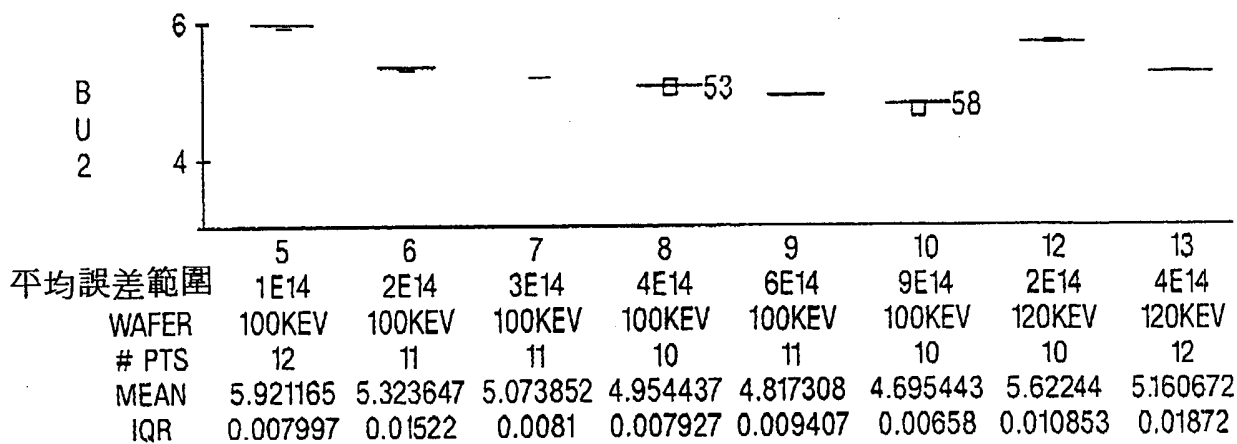


圖 7C

405246

信號名稱 部 件 號 碼

	1	2	3	4	5	6	7	8	9	10	11	12
SCSI0_1	.	.	.	.	VF	.	.	.	.	.	.	.
SCSI0_2	.	.	.	.	VF	.	.	.	VF	.	.	.
SCSI0_3	.	.	.	VF	.	.	VF	.	.	.	.	.
SCSI1_1	.	.	.	VF	VF	VF	VF	.	.	.	.	.
SCSI1_2	.	.	.	.	.	VF	.	VF	.	.	.	.
SCSI1_3	.	.	.	VF	.	.	VF	.	.	.	.	.
SCSI2_1	SF	.	.	.	.	.	.	.	.	SF	SF	.
SCSI2_2	SF	.	.	.	.	.	.	.	.	SF	SF	.
SCSI2_3	.	.	.	.	.	.	.	.	.	.	.	.
SCSI3_1	.	.	.	.	.	.	.	.	.	.	.	.
SCSI3_2	.	.	.	.	.	.	.	.	.	.	.	.
SCSI3_3	.	.	.	.	.	.	.	.	.	.	.	.
SCSI4_1	SF	.	.	.	.	.	.	.	.	SF	SF	.
SCSI4_2	SF	.	.	.	.	.	.	.	.	SF	SF	.
SCSI4_3	SF	.	.	.	.	.	.	.	.	SF	SF	.
SCSI5_1	.	.	.	.	.	.	.	.	.	.	.	LF
SCSI5_2	.	.	.	.	.	.	.	.	.	.	.	.
SCSI5_3	.	.	.	.	.	.	.	.	.	.	.	.

KEY:

SF = 短路損壞

VF = 電壓

LF = 漏電損壞

SCSI0 - 標準 SCSI 襯墊 (基準線)

SCSI1 - STANDARD SCSI PAD W/O SCR

SCSI2 - STANDARD SCSI PAD WITH ZENER1, NO SCR

SCSI3 - STANDARD SCSI PAD WITH BOTH ZENER1 AND SCR

SCSI4 - STANDARD SCSI PAD WITH ZENER2, NO SCR

SCSI5 - STANDARD SCSI PAD WITH BOTH ZENER2 AND SCR

兼具第一齊那及矽控整流器
之標準 SCSI 襯墊

圖8

公告本

405246

88年11月18日 修正補充

申請日期	86.12.17
案 號	86119036
類 別	Int. Cl ⁶ H01L ²⁵ /60

A4
C4

(以上各欄由本局填註)

發明專利說明書

405246

一、發明 名稱	中 文	用以產生低觸發電壓 S C R 與齊納二極體襯墊保護之簡單 BICMOS 製程
	英 文	SIMPLE BICMOS PROCESS FOR CREATION OF LOW TRIGGER VOLTAGE SCR AND ZENER DIODE PAD PROTECTION
二、發明 人	姓 名	1. 約翰 D. 沃克 3. 戈爾 W. 米勒 2. 塔得 A. 藍大佐
	國 籍	美 國
三、申請人	住、居所	1. 美國科羅拉多州 80907 科泉, 北洛伊街 1631 號 2. 美國科羅拉多州 80918, 科泉薩非爾路 4920 號 3. 美國科羅拉多州 80906, 科泉貝克維屈路 140 號
	姓 名 (名稱)	LSI 邏輯公司
三、申請人	國 籍	美 國
	住、居所 (事務所)	美國, 加州 95035, 米比達市, 麥卡錫路 1551 號
三、申請人	代 表 人 姓 名	大衛 G. 普舍

裝

訂

線

405246

六、申請專利範圍

1. 一種半導體保護裝置，其包含：
 - 一具有第一型傳導性之基材；
 - 在該基材中具有第二型傳導性之井區域；
 - 在該井區域內之具有第一傳導性之基底區域；
 - 一具有第二傳導性之第一型摻雜區域，其中該第一摻雜區域在該井區域之內；
 - 一具有第一傳導性之第二型摻雜區域，其中該第二摻雜區域在該井區域之內；
 - 一具有第二型傳導性之第三摻雜區域，其中該第三摻雜區域在該基底區域之內；
 - 一具有第一型傳導性之第四摻雜區域，其中該第四摻雜區域在該基底區域之內；
 - 一具有第一傳導性之第五摻雜區域，其中該第五摻雜區域在該基材之內且第五摻雜區域連接第四摻雜區域。
2. 如申請專利範圍第 1 項之半導體保護裝置，其中該第一摻雜區域，第二摻雜區域，第三摻雜區域，第四摻雜區域，第五摻雜區域係深度淺之高摻雜區域。
3. 如申請專利範圍第 1 項之半導體保護裝置，其中該第一摻雜區域及該第二摻雜區域係連接一襯墊，且該第三摻雜區域連接一低電源電壓以提供靜電放電保護，且該第四摻雜區域連接該襯墊，而非第一摻雜區域及第二摻雜區域，藉以提供過電壓保護。
4. 如申請專利範圍第 1 項之半導體保護裝置，其中該第二摻雜區域形成該第一垂直雙載子電晶體之射極，該井區

(請先閱讀背面之注意事項再填寫本頁)

訂