(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2013-0062199
(43) 공개일자 2013년06월12일

(51) 국제특허분류(Int. Cl.)
H02M 7/155 (2006.01) *H02M 7/48* (2007.01)
(21) 출원번호 10-2011-0128673
(22) 출원일자 2011년12월02일
심사청구일자 2012년06월04일
기술이전 희망 : 기술양도

(71) 출원인
울산대학교 산학협력단
울산 남구 무거2동 산29
(72) 발명자
이홍희
울산광역시 울주군 범서읍 구영리 푸르지오2차아파트 504동 1401호
전태원
부산광역시 금정구 중앙대로1929번길 48, 102동 1703호 (구서동, 부영벽산아파트)
(74) 대리인
김종선

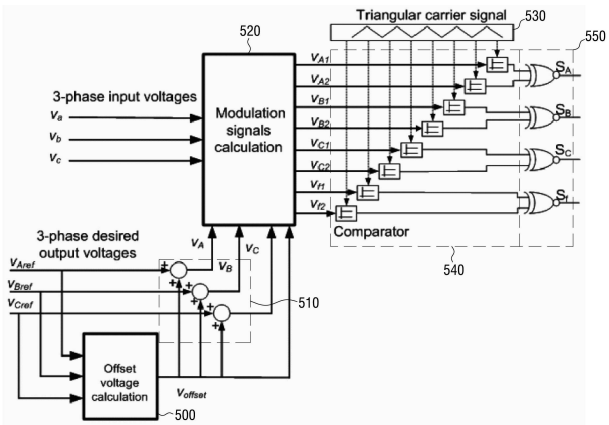
전체 청구항 수 : 총 13 항

(54) 발명의 명칭 **제어장치 및 제어신호 생성방법**

(57) 요 약

본 발명은 제어장치 및 제어신호 생성방법에 관한 것으로서, 본 발명의 실시예에 따른 제어장치는 3상의 교류 전압을 DC 전압으로 변환하여 출력하는 정류부와, DC 전압을 정극성(+) 및 부극성(-)의 양극성 전압으로 변환하여 3상 전압을 출력하는 인버터부 중 적어도 하나를 제어하기 위한 제어장치로서, 3상의 교류 전압을 적어도 포함하는 제1 전압과, 출력하고자 하는 인버터 3상 출력 전압에 대한 기준 전압(V_{Aref}, V_{Bref}, V_{Cref})을 적어도 포함하는 제2 전압을 이용하여 각 위상의 전압에 대한 정극성 및 부극성 중 적어도 하나의 극성을 갖는 변조 신호를 생성하여 출력하는 변조신호 생성부, 신호와 비교하기 위한 비교 신호로서 캐리어 신호를 발생하는 캐리어신호 발생부, 변조신호 생성부에서 제공한 변조 신호와 캐리어신호 발생부에서 제공한 캐리어 신호를 비교하여 비교 결과를 출력하되, 비교 결과를 정류부 및 인버터부 중 적어도 하나를 제어하기 위한 제어 신호로서 출력하는 비교부를 포함하는 것을 특징으로 한다.

대 표 도 - 도5



이 발명을 지원한 국가연구개발사업

과제고유번호	2010-0853
부처명	지식경제부
연구사업명	RIC(네트워크 기반 자동화연구센터)
연구과제명	네트워크 기반 자동화연구
주관기관	울산대산학협력단
연구기간	2010.03.01 ~ 2011.02.28

특허청구의 범위

청구항 1

3상의 교류 전압(Va, Vb, Vc)을 DC 전압으로 변환하여 출력하는 정류부와, 상기 DC 전압을 정극성(+) 및 부극성(-)의 양극성 전압으로 변환하여 3상 전압을 출력하는 인버터부 중 적어도 하나를 제어하기 위한 제어장치로서,

상기 3상의 교류 전압을 적어도 포함하는 제1 전압과, 출력하고자 하는 인버터 3상 출력 전압에 대한 기준 전압(V_{Aref}, V_{Bref}, V_{Cref})을 적어도 포함하는 제2 전압을 이용하여 각 위상의 전압에 대한 정극성 및 부극성 중 적어도 하나의 극성을 갖는 변조 신호를 생성하여 출력하는 변조신호 생성부;

상기 변조 신호와 비교하기 위한 비교 신호로서 캐리어 신호를 발생하는 캐리어신호 발생부;

상기 변조신호 생성부에서 제공한 상기 변조 신호와 상기 캐리어신호 발생부에서 제공한 상기 캐리어 신호를 비교하여 비교 결과를 출력하되, 상기 비교 결과를 상기 정류부 및 상기 인버터부 중 적어도 하나를 제어하기 위한 제어 신호로서 출력하는 비교부를

포함하는 것을 특징으로 하는 제어장치.

청구항 2

제1항에 있어서,

상기 제어장치는 상기 기준 전압을 제공받아 상기 기준 전압의 옵셋 전압을 계산하는 옵셋 계산부를 더 포함하는 것을 특징으로 하는 제어장치.

청구항 3

제2항에 있어서,

상기 옵셋 전압은,

$$v_{offset} = \mathrm{mid}\left(-\frac{v_{\max}}{2}, -\frac{v_{\min}}{2}, -\frac{v_{\max}+v_{\min}}{2}\right)$$

의 관계식에 의해 계산되며,

여기서, $v_{\max} = \max\left(v_{Aref}, v_{Bref}, v_{Cref}\right)$, $v_{\mathrm{mid}} = \mathrm{mid}\left(v_{Aref}, v_{Bref}, v_{Cref}\right)$,

$v_{\min} = \min\left(v_{Aref}, v_{Bref}, v_{Cref}\right)$ 인 것을 특징으로 하는 제어장치.

청구항 4

제2항에 있어서,

상기 제어장치는 상기 기준 전압과 상기 기준 전압에 의해 계산된 각각의 상기 옵셋 전압을 가산하여 상기 제2 전압으로서 상기 변조신호 생성부에 제공하는 가산부를 더 포함하는 것을 특징으로 하는 제어장치.

청구항 5

제2항에 있어서,

상기 변조신호 생성부는 상기 옵셋 계산부에서 제공하는 상기 옵셋 전압을 추가로 이용하여 상기 변조 신호를 생성하는 것을 특징으로 하는 제어장치.

청구항 6

제5항에 있어서,

상기 변조신호 생성부는, 관계식

$$v_{A1} = V_1\left(-2\frac{v_c}{v_a}\frac{v_{Aref}+v_{offset}}{\overline{V}_{dc}}+\frac{v_b}{v_a}\right),\quad v_{A2} = V_1\left(2\frac{v_b}{v_a}\frac{v_{Aref}+v_{offset}}{\overline{V}_{dc}}-\frac{v_c}{v_a}\right)$$

에 의해 V_{A1} 및 V_{A2}를 계산하고,

$$v_{B1} = V_1\left(-2\frac{v_c}{v_a}\frac{v_{Bref}+v_{offset}}{\overline{V}_{dc}}+\frac{v_b}{v_a}\right),\quad v_{B2} = V_1\left(2\frac{v_b}{v_a}\frac{v_{Bref}+v_{offset}}{\overline{V}_{dc}}-\frac{v_c}{v_a}\right)$$

에 의해 V_{B1} 및 V_{B2}를 계산하며,

$$v_{C1} = V_1\left(-2\frac{v_c}{v_a}\frac{v_{Cref}+v_{offset}}{\overline{V}_{dc}}+\frac{v_b}{v_a}\right),\quad v_{C2} = V_1\left(2\frac{v_b}{v_a}\frac{v_{Cref}+v_{offset}}{\overline{V}_{dc}}-\frac{v_c}{v_a}\right)$$

에 의해서는 V_{C1} 및 V_{C2}를 계산하고,

$$v_{f1} = V_1\left(-2\frac{v_c}{v_a}\frac{v_{offset}}{\overline{V}_{dc}}+\frac{v_b}{v_a}\right),\quad v_{f2} = V_1\left(2\frac{v_b}{v_a}\frac{v_{offset}}{\overline{V}_{dc}}-\frac{v_c}{v_a}\right)$$

에 의해서는 V_{f1} 1 및 V_{f2}를 계산하며, 여기서 $\overline{V}_{dc}$는 상기 정류부의 평균 dc 링크 전압을 나타내는 것을 특징으로 하는 제어장치.

청구항 7

제1항에 있어서,

상기 변조신호 생성부가 상기 각 위상을 갖는 전압에 대한 2개의 변조신호를 출력하는 경우, 상기 비교부는 각각의 변조신호에 대한 비교 결과를 출력하는 것을 특징으로 하는 제어장치.

청구항 8

제7항에 있어서,

상기 제어장치는 상기 비교부가 각각의 변조신호에 대한 비교 결과를 출력하는 경우, 상기 비교 결과의 논리 조합에 따른 논리 신호를 상기 제어 신호로서 출력하는 논리 회로부를 더 포함하는 것을 특징으로 하는 제어장치.

청구항 9

3상의 교류 전압(Va, Vb, Vc)을 DC 전압으로 변환하여 출력하는 정류부와, 상기 DC 전압을 정극성(+) 및 부극성(-)의 양극성 전압으로 변환하여 3상 전압을 출력하는 인버터부 중 적어도 하나를 제어하기 위한 제어신호 생성방법으로서,

변조신호 생성부가 상기 3상의 교류 전압을 적어도 포함하는 제1 전압과, 출력하고자 하는 인버터 3상 출력 전압에 대한 기준 전압(V_{Aref}, V_{Bref}, V_{Cref})을 적어도 포함하는 제2 전압을 이용하여 각 위상의 전압에 대한 정극성 및 부극성 중 적어도 하나의 극성을 갖는 변조 신호를 생성하여 출력하는 단계;

캐리어신호 발생부가 상기 변조 신호와 비교하기 위한 비교 신호로서 캐리어 신호를 발생하여 출력하는 단계;

비교부가 상기 변조신호 생성부에서 제공한 상기 변조 신호와 상기 캐리어신호 발생부에서 제공한 상기 캐리어 신호를 비교하여 비교 결과를 출력하되, 상기 비교 결과를 상기 정류부 및 상기 인버터부 중 적어도 하나의 제어를 위한 제어 신호로서 출력하는 단계를

포함하는 것을 특징으로 하는 제어신호 생성방법.

청구항 10

제9항에 있어서,

상기 제어신호 생성방법은, 상기 기준 전압을 제공받아 상기 기준전압의 옵셋 전압을 계산하여 출력하는 단계를 더 포함하는 것을 특징으로 하는 제어신호 생성방법.

청구항 11

제10항에 있어서,

상기 제어신호 생성방법은, 상기 기준 전압과 상기 기준 전압에 의해 계산된 각각의 상기 옵셋 전압을 가산하여 상기 제2 전압으로서 상기 변조신호 생성부에 제공하는 단계를 더 포함하는 것을 특징으로 하는 제어신호 생성방법.

청구항 12

제11항에 있어서,

상기 변조신호 생성부는 상기 변조신호의 생성시 상기 옵셋 전압을 추가로 이용하는 것을 특징으로 하는 제어신호 생성방법.

청구항 13

제9항에 있어서,

상기 제어신호 생성방법은, 상기 비교부가 각각의 변조 신호에 대한 비교 결과를 출력하는 경우, 논리 회로부가 상기 비교 결과의 논리 조합에 따른 논리 신호를 상기 제어 신호로서 출력하는 단계를 더 포함하는 것을 특징으로 하는 제어신호 생성방법.

명 세 서

기 술 분 야

[0001] 본 발명은 제어장치 및 제어신호 생성방법에 관한 것으로서, 더 상세하게는 예컨대 캐리어 기반 변조 기술을 제공하는 4 레그 VSMC(4-leg Very Sparse Matrix Converter)로서, 하나의 대칭형 캐리어신호를 이용하여 제어신호를 생성해 매트릭스 컨버터 시스템을 구성하는 정류부와 인버터부 등을 제어하기 위한 제어장치 및 제어신호 생성방법에 관한 것이다.

배 경 기 술

[0002] 최근 들어 매트릭스 컨버터는 보다 높은 차수에서 최소의 고조파를 갖는 정현파의 입/출력 전류 특성을 보이며, 제어 가능한 입력 전력 인자, 토크-속도면(torque-speed plane)의 모든 사분면에서의 동작, 고신뢰성 및 수명이 길다는 등의 이점 때문에 AC-AC 전원 변환에서 점점 더 주목받고 있다.

[0003] 매트릭스 컨버터는 사이클로-컨버터, 직접 매트릭스 컨버터(DMC) 및 간접 매트릭스 컨버터(IMC) 등과 같은 여러 종류의 토폴로지를 갖는다. 직접 매트릭스 컨버터 토폴로지는 부피가 큰 커패시터 없이 양방향 스위치를 통해 3상 입력 전원을 3상 출력 부하에 직접적으로 연결하는 직접 AC-AC 전원 컨버터에 근거한다. AC-AC 전원 컨버터를 구현하기 위한 대안으로서 간접 매트릭스 컨버터 토폴로지가 연구되어 왔다. 이 토폴로지는 보다 간단한 스위칭 절환(commutation)을 위한 요구조건들과 간단한 변조 전략을 제공한다. 여러 개의 신규 희소행렬(novel sparse matrix) 컨버터 토폴로지들은 IMC 토폴로지로부터 유래되었으며, VSMC(Very Sparse Matrix Converter)는 그들 중 하나이다.

[0004] 4-레그 매트릭스 컨버터는 불평형 부하 조건 또는 비선형 부하 조건하에서도 평형한(혹은 균형있는) 출력 전압을 생성할 수 있기 때문에 선택되어 왔다. 이러한 토폴로지는 불평형 부하에 의해 야기되는 중성 전류의 경로를 제공한다.

[0005] 도 1은 일반적인 4 레그 VSMC 토폴로지를 나타내는 도면이고, 도 2는 입력 전류 공간 벡터들을 나타내는 도면이다. 또한 도 3은 3-D α, β, γ 평면에서 16개의 공간 벡터를 나타내는 도면이며, 도 4는 도 1의 정류기단 및 인버터단의 dc 링크 전압 및 스위칭 상태를 나타내는 도면이다.

[0006] 도 1에 도시된 바와 같이, 종래의 4 레그 VSMC 토폴로지는 4 레그 인버터단(110)에 직접 접속되는 정류기단

(100)을 포함한다.

[0007] 정류기단(100)은 6개의 양방향 전원 스위치를 포함한다. 정류기단(100)은 2개의 라인과 라인 사이에서 전압들을 스위칭함으로써 dc 링크 전압을 생성하여, 정극성(+)의 dc 링크 전압을 공급하고, 단위 역률(unity input power factor) 및 정현파 입력 전류들을 유지시킨다. 주파수와 진폭이 가변성인 출력 전압은 인버터단(110)의 제어에 의해 얻을 수 있다.

[0008] 인버터단(110)은 4 레그 인버터 토폴로지를 사용하고, 부하의 중성점은 네 번째 중성 레그의 중간점에 결속된다. 4 레그 VSM의 입력은 입력 전류를 필터링하기 위한 LC 필터(100a)를 갖는 3상 IMC와 유사하다. 부하 측에서 LC 필터(110a)는 출력 전압을 필터링하기 위해 단자 출력에 접속된다.

[0009] 입력 전류 및 출력 전압의 공간 벡터에 기초하는 SVPWM은 4 레그 VSMC를 제어하는데 사용된다. 정류기단(100)은 기준 입력 전류 공간 벡터에 기초하여 제어되고, 4 레그 인버터단(110)은 기준 출력 전압 공간 벡터에 기초하여 제어된다. 각 단(100, 110)에 사용되는 변조 전략은 독립적이다.

[0010] 먼저 정류기단(100)의 제어에 대하여 간략하게 살펴보도록 한다.

[0011] 전원 공급 전압이 <수학식 1> 내지 <수학식 3>과 같이 주어진다고 가정하자.

수학식 1

[0012] $$v_a = V_1 \cos(\omega_1 t)$$

수학식 2

[0013] $$v_b = V_1 \cos\left(\omega_1 t - \frac{2\pi}{3}\right)$$

수학식 3

[0014] $$v_c = V_1 \cos\left(\omega_1 t + \frac{2\pi}{3}\right)$$

[0015] 여기서, V_1는 입력 위상 전압의 진폭이고, ω_1은 입력 각 주파수이다.

[0016] 3상 입력 전압이 평형(balanced)이므로, 입력 위상 전압에 대해 6개의 섹터를 구별할 수 있는 2가지 조건이 존재한다. 첫 번째 경우는, 2개의 입력 위상 전압이 정극성이고, 하나의 입력 위상 전압이 부극성인 것이다(섹터 1, 3, 5). 다른 경우는, 1개의 입력 위상 전압이 정극성이고 2개의 입력 위상 전압이 부극성인 것이다(섹터 2, 4, 6).

[0017] 스위치들의 듀티 비율을 찾아내는 방법을 이해하기 위하여 예를 들어, 섹터 1을 고려해 보자. 이 섹터에서, 순시 공급 전압 v_a가 정극성인 반면, v_b 및 v_c는 부극성이다. 이 섹터에서, 위상 a의 상단 스위치 Sap는 ON 상태이고, 위상 b 및 위상 c의 하단 스위치는 dc-링크에서의 최대 dc 전압 및 정현파 입력 전류를 달성하도록 변조된다. 다른 모든 스위치는 OFF 상태로 유지된다. 기준 입력 전원 벡터 I_{ref}는 도 2에 도시된 바와 같이 2개의 액티브 벡터 I_{ab}, I_{ac}를 사용하여 합성된다. I_{ab}, I_{ac} 및 d_{ab}, d_{ac}의 듀티 사이클은 다음과 같이 결정된다.

수학식 4

[0018] $$d_\gamma = m_I \sin\left(\frac{\pi}{3} - \theta_{in}\right)$$

수학식 5

[0019] $$d_\delta = m_I \sin(\theta_{in})$$

[0020] 여기서, m_I는 변조 지수이고 θ_{in}은 기준 입력 전류의 각이다.

[0021] 제로 벡터가 없기 때문에, 2개의 액티브 벡터의 듀티 사이클은 변조 지수가 단위값이라는 가정하에 <수학식 6> 및 <수학식 7>과 같이 재정의된다.

수학식 6

[0022] $$d_{ab} = \frac{d_\gamma}{d_\gamma + d_\delta}$$

수학식 7

[0023] $$d_{ac} = \frac{d_\delta}{d_\gamma + d_\delta}$$

[0024] 1개 샘플링 주기에서의 dc-링크 전압의 평균은 <수학식 8>과 같다.

수학식 8

[0025] $$\bar{V}_{dc} = d_{ab}(v_a - v_b) + d_{ac}(v_a - v_c) = \frac{3V_1}{2\left|\cos(\omega_1 t)\right|}$$

[0026] 4 레그 인버터단(110)에서 액티브 벡터 및 제로 벡터의 듀티 사이클 계산은 dc 링크 전압의 평균으로 참조된다.

[0027] 이어 4 레그 인버터단(110)의 제어에 대하여 살펴보도록 한다.

[0028] 종래에는 4 레그 전압 소스 인버터용 공간 벡터 변조가 제안되었다. 4 레그 인버터 제어의 공간 벡터 변조는 3차원(3D) α, β, ɣ 평면에서의 전압 공간 벡터의 표현에 기초한다. α, β, ɣ 공간에서 변환되는 전압은 <수학식 9>의 변환을 이용하여 얻을 수 있다.

수학식 9

[0029]
$$\begin{bmatrix} V_\alpha \\ V_\beta \\ V_\gamma \end{bmatrix} = \frac{2}{3}\begin{bmatrix} 1 & -\frac{1}{2} & -\frac{1}{2} \\ 0 & \frac{\sqrt{3}}{2} & \frac{\sqrt{3}}{2} \\ \frac{1}{2} & \frac{1}{2} & \frac{1}{2} \end{bmatrix}\begin{bmatrix} V_{Af} \\ V_{Bf} \\ V_{Cf} \end{bmatrix}$$

[0030] 여기서, V_{Af}, V_{Bf}, V_{Cf}는 3상 출력 전압이다.

[0031] 4 레그 인버터(110)는 16개의 스위칭 상태를 생성할 수 있는데, 이는 14개의 액티브 벡터와 2개의 제로 벡터로 표현된다.

[0032] 인버터단(110)의 스위칭 상태의 조합은 세트 [S_A,S_B, S_C, S_f]로 표현되며, 여기서 S_A = p는 레그 A의 상단 스위치가 ON 상태라는 것을 나타내고, 반면 S_A = n일 때 하단 스위치가 ON 상태라는 것을 나타낸다. 기준 출력 전압은 3D 공간에서의 회전 벡터에 의해 표현될 수 있다. 기준 출력 전압 벡터를 합성하기 위해서는, 인접 벡터들이 선택되고, 이들 벡터의 드웰링(dwelling) 타임이 결정되어야 한다. 인접 벡터의 식별은 2개 단계를 포함한다. 첫째 단계에서는 기준 벡터를 α, β 공간에 투영하는 것에 기초하여, 6개의 프리즘이 3D 공간에서 식별된다. 각각의 프리즘은 둘째 단계에서 4개의 사면체로 다시 분할된다. 3개의 액티브 벡터 및 2개의 제로 벡터가 사면체를 정의하므로, 기준 출력 전압 벡터는 이들 벡터에 의해 합성될 수 있다. 분석의 일반성을 훼손하지 않는 범위에서, 기준 벡터가 프리즘 I 및 사면체 Ⅲ에 존재한다고 가정하고, 3개의 액티브 벡터 Vpppn, Vppnn, Vpnnn 및 2개의 제로 벡터 Vppp, Vnnn가 기준 출력 전압 Vref를 합성하기 위해 선택된다.

[0033] 액티브 벡터의 듀티 비율은 다음과 같이 결정된다.

수학식 10

[0034]
$$V_{ref} = d_{pnnn}V_{pnnn} + d_{ppnn}V_{ppnn} + d_{pppn}V_{pppn}$$

수학식 11

[0035]
$$V_{ref} = \begin{bmatrix} V_{\alpha_ref} \\ V_{\beta_ref} \\ V_{\gamma_ref} \end{bmatrix}$$

[0036] 각 액티브 벡터의 듀티 비율은 <수학식 12>와 같이 계산된다.

수학식 12

[0037]
$$\begin{bmatrix} d_{pnnn} \\ d_{ppnn} \\ d_{pppn} \end{bmatrix} = \frac{1}{\overline{V}_{dc}} \begin{bmatrix} \frac{3}{2} & -\frac{\sqrt{3}}{2} & 0 \\ 0 & \sqrt{3} & 1 \\ -\frac{1}{2} & -\frac{\sqrt{3}}{2} & 1 \end{bmatrix} \begin{bmatrix} V_{\alpha_ref} \\ V_{\beta_ref} \\ V_{\gamma_ref} \end{bmatrix}$$

[0038] 2개의 제로 벡터의 듀티 비율은 <수학식 13>과 같다.

수학식 13

[0039]
$$d_{pppp} = d_{nnnn} = \frac{1}{2}\left(1 - d_{pnnn} - d_{ppnn} - d_{pppn}\right)$$

[0040] 유사한 분석으로서, 선택된 벡터들 및 그 벡터들의 듀티 비율은 기준 출력 전압이 다른 사면체 및 프리즘에 위치할 때에 얻을 수 있다.

[0041] 다음은 정류기단(100)과 인버터단(110)의 스위칭 상태 간 조정 과정을 나타낸다.

[0042] 입력 전류와 출력 전압을 평형하게 하기 위해서는 정류기단(100) 및 인버터단(110)의 모든 유효 벡터의 듀티 비율이 함께 조합되어야 한다. 1개의 샘플링 주기에서, dc 링크 전압은 각각 듀티 비율이 d_{ab} 및 d_{ac}인 2개의 값 v_{ac} 및 v_{ab}를 갖는다. 인버터단(110)에서 공간 벡터의 각 듀티 비율은 도 4에 도시된 바와 같이 서로 다른 값인 2개의 부분으로 나뉜다. 인버터단(110)에서 액티브 벡터 및 제로 벡터 각각의 듀티 비율은 <수학식 14> 내지 <수학식 19>와 같이 나타낼 수 있다.

수학식 14

[0043]
$$d_{(pppp)ac} = d_{pppp} d_{ac} \; ; \; d_{(pppn)ac} = d_{pppn} d_{ac}$$

수학식 15

[0044]
$$d_{(ppnn)ac} = d_{ppnn} d_{ac} \; ; \; d_{(pnnn)ac} = d_{pnnn} d_{ac}$$

수학식 16

[0045]
$$d_{(nnnn)ac} = d_{nnnn} d_{ac}$$

수학식 17

[0046]
$$d_{(pppp)ab} = d_{pppp} d_{ab} \; ; \; d_{(pppn)ab} = d_{pppn} d_{ab}$$

수학식 18

[0047] $$d_{(ppnn)ab} = d_{ppnn} d_{ab} \; ; d_{(pnnn)ab} = d_{pnnn} d_{ab}$$

수학식 19

[0048] $$d_{(nnnn)ab} = d_{nnnn} d_{ab}$$

[0049] 정류기단(100)과 인버터단(110)의 스위칭 패턴은 대개 정류기단(100)의 절환 손실을 최소화하고, 안전한 동작을 위해 배열된다. 정류기단(100)이 절환 중인 동안, 인버터단(110)은 제로 벡터에서 동작될 수 있다. 정류기단(100)의 절환 동안 dc 링크 전류의 연속성이 없다. 그래서 정류기단(100)의 스위칭 손실이 감소된다. 멀티 탭 절환은 이러한 배열로 인해 필요하지 않게 된다.

[0050] 지금까지 살펴본 바와 같이 4-레그 매트릭스 컨버터를 위한 공간벡터 펄스폭 변조(SVPWM) 기법(scheme)은 기준 출력전압을 합성하기 위해 제안되어 왔다. 단위 역률 및 최대 출력전압 이용률은 이러한 방법에 의하여 얻을 수 있었다. 그러나, 벡터 위치의 결정 및 유효 벡터의 유지 시간(dwelling time) 계산 등의 문제점은 SVPWM 접근법에 여전히 존재하고 있다.

[0051] 근래에는 캐리어 기반 PWM 방식이 이러한 계산을 단순화하기 위하여 전통적인 2-레벨 인버터, 4-레그 2-레벨 인버터, 멀티레벨 인버터 및 매트릭스 컨버터 등과 같은 많은 전력 컨버터 제어에 적용되고 있다. 캐리어 기반 PWM 방식에서 변조 신호들은 복잡하게 계산되지 않고 게이팅, 즉 제어 신호들을 생성하기 위해 삼각 캐리어 기반 신호와 비교된다. 최근에는 IMC를 위한 캐리어 기반 PWM 방식이 제안된 바 있다.

[0052] 그럼에도 불구하고 인버터단을 위해 사용된 캐리어 신호는 정류기단의 캐리어 신호와는 다르다. 정류기단의 제어를 위해 사용된 캐리어 신호는 대칭적인 삼각파이다. dc 링크 전압이 일정한 전형적인 2 레벨 인버터 제어와 달리 IMC에서의 인버터단은 dc 링크 전압의 변동으로 제어된다. 따라서 인버터단의 제어에 사용되는 캐리어 신호는 시변 주기를 갖는 삼각파이다. 즉 상승 및 하강 삼각 에지들의 경사는 입력 전압의 변동으로 인해 샘플링 주기마다 변화하는 문제점이 발생한다.

발명의 내용

[0053] 본 발명의 실시예는 디지털 신호처리에 대한 계산의 복잡성을 줄이면서 동시에 불평형 부하 조건하에서도 평형 전압을 생성할 수 있도록 하는 제어장치 및 제어신호 생성방법을 제공함에 목적이 있다.

[0054] 본 발명의 실시예에 따른 제어장치는 3상의 교류 전압(Va, Vb, Vc)을 DC 전압으로 변환하여 출력하는 정류부와, 상기 DC 전압을 정극성(+) 및 부극성(-)의 양극성 전압으로 변환하여 3상 전압을 출력하는 인버터부 중 적어도 하나를 제어하기 위한 제어장치로서, 상기 3상의 교류 전압을 적어도 포함하는 제1 전압과, 출력하고자 하는 인버터 3상 출력 전압에 대한 기준 전압(V_{Aref}, V_{Bref}, V_{Cref})을 적어도 포함하는 제2 전압을 이용하여 각 위상의 전압에 대한 정극성 및 부극성 중 적어도 하나의 극성을 갖는 변조 신호를 생성하여 출력하는 변조신호 생성부; 상기 변조 신호와 비교하기 위한 비교 신호로서 캐리어 신호를 발생하는 캐리어신호 발생부; 상기 변조신호 생성부에서 제공한 상기 변조 신호와 상기 캐리어신호 발생부에서 제공한 상기 캐리어 신호를 비교하여 비교 결과를 출력하되, 상기 비교 결과를 상기 정류부 및 상기 인버터부 중 적어도 하나를 제어하기 위한 제어 신호로서 출력하는 비교부를 포함하는 것을 특징으로 한다.

[0055] 상기 제어장치는 상기 기준 전압을 제공받아 상기 기준 전압의 옵셋 전압을 계산하는 옵셋 계산부를 더 포함하는 것을 특징으로 한다.

[0056] 상기 옵셋 전압은, $v_{offset} = \mathrm{mid}\left(-\frac{v_{\max}}{2}, -\frac{v_{\min}}{2}, -\frac{v_{\max}+v_{\min}}{2}\right)$의 관계식에 의해 계산되며, 여기서, $v_{\max} = \max\left(v_{Aref}, v_{Bref}, v_{Cref}\right)$, $v_{\mathrm{mid}} = \mathrm{mid}\left(v_{Aref}, v_{Bref}, v_{Cref}\right)$,

$v_{\min} = \min\left(v_{Aref}, v_{Bref}, v_{Cref}\right)$ 인 것을 특징으로 한다.

[0057] 상기 제어장치는 상기 기준 전압과 상기 기준 전압에 의해 계산된 각각의 상기 옵셋 전압을 가산하여 상기 제2 전압으로서 상기 변조신호 생성부에 제공하는 가산부를 더 포함하는 것을 특징으로 한다.

[0058] 상기 변조신호 생성부는 상기 옵셋 계산부에서 제공하는 상기 옵셋 전압을 추가로 이용하여 상기 변조 신호를 생성하는 것을 특징으로 한다.

[0059] 상기 변조신호 생성부는, 관계식 $v_{A1} = V_1\left(-2\frac{v_c}{v_a}\frac{v_{Aref}+v_{offset}}{\bar{V}_{dc}}+\frac{v_b}{v_a}\right)$, $v_{A2} = V_1\left(2\frac{v_b}{v_a}\frac{v_{Aref}+v_{offset}}{\bar{V}_{dc}}-\frac{v_c}{v_a}\right)$에 의해 V_{A1} 및 V_{A2}를 계산하고, $v_{B1} = V_1\left(-2\frac{v_c}{v_a}\frac{v_{Bref}+v_{offset}}{\bar{V}_{dc}}+\frac{v_b}{v_a}\right)$, $v_{B2} = V_1\left(2\frac{v_b}{v_a}\frac{v_{Bref}+v_{offset}}{\bar{V}_{dc}}-\frac{v_c}{v_a}\right)$에 의해 V_{B1} 및 V_{B2}를 계산하며, $v_{C1} = V_1\left(-2\frac{v_c}{v_a}\frac{v_{Cref}+v_{offset}}{\bar{V}_{dc}}+\frac{v_b}{v_a}\right)$, $v_{C2} = V_1\left(2\frac{v_b}{v_a}\frac{v_{Cref}+v_{offset}}{\bar{V}_{dc}}-\frac{v_c}{v_a}\right)$ 에 의해서는 V_{C1} 및 V_{C2}를 계산하고, $v_{f1} = V_1\left(-2\frac{v_c}{v_a}\frac{v_{offset}}{\bar{V}_{dc}}+\frac{v_b}{v_a}\right)$, $v_{f2} = V_1\left(2\frac{v_b}{v_a}\frac{v_{offset}}{\bar{V}_{dc}}-\frac{v_c}{v_a}\right)$에 의해서는 V_{f1} 1 및 V_{f2}를 계산하며, 여기서 $\bar{V}_{dc}$는 상기 정류부의 평균 dc 링크 전압을 나타내는 것을 특징으로 한다.

[0060] 상기 캐리어 신호의 피크 값과 상기 3상의 교류 전압의 진폭은 서로 동일한 값을 갖는 것을 특징으로 한다.

[0061] 상기 정류부의 스위칭주파수는 상기 캐리어 신호의 주파수와 동일하고, 상기 인버터부의 스위칭주파수는 상기 캐리어 신호의 주파수의 2배인 것을 특징으로 한다.

[0062] 상기 변조신호 생성부가 상기 각 위상을 갖는 전압에 대한 2개의 변조신호를 출력하는 경우, 상기 비교부는 각각의 변조신호에 대한 비교 결과를 출력하는 것을 특징으로 한다.

[0063] 상기 제어장치는 상기 비교부가 각각의 변조신호에 대한 비교 결과를 출력하는 경우, 상기 비교 결과의 논리 조합에 따른 논리 신호를 상기 제어 신호로서 출력하는 논리 회로부를 더 포함하는 것을 특징으로 한다.

[0064] 상기 논리 회로부는 EXNOR 회로를 포함하는 것을 특징으로 한다.

[0065] 또한 본 발명의 실시예에 따른 제어신호 생성방법은 3상의 교류 전압(Va, Vb, Vc)을 DC 전압으로 변환하여 출력하는 정류부와, 상기 DC 전압을 정극성(+) 및 부극성(-)의 양극성 전압으로 변환하여 3상 전압을 출력하는 인버터부 중 적어도 하나를 제어하기 위한 제어신호 생성방법으로서, 변조신호 생성부가 상기 3상의 교류 전압을 적어도 포함하는 제1 전압과, 출력하고자 하는 인버터 3상 출력 전압에 대한 기준 전압(V_{Aref}, V_{Bref}, V_{Cref})을 적어도 포함하는 제2 전압을 이용하여 각 위상의 전압에 대한 정극성 및 부극성 중 적어도 하나의 극성을 갖는 변조신호를 생성하여 출력하는 단계; 캐리어신호 발생부가 상기 변조 신호와 비교하기 위한 비교 신호로서 캐리어 신호를 발생하여 출력하는 단계; 비교부가 상기 변조신호 생성부에서 제공한 상기 변조 신호와 상기 캐리어신호 발생부에서 제공한 상기 캐리어 신호를 비교하여 비교 결과를 출력하되, 상기 비교 결과를 상기 정류부 및 상기 인버터부 중 적어도 하나의 제어를 위한 제어 신호로서 출력하는 단계를 포함하는 것을 특징으로 한다.

[0066] 상기 제어신호 생성방법은, 상기 기준 전압을 제공받아 상기 기준전압의 옵셋 전압을 계산하여 출력하는 단계를 더 포함하는 것을 특징으로 한다.

[0067] 상기 제어신호 생성방법은, 상기 기준 전압과 상기 기준 전압에 의해 계산된 각각의 상기 옵셋 전압을 가산하여 상기 제2 전압으로서 상기 변조신호 생성부에 제공하는 단계를 더 포함하는 것을 특징으로 한다.

[0068] 상기 변조신호 생성부는 상기 변조신호의 생성시 상기 옵셋 전압을 추가로 이용하는 것을 특징으로 한다.

[0069] 상기 제어신호 생성방법은, 상기 비교부가 각각의 변조 신호에 대한 비교 결과를 출력하는 경우, 논리 회로부가 상기 비교 결과의 논리 조합에 따른 논리 신호를 상기 제어 신호로서 출력하는 단계를 더 포함하는 것을 특징으

로 한다.

[0070] 본 발명의 실시예에 따르면, 하나의 캐리어 신호를 사용하여 가령 매트릭스 컨버터 시스템의 정류기단 및 인버터단 모두를 제어하기 위한 제어신호를 생성함으로써 디지털 신호처리에 대한 계산의 복잡성을 줄일 수 있을 것이다.

[0071] 또한 본 발명의 실시예는 스위칭 벡터의 선택, 스위칭 벡터들의 시퀀싱 및 정류기단과 인버터단 간 결합과 같은 3-D SVPWM의 단점들을 극복할 수 있다.

[0072] 나아가 본 발명의 실시예는 불평형 부하 조건하에서도 평형 출력전압을 얻을 수 있게 되어, 출력전압의 개방-루프 및 폐-루프 제어가 가능할 수 있을 것이다.

도면의 간단한 설명

[0073] 도 1은 일반적인 4 레그 VSMC 토폴로지를 나타내는 도면,

도 2는 입력 전류 공간 벡터들을 나타내는 도면,

도 3은 3D α, β, γ 평면에서 16개의 공간 벡터를 나타내는 도면,

도 4는 도 1의 정류기단 및 인버터단의 dc 링크 전압 및 스위칭 상태를 나타내는 도면,

도 5는 본 발명의 실시예에 따른 제어장치의 구조를 나타내는 도면,

도 6은 도 5의 제어장치의 제어신호 생성방법을 예시한 도면,

도 7은 시뮬레이션에 의한 평형 부하 조건하에서의 전류 특성을 보여주는 도면,

도 8은 시뮬레이션에 의한 평형 부하 조건하에서의 필터링 관련 전압 특성을 보여주는 도면,

도 9는 시뮬레이션에 의한 불평형 부하 조건하에서의 전류 특성을 보여주는 도면,

도 10은 시뮬레이션에 의한 불평형 부하 조건하에서의 필터링 관련 전압 특성을 보여주는 도면,

도 11은 실험에 사용된 4 레그 VSMC 포토타입을 나타내는 사진,

도 12는 실험에 의한 평형 부하 조건하에서의 전류 특성을 보여주는 도면,

도 13은 실험에 의한 평형 부하 조건하에서의 필터링 관련 전압 특성을 보여주는 도면,

도 14는 실험에 의한 불평형 부하 조건하에서의 전류 특성을 보여주는 도면,

도 15는 실험에 의한 불평형 부하 조건하에서의 필터링 관련 전압 특성을 보여주는 도면이다.

발명을 실시하기 위한 구체적인 내용

[0074] 이하, 도면을 참조하여 본 발명의 실시예에 대하여 상세히 설명한다.

[0075] 설명에 앞서 우선 별도의 도면으로 나타내지는 않았지만, 본 발명의 실시예에 따른 매트릭스 컨버터 시스템은 (혹은 매트릭스 컨버팅 장치는) 가령 외부에서 입력된 3상 교류 전원을 직류로 변환하여 다양한 레벨의 dc 링크 전압을 출력하는 정류부, 정류부에서 제공받은 dc 링크 전압의 레벨을 변환하여 정극성 및 부극성의 양극성을 갖는 3상 전압으로 변환하여 출력하는 인버터부, 그리고 정류부와 인버터부 중 적어도 하나를 제어하는 제어부의 일부 또는 전부를 포함할 수 있다.

[0076] 여기서 정류부 및 인버터부는 설명의 편의상 도 1을 참조하여 설명한 정류기단(100) 및 인버터단(110)을 포함할 수 있으나, 본 발명의 실시예에서는 반드시 그 구조에 한정하지는 않을 것이다. 다시 말해, 본 발명의 실시예에 따른 매트릭스 컨버터 시스템은 예컨대 도 1의 정류기단(100)의 입력단이나 출력단에 연결되는 별도의 전압 링크부로서 커패시터로 이루어진 전압 저장부 등을 더 포함할 수 있으며, 도 1의 정류기단(100)을 구성하는 스위칭소자들 및 다이오드의 연결 구조는 다를 수 있다. 따라서, 본 발명의 실시예에서의 정류부는 3상의 교류 전원을 직류로 변환하여 출력하는 것이라면 어떠한 형태이어도 무관할 것이다.

[0077] 다만, 설명의 이해를 돕기 위하여 이하에서는 종래 기술의 도면이나 수학식을 함께 참조하여 설명하도록 한다.

[0078] 도 5는 본 발명의 실시예에 따른 제어장치의 구조를 나타내는 도면이고, 도 6은 도 5의 제어장치의 제어신호 생

성방법을 예시한 도면이다.

[0079] 도 5에 도시된 바와 같이, 본 발명의 실시예에 따른 제어장치는 가령 매트릭스 컨버터 시스템을 제어하기 위한 제어장치로서, 옵셋전압 계산부(500), 가산부(510), 변조신호 생성부(520), 캐리어신호 발생부(530), 비교부(540) 및 논리 회로부(550)의 일부 또는 전부를 포함할 수 있다.

[0080] 본 발명의 실시예에 따른 제어장치는 가령 캐리어 기반 PWM 변조기로서 변조 신호들과 캐리어신호를 이용하여 제어신호를 생성한다. 이때 캐리어 기반 PWM을 SVPWM 방식과 연계시키려면, SVPWM 방식과 동일한 펄스를 생성하기 위하여 캐리어신호와 비교되는 변조신호들의 집합을 찾는 과정을 수행하게 된다.

[0081] 예컨대 제어장치는 캐리어신호로서 도 6의 (b)에서와 같은 삼각 캐리어신호를 이용할 수 있는데, 이는 <수학식 20>에서와 같이 표현될 수 있다.

수학식 20

[0082] $$v_t = \left(\frac{4}{T_s} t - 1 \right) V_p$$

[0083] 여기서, Vt 및 Vp는 삼각 캐리어신호의 순시값 및 피크값을 각각 나타낸다. Ts는 샘플링 주기이다.

[0084] 일반성(generality)을 훼손하지만 않는다면, 본 발명의 실시예에 따른 삼각 캐리어신호의 피크값은 입력 전압의 진폭과 동일 값으로 선택될 수 있을 것이다. 이는 <수학식 21>과 같다.

수학식 21

[0085] $$V_p = V_1$$

[0086] 먼저, 본 발명의 실시예에 따른 제어장치가 도 1의 정류기단(100)을 제어하는 경우에 대하여 살펴보도록 한다.

[0087] 예를 들어, 입력 전류 공간 벡터가 도 2에 도시된 대로 섹터 1에 위치한다고 가정하자. 이때, 도 1의 정류기단(100)의 스위칭소자 Sap는 온(ON) 상태, 스위칭소자 Sbn 및 Scn은 변조되며(modulated), 나머지 모든 스위칭소자들은 오프(OFF) 상태가 된다. 도 6의 (b)에 근거해 볼 때, 정류기단(100)의 제어를 위한 변조 신호들을 얻는 것은 어렵지 않다. 이때 변조 신호들은 <수학식 22> 및 <수학식 23>을 통해 얻을 수 있다.

수학식 22

[0088] $$v_{ap} = V_1$$

수학식 23

[0089] $$v_{cn} = \left(-2\frac{v_c}{v_a} - 1 \right) V_1$$

[0090] 또한 스위칭소자 Sap 및 Scn을 구동하기 위한 제어신호는 변조 신호들 Vap 및 Vcn으로부터 각각 얻을 수 있다. 스위칭소자 Sbn의 구동을 위한 제어신호는 스위칭소자 Scn의 제어신호와 상보적이다.

[0091] 본 발명의 실시예에 따라 정류기단(100)의 스위칭 주파수는 삼각 캐리어 신호 주파수와 동일한 데 반하여 인버터단(110)의 스위칭 주파수는 캐리어 신호 주파수의 2배에 해당되는 것이 바람직하다. 제어장치는 인버터단(110)의 각 스위칭소자들을 구동하기 위한 제어신호를 발생하기 위하여 두 개의 변조 신호들을 필요로 한다. 예

를 들어, 도 6에서 볼 때, 펄스 Sc1 및 Sc2는 두 개의 변조 신호들 Vc1, Vc2 및 대칭적인 삼각 신호 Vt를 비교해서 얻어지게 된다. 결과적으로 스위칭소자 Sc를 구동하기 위한 제어신호는 <수학식 24>에 의해 결정된다.

수학식 24

[0092] $$S_C = S_{C1}S_{C2} + \overline{S}_{C1}\overline{S}_{C2}$$

[0093] 도 6의 (b)에서 볼 때, 지속시간(duration) Tc1 및 Tc2는 <수학식 25> 및 <수학식 26>과 같이 결정된다.

수학식 25

[0094] $$T_{C1} = \left(d_{(pppp)ac} + d_{(pppn)ac}\right)\frac{T_s}{2}$$

수학식 26

[0095] $$T_{C2} = \left(d_{ac} + d_{(nnnn)ab} + d_{(ppnn)ab} + d_{(pnnn)ab}\right)\frac{T_s}{2}$$

[0096] 또한 듀티비 d(pp)ac, d(pppn)ac, d(nnnn)ab, d(ppnn)ab, d(pnnn)ab 및 dac는 <수학식 25> 및 <수학식 26>에 대입하여, 펄스 Sc1, Sc2를 발생하기 위해 사용되는 2개의 변조 신호들을 <수학식 27> 및 <수학식 28>과 같이 구할 수 있다.

수학식 27

[0097] $$v_{C1} = V_1\left(-2\frac{v_c}{v_a}\frac{v_{Cref} + v_{offset}}{\overline{V}_{dc}} + \frac{v_b}{v_a}\right)$$

수학식 28

[0098] $$v_{C2} = V_1\left(2\frac{v_b}{v_a}\frac{v_{Cref} + v_{offset}}{\overline{V}_{dc}} - \frac{v_c}{v_a}\right)$$

[0099] 여기서, $\overline{V}_{dc}$는 평균 dc 링크 전압, V_{Aref}, V_{Bref}, V_{Cref}는 3상 기준출력 전압이다.

[0100] 옵셋 성분은 <수학식 29>에서와 같이 선택된다.

수학식 29

[0101] $$v_{offset} = \mathrm{mid}\left(-\frac{v_{\max}}{2}, -\frac{v_{\min}}{2}, -\frac{v_{\max} + v_{\min}}{2}\right)$$

[0102] 여기서, Vmax, Vmid 및 Vmin은 <수학식 30> 내지 <수학식 32>에서와 같다.

수학식 30

[0103] $$v_{\max} = \max\left(v_{Aref}, v_{Bref}, v_{Cref}\right)$$

수학식 31

[0104] $$v_{\mathrm{mid}} = \mathrm{mid}\left(v_{Aref}, v_{Bref}, v_{Cref}\right)$$

수학식 32

[0105] $$v_{\min} = \min\left(v_{Aref}, v_{Bref}, v_{Cref}\right)$$

[0106] 유사한 분석으로서, 스위칭소자 S_A, S_B 및 S_f를 구동하기 위한 제어신호를 생성하기 위한 변조신호들은 <수학식 38> 내지 <수학식 38>에서와 나타낼 수 있다.

수학식 33

[0107] $$v_{A1} = V_1\left(-2\frac{v_c}{v_a}\frac{v_{Aref}+v_{offset}}{\overline{V}_{dc}}+\frac{v_b}{v_a}\right)$$

수학식 34

[0108] $$v_{A2} = V_1\left(2\frac{v_b}{v_a}\frac{v_{Aref}+v_{offset}}{\overline{V}_{dc}}-\frac{v_c}{v_a}\right)$$

수학식 35

[0109] $$v_{B1} = V_1\left(-2\frac{v_c}{v_a}\frac{v_{Bref}+v_{offset}}{\overline{V}_{dc}}+\frac{v_b}{v_a}\right)$$

수학식 36

[0110] $$v_{B2} = V_1\left(2\frac{v_b}{v_a}\frac{v_{Bref}+v_{offset}}{\overline{V}_{dc}}-\frac{v_c}{v_a}\right)$$

수학식 37

[0111] $$v_{f1} = V_1\left(-2\frac{v_c}{v_a}\frac{v_{offset}}{\overline{V}_{dc}} + \frac{v_b}{v_a}\right)$$

수학식 38

[0112] $$v_{f2} = V_1\left(2\frac{v_b}{v_a}\frac{v_{offset}}{\overline{V}_{dc}} - \frac{v_c}{v_a}\right)$$

[0113] 그러면 도 5를 참조하여, 본 발명의 실시예에 따른 제어장치의 구성에 대하여 좀더 구체적으로 살펴보도록 한다.

[0114] 옵셋전압 계산부(500)는 예를 들어 출력하고자 하는 인버터 3상 출력전압에 대한 기준 출력전압(혹은 기준전압)을 제공받아 전압의 옵셋 전압(Voffset)을 계산한다. 이때 옵셋 전압은 가령 <수학식 29>이 적용된 알고리즘의 수행을 통해 계산될 수 있으며, 여기서 3상 기준 출력전압은 앞의 <수학식 10> 및 <수학식 11>을 통해 계산되어 제공될 수 있는데, 이와 같은 기준 출력전압은 가령 매트릭스 컨버터 시스템의 설계시 설정된 기준 전압일 수 있다.

[0115] 또한 가산부(510)는 도 5에 도시된 바와 같이 외부에서 입력된 3상 기준 출력 전압과 옵셋 전압 계산부(500)에서 출력되는 옵셋 전압을 서로 가산하여 변조신호 생성부(520)로 제공한다. 이때, 변조신호 생성부(520)에 제공된 소위 가산 전압V_A, V_B, V_C)은 각각의 위상에 관련되는 전압에 해당될 수 있다.

[0116] 변조신호 계산부(520)는 3상 입력 전압(Va, Vb, Vc)과 가산부(510)에서 제공된 가산전압(V_A, V_B, V_C), 더 나아가서는 옵셋전압 계산부(500)에서 제공한 옵셋 전압을 이용하여 변조 신호 즉, 변조 전압을 생성하여 출력하게 된다. 앞서 살펴보았지만, 변조신호 생성부(520)는 <수학식 12> 내지 <수학식 17>을 가령 알고리즘의 형태로 적용함으로써 가령 인버터부(120)의 스위칭소자들을 제어하기 위한 변조신호들을 생성한다. 이때 출력되는 변조신호들은 정현파 형태를 이룰 수 있다. 여기서, 3상 입력 전압은 <수학식 1> 내지 <수학식 3>에서와 같이 표현될 수 있다.

[0117] 캐리어신호 발생부(530)는 예컨대 삼각파 발생기로서 주파수는 인버터단(110)의 스위칭 주파수의 1/2배이다. 다시 말해, 하나의 삼각파가 발생되는 구간에서, 상보적으로 동작하는 한 쌍의 스위칭소자들이 온/오프된다고 볼 수 있다. 또한 인버터단(110)의 스위칭소자들은 삼각파의 1/2 주기(T_S/2)에서 듀티비를 결정할 수 있을 것이다.

[0118] 비교부(540)는 변조신호 생성부(520)에서 출력되는 변조 신호들과 캐리어신호 발생부(530)에서 출력되는 캐리어신호를 비교한다. 이때 비교부(540)는 각각의 변조 신호와 캐리어 신호의 비교에 따라 '0' 또는 '1' 중 하나의 결과를 출력한다. 예를 들어, 비교부(540)는 변조신호 생성부(520)에서 출력되는 정극성 및 부극성의 2개의 변조신호를 각각 비교하여 비교 결과를 논리 회로부(550)로 출력할 수 있지만, 비교 결과로서 하나의 변조신호를 논리 회로부(550)의 경유 없이 바로 인버터단(110)으로 제공할 수도 있을 것이다. 따라서 이의 경우 비교 결과는 제어신호로도 이용될 수 있을 것이다.

[0119] 논리 회로부(550)는 본 발명의 실시예에 따라 EXNOR 게이트와 같은 논리 게이트를 포함한다. 다시 말해, 2개의 입력, 즉 2개의 변조 신호에 대한 비교 결과가 '0' 또는 '1'로서 서로 일치할 때, '1'의 논리신호를 출력하고, 서로 일치하지 않을 때 '0'의 논리신호를 출력하게 되는 것이다. 이때 출력 결과는 <수학식 24>에 따라 결정되어 출력될 수 있다. 물론 본 발명의 실시예에 따라 논리 회로부(550)는 원하는 결과를 얻을 수만 있다면 EXNOR 게이트 이외에 어떠한 논리 게이트의 조합이어도 무관하므로 이에 특별히 한정하지는 않을 것이다.

[0120] 결국, 본 발명의 바람직한 실시예에 따른 제어장치는 논리 회로부(550)에서 출력되는 논리신호에 의해 도 1에 도시된 인버터단(110)의 스위칭소자들을 제어할 수 있게 된다. 여기서 논리신호는 곧 스위칭소자들의 제어신호가 된다.

[0121] 도 5에서는 도 1에 도시된 인버터단(110)의 상단 스위칭소자들에 해당하는 제어신호들만 출력하는 것으로 나타내었지만, 실질적으로 논리 회로부(550)는 별도의 부정(NOT) 회로(혹은 인버터)를 추가함으로써 스위칭소자들을 상보적으로 동작시키기 위한 제어신호들을 추가로 생성할 수도 있을 것이다.

[0122] 이어 본 발명의 실시예에 의한 시뮬레이션 과정 및 결과를 살펴보도록 한다.

[0123] 본 발명의 실시예에 따른 방법의 유효성을 증명하기 위하여 Psim 9.0 소프트웨어에 의해 시뮬레이션을 수행하였다. 본 시스템은 다음과 같은 파라미터로 시뮬레이션이 수행된다.

[0124] - 3상 전원 공급장치: 100V/60Hz

[0125] - 입력 필터 파라미터: L = 1.4mH, C = 27㎌

[0126] - 출력 필터 파라미터: L = 4mH, C = 22.5㎌

[0127] - 샘플링 주기: Ts = 100㎲

[0128] - 출력 주파수: fout = 50Hz

[0129] 이때, 바람직한 출력 전압은 <수학식 39> 내지 <수학식 41>과 같다.

수학식 39

[0130] $$v_A = 0.5V_1 \cos(\omega_2 t)$$

수학식 40

[0131] $$v_B = 0.5V_1 \cos(\omega_2 t - 2\pi/3)$$

수학식 41

[0132] $$v_C = 0.5V_1 \cos(\omega_2 t + 2\pi/3)$$

[0133] 첫 번째 시뮬레이션은 평형(혹은 균형) 부하, 즉 3상 저항 부하가 R_A = R_B = R_C = 10Ω인 값으로 수행된다.

[0134] 도 7은 평형 부하를 갖는 4 레그 VSMC의 입/출력 파형을 나타내는 도면으로서, 도 7의 (a) 및 (b)는 3상 입력 및 출력 전류들을 각각 보여준다.

[0135] 도 7에서 볼 때, 입력 및 출력 전류 둘 다 정현파인 것을 확인할 수 있다. 평형 부하 때문에, 도 7의 (c)에서와 같이 중성 전류는 거의 0이 된다.

[0136] 도 8은 출력 전압의 성능을 나타내는 도면이다. 도 8의 (a)는 필터링되지 않은 입력 위상 전압을 나타내고, 도 8의 (b)는 필터링된 출력 위상 전압을 나타낸다. 도 8에서와 같이 원하는 출력 전압을 얻을 수 있음을 확인할 수 있다.

[0137] 도 9 및 도 10은 불평형 부하를 갖는 시스템의 성능을 나타내는 도면이다.

[0138] 이 경우, 4 레그 VSMC는 불평형 저항 부하가 R_A = R_B = 10Ω, R_C = 20Ω의 값으로 주어진다.

[0139] 도 9의 (a)는 입력 전류를 나타낸다. 부하가 불평형하기 때문에 입력 전류의 왜곡(disturbance)이 초래된다. 위상 C의 부하가 2배 증가하기 때문에, 위상 C의 전류는 도 9의 (b)에서와 같이 2배 감소된다. 도 9의 (c)에 근거해 볼 때, 중성 전류는 불평형 부하에 따르고(take up), 중성 전류 파형은 위상 C의 전류와 유사한 것을 확인할 수 있다.

[0140] 도 10은 출력 전압의 성능을 나타내는 도면으로서, 본 발명의 실시예에 따른 방법은 불평형 부하 조건하에서조

차 평형 전압을 생성할 수 있으며, 그 전압 파형은 도 10에 도시된 전압 파형과 유사한 것을 확인할 수 있다.

[0141] 그러면 위의 시뮬레이션 대비 실험 결과에 대하여 살펴보도록 한다.

[0142] 본 발명의 실시예에서 제안하는 방법 및 시뮬레이션을 검증하기 위하여, 캐리어 기반 PWM에 대한 실험이 수행되었다. 제어 시스템은 32 비트 플로팅 포인트 TMS320F28335 및 복합 프로그래머블 논리 디바이스(CPLD) 타입 EPM7128SLC4-15(Altera)로 구현된다.

[0143] 도 11은 4 레그 VSMC를 나타내는 사진이다.

[0144] 실험에서 설정된 모든 파라미터들은 시뮬레이션 파라미터와 동일하다.

[0145] <평형 부하의 경우>

[0146] 도 12의 (a)는 입력 전류 성능을 나타내고, 도 12의 (b) 및 (c)는 3상 출력 전류 및 중성 전류를 각각 나타내는 도면이다.

[0147] 평형 부하 조건하에서, 모든 파형이 완벽하게 정현파이고, 중성 전류는 0인 것을 확인할 수 있다.

[0148] 도 13의 (a)는 필터링되지 않은 출력 위상 대비 중성 전압을 나타내는 도면이고, 도 13의 (b)는 원하는 3상 출력 전압을 나타내는 도면이다.

[0149] 도 13에 도시된 바와 같이, 실험 결과가 시뮬레이션 결과와 일치함을 확인할 수 있을 것이다.

[0150] <불평형 부하의 경우>

[0151] 도 14는 불평형 부하 조건하에서의 입력 전류, 출력 전류 및 중성 출력 특성을 보여주는 도면이다.

[0152] 4 레그 VSMCDML 출력에 불평형 부하가 접속되는 경우, 입력 전류는 도 14의 (a)에 도시된 바와 같이 고조파를 포함하게 된다. 도 14의 (b)는 불평형 출력 전류를 보여주고 있으며, 위상 C의 저항성이 2배 증가하기 때문에 위상 C의 전류가 절반으로 감소된다. 불평형 부하 때문에 중성 전류는 0이 아니다. 이 경우 중성 전류는 도 14의 (c)에 도시된 바와 같이 위상 C 전류와 거의 동일하다.

[0153] 도 15는 출력 전압 성능을 나타내는 도면이다.

[0154] 평형 출력 전압은 4 레그 VSMC 출력에서 변조된다. 도 15의 (b)는 도 13의 (b)의 파형과 유사함을 확인할 수 있다.

[0155] 지금까지 본 발명의 실시예에 따른 4 레그 VSMC를 위한 캐리어 기반 변조 기술을 살펴보았다. 본 발명의 실시예는 가령 알고리즘의 형태로 구현될 수 있는데, 이러한 알고리즘은 1개의 대칭형 삼각 캐리어 신호만을 사용하여 정류기단 및 4 레그 인버터단 제어용 펄스를 생성하게 된다. 본 발명의 실시예에 따라 스위칭 벡터의 선택, 스위칭 벡터의 시퀀싱 및 정류기단 및 인버터단 스위칭 사이의 조합과 같이 3D SWPWM에서의 일부 단점들(drawbacks)을 극복할 수 있을 것이다.

[0156] 시뮬레이션 및 실험 결과는 프로토타입 4 레그 VSMC로부터의 결과로서, 본 발명의 실시예에 따른 방법이 4 레그 매트릭스 컨버터 시스템을 제어하는 데 적합하다는 것을 확인할 수 있었다. 본 발명의 실시예에 따른 방법은 불평형 부하 조건 하에서도 평형 출력을 얻을 수 있었다. 따라서, 본 발명의 실시예는 개방-루프 제어이냐 폐-루프 제어이냐에 관계없이 모든 제어에 고려될 수 있을 것이다.

[0157] 이상에서는 본 발명의 바람직한 실시예에 대하여 도시하고 설명하였지만, 본 발명은 상술한 특정의 실시예에 한정되지 아니하며, 청구범위에 청구하는 본 발명의 요지를 벗어남이 없이 당해 발명이 속하는 기술분야에서 통상의 지식을 가진 자에 의해 다양한 변형실시가 가능한 것은 물론이고, 이러한 변형실시들은 본 발명의 기술적 사상이나 전망으로부터 개별적으로 이해되어서는 안 될 것이다.

부호의 설명

[0158] 100: 정류기단 110: 인버터단

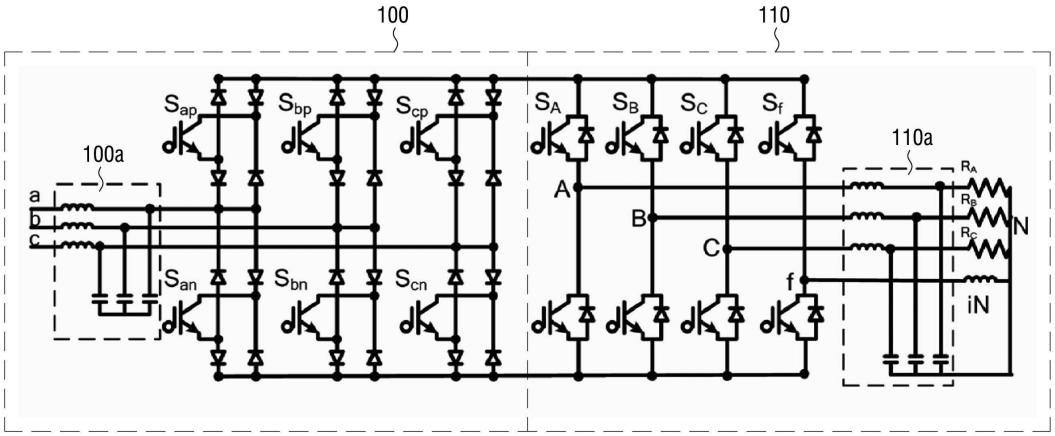
500: 옵셋전압 계산부 510: 가산부

520: 변조신호 생성부 530: 캐리어신호 발생부

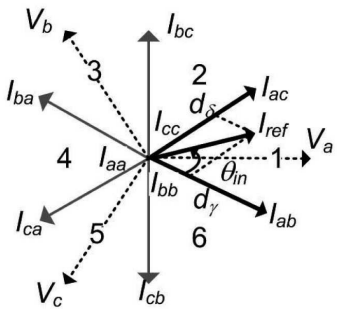
540: 비교부 550: 논리 회로부

도면

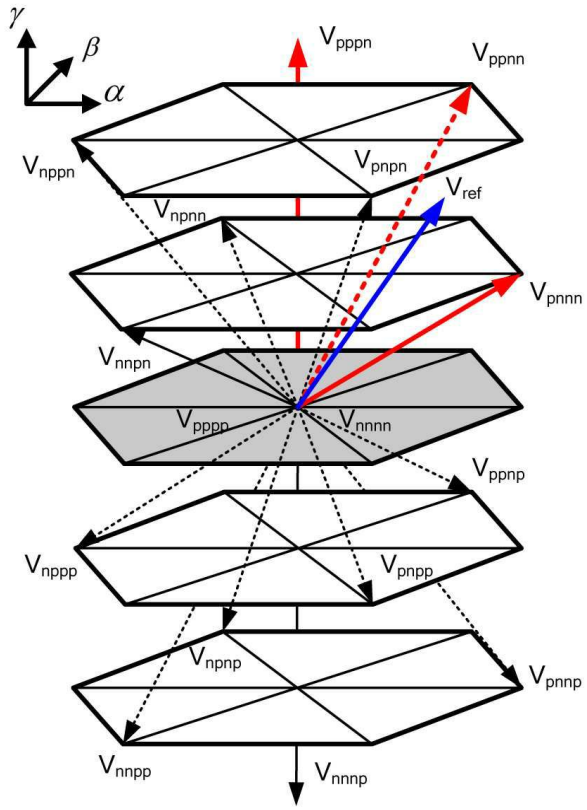
도면1


100
110
100a
110a
Sap
Sbp
Scp
San
Sbn
Scn
SA
SB
SC
Sf
a
b
c
A
B
C
f
N
iN

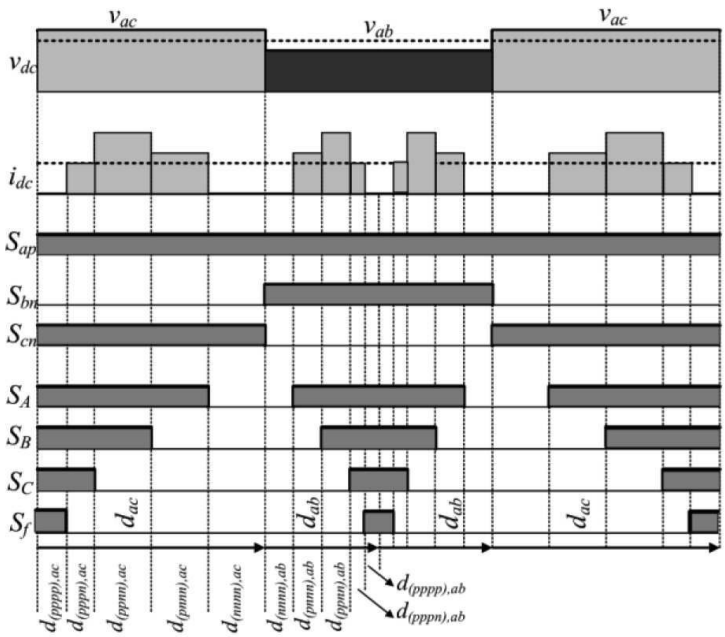
도면2


Vb
Ibc
Iba
Iac
Icc
Iref
Va
Iaa
θin
Ibb
Iab
Ica
Vc
Icb
1
2
3
4
5
6

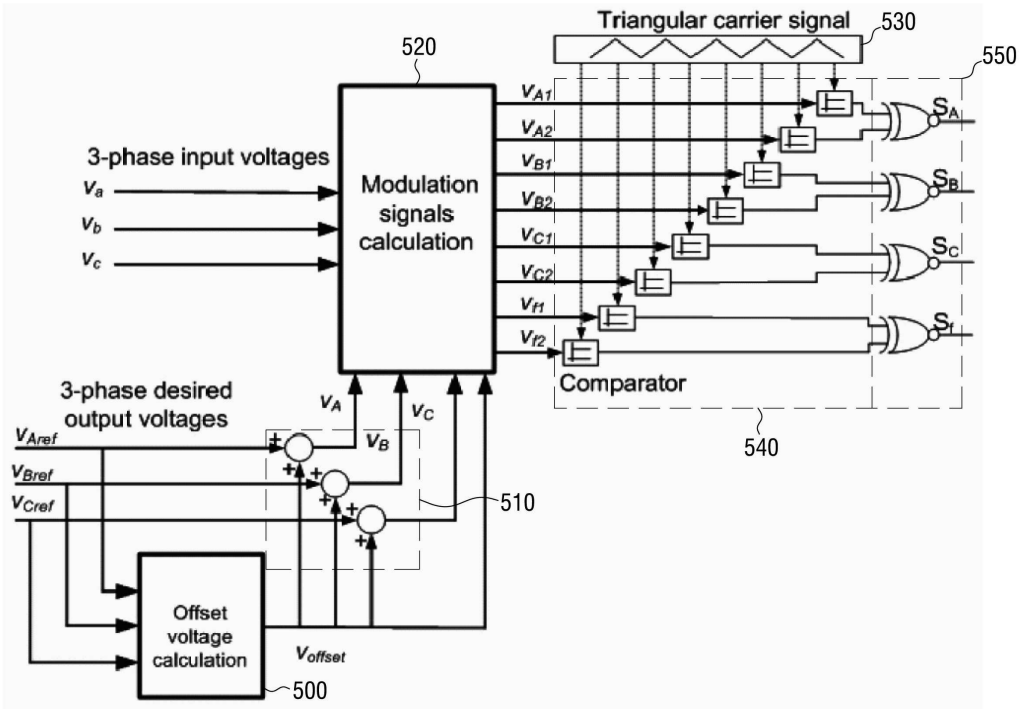
도면3


γ
β
α
Vpppn
Vppnn
Vnppn
Vpnpn
Vref
Vnpnn
Vpnnn
Vnnpn
Vpppn
Vnnnn
Vppnp
Vnppp
Vpnpp
Vnpnp
Vpnnp
Vnnpp
Vnnnp

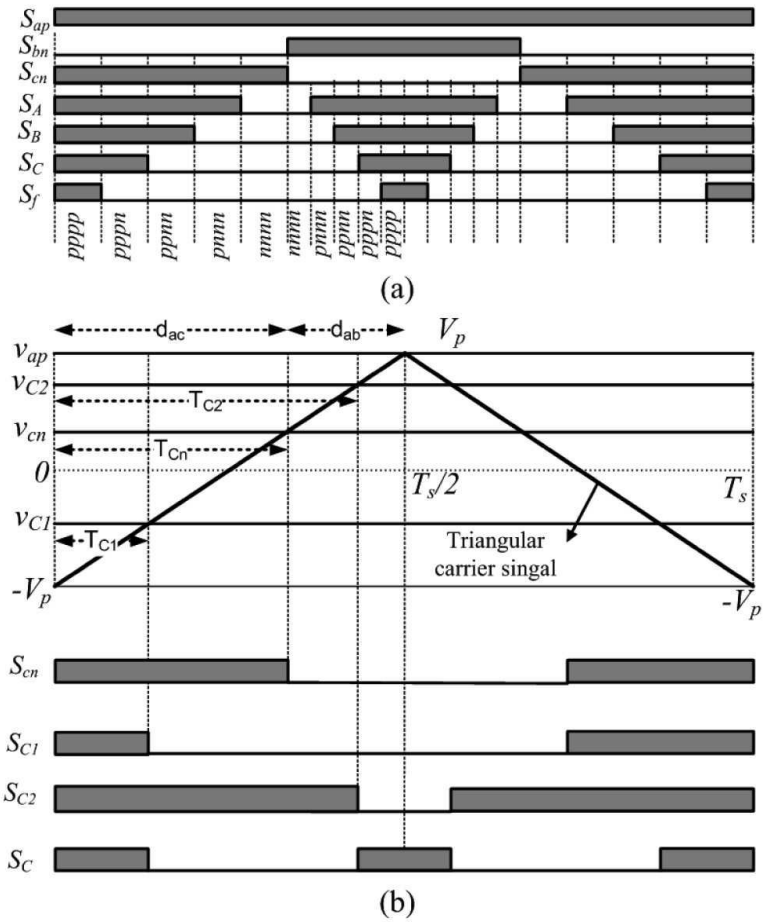
도면4


v_{ac}
v_{ab}
v_{ac}
v_{dc}
i_{dc}
S_{ap}
S_{bn}
S_{cn}
S_A
S_B
S_C
S_f
d_{ac}
d_{ab}
d_{ab}
d_{ac}
$d_{(pppp),ac}$
$d_{(pppn),ac}$
$d_{(ppnn),ac}$
$d_{(pnnn),ac}$
$d_{(nnnn),ac}$
$d_{(nnnn),ab}$
$d_{(pnnn),ab}$
$d_{(ppnn),ab}$
$d_{(pppp),ab}$
$d_{(pppn),ab}$

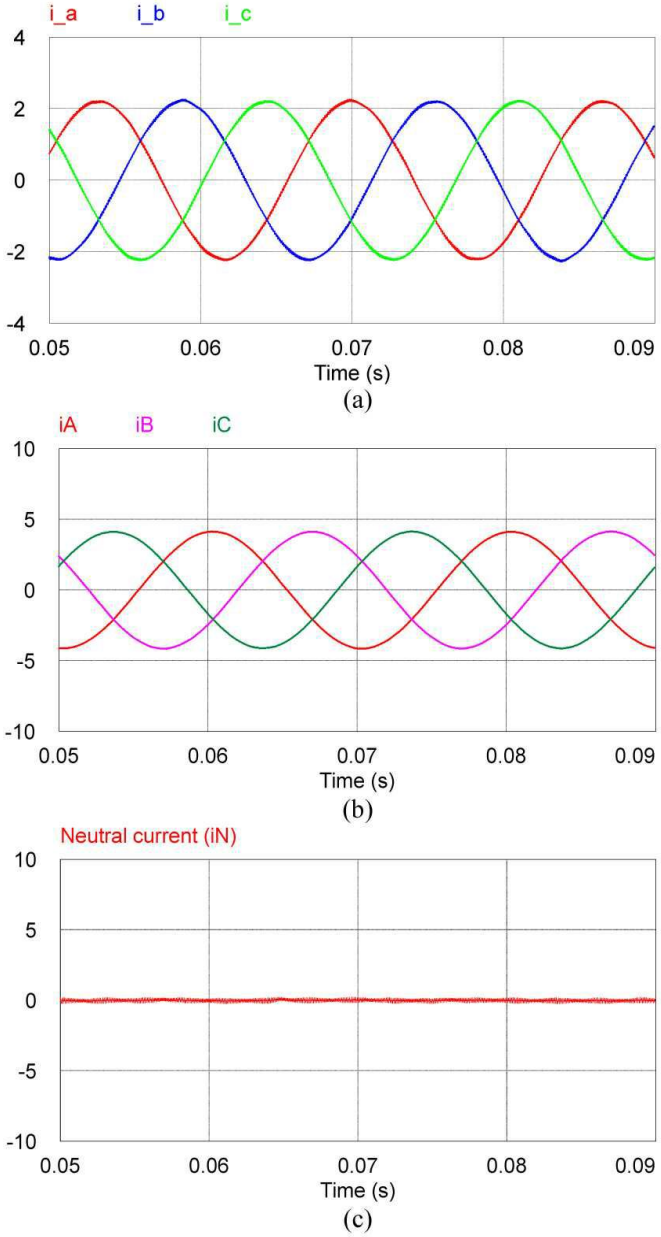
도면5


Triangular carrier signal
530
520
550
3-phase input voltages
v_a
v_b
v_c
Modulation signals calculation
v_{A1}
v_{A2}
v_{B1}
v_{B2}
v_{C1}
v_{C2}
v_{f1}
v_{f2}
S_A
S_B
S_C
S_f
Comparator
540
3-phase desired output voltages
V_{Aref}
V_{Bref}
V_{Cref}
V_A
V_B
V_C
510
Offset voltage calculation
V_{offset}
500

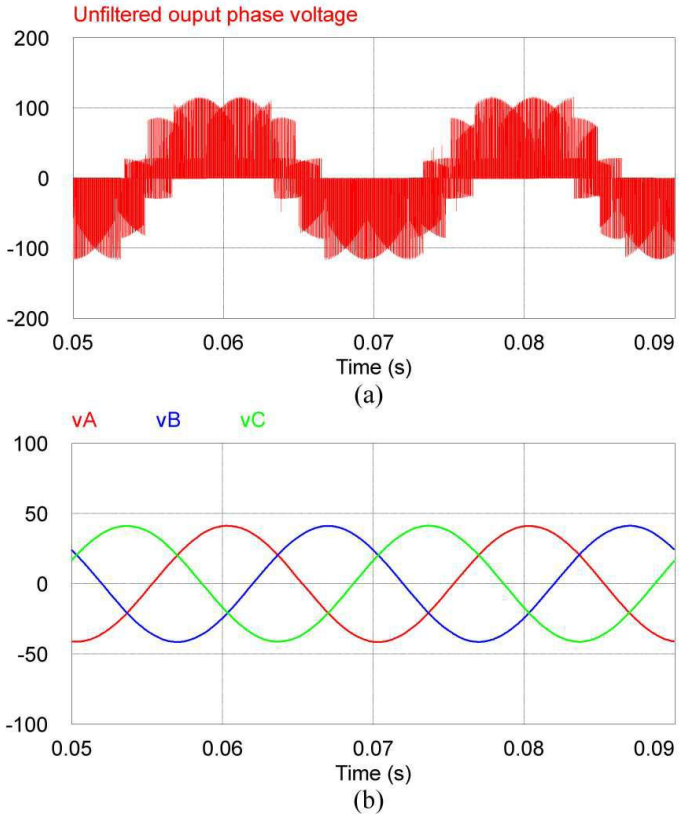
도면6


S_{ap}
S_{bn}
S_{cn}
S_A
S_B
S_C
S_f
dddd
pddd
ppdd
pppd
nppp
nnnn
pnnn
ppnn
pppn
dddd
(a)
d_{ac}
d_{ab}
V_p
v_{ap}
v_{C2}
T_{C2}
v_{cn}
T_{Cn}
0
$T_s/2$
T_s
v_{C1}
T_{C1}
Triangular carrier singal
$-V_p$
$-V_p$
S_{cn}
S_{C1}
S_{C2}
S_C
(b)

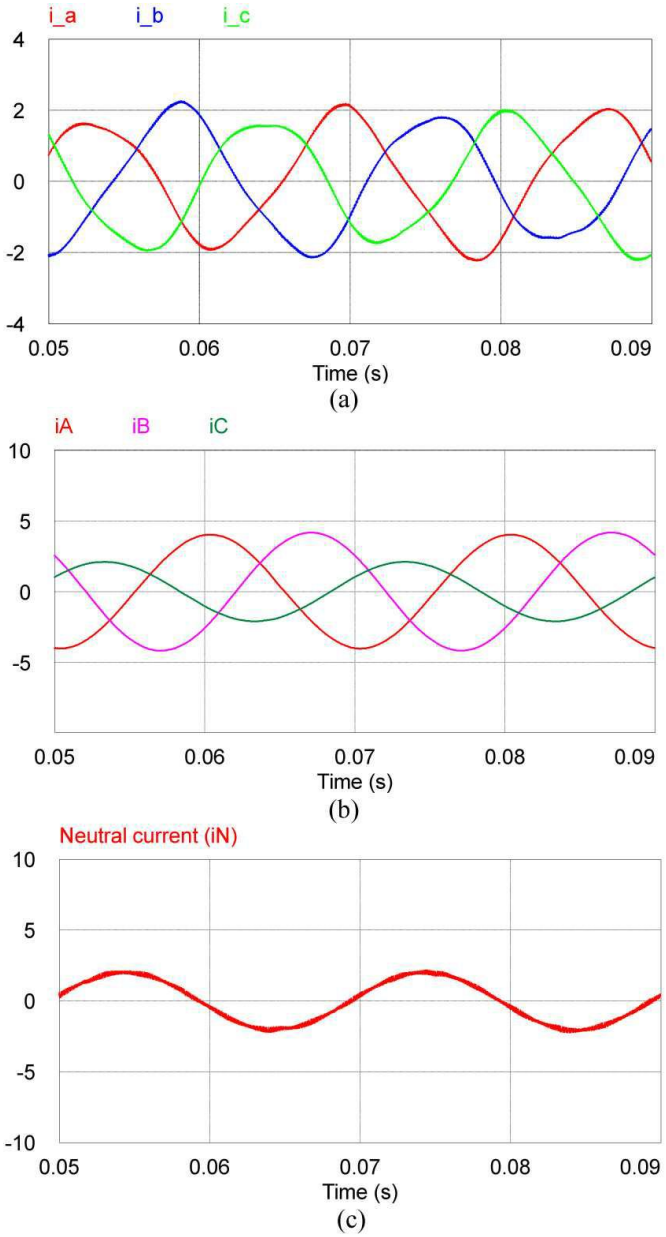
도면7


i_a
i_b
i_c
4
2
0
-2
-4
0.05
0.06
0.07
0.08
0.09
Time (s)
(a)
iA
iB
iC
10
5
0
-5
-10
0.05
0.06
0.07
0.08
0.09
Time (s)
(b)
Neutral current (iN)
10
5
0
-5
-10
0.05
0.06
0.07
0.08
0.09
Time (s)
(c)

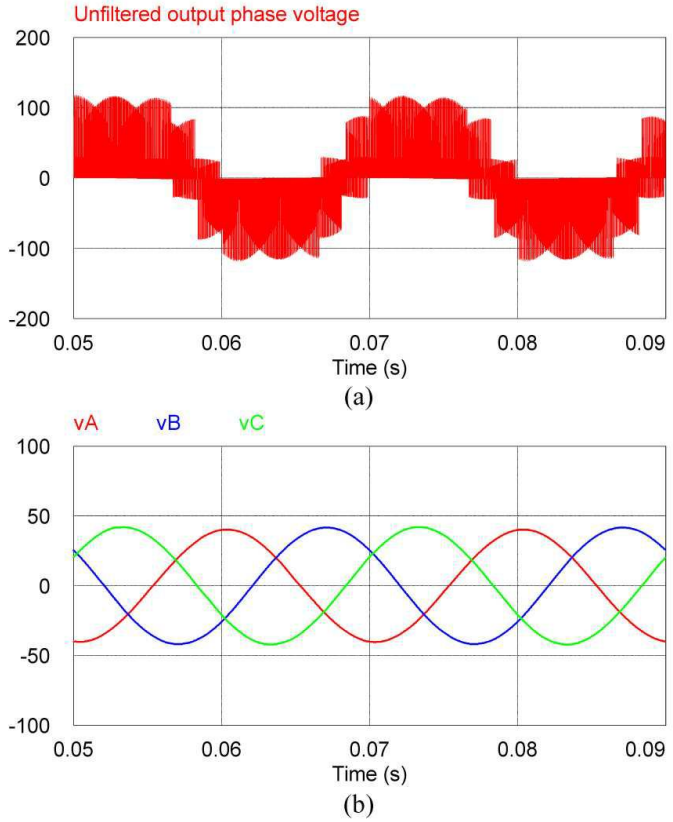
도면8


Unfiltered ouput phase voltage
200
100
0
-100
-200
0.05
0.06
0.07
0.08
0.09
Time (s)
(a)
vA
vB
vC
100
50
0
-50
-100
0.05
0.06
0.07
0.08
0.09
Time (s)
(b)

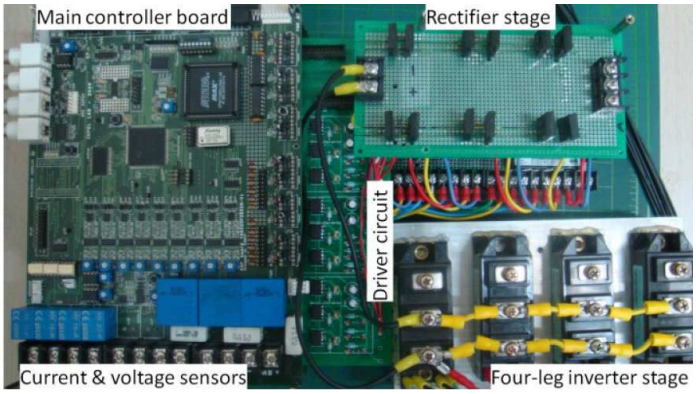
도면9


i_a
i_b
i_c
4
2
0
-2
-4
0.05
0.06
0.07
0.08
0.09
Time (s)
(a)
iA
iB
iC
10
5
0
-5
0.05
0.06
0.07
0.08
0.09
Time (s)
(b)
Neutral current (iN)
10
5
0
-5
-10
0.05
0.06
0.07
0.08
0.09
Time (s)
(c)

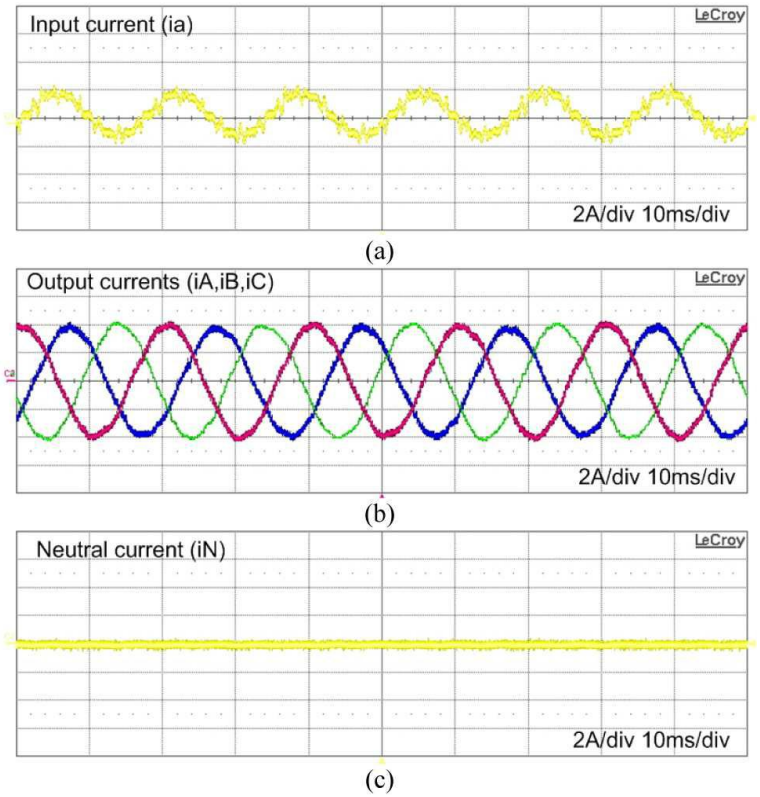
도면10


Unfiltered output phase voltage
200
100
0
-100
-200
0.05
0.06
0.07
0.08
0.09
Time (s)
(a)
vA
vB
vC
100
50
0
-50
-100
0.05
0.06
0.07
0.08
0.09
Time (s)
(b)

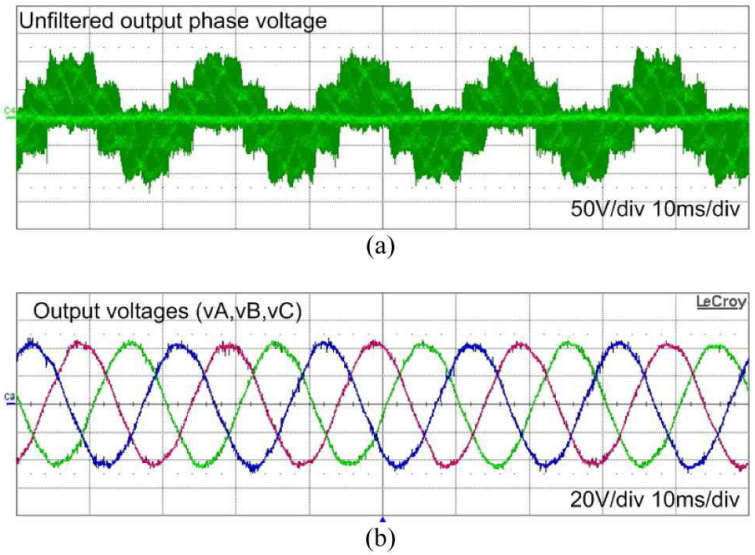
도면11


Main controller board
Rectifier stage
Driver circuit
Current & voltage sensors
Four-leg inverter stage

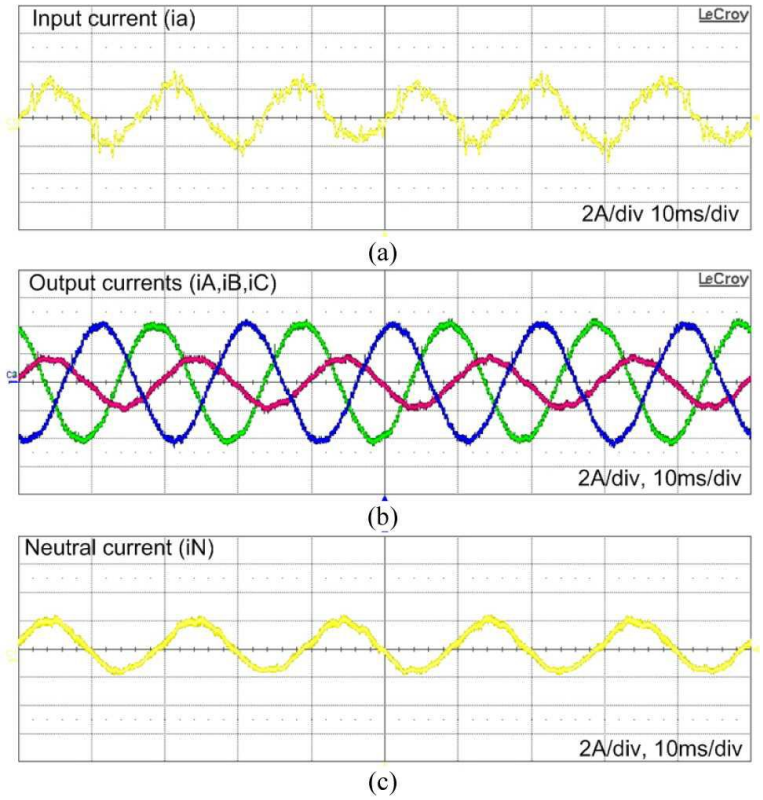
도면12


Input current (ia)
LeCroy
2A/div 10ms/div
(a)
Output currents (iA,iB,iC)
LeCroy
2A/div 10ms/div
(b)
Neutral current (iN)
LeCroy
2A/div 10ms/div
(c)

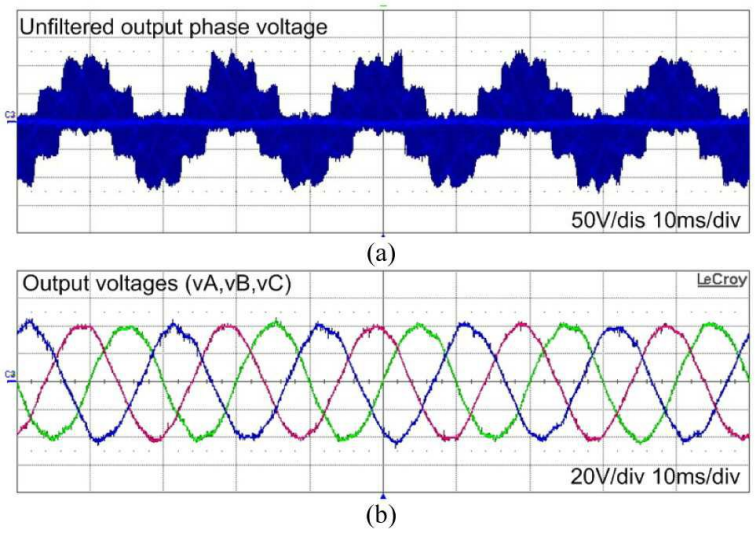
도면13


Unfiltered output phase voltage
50V/div 10ms/div
(a)
Output voltages (vA,vB,vC)
LeCroy
20V/div 10ms/div
(b)

도면14


Input current (ia)
LeCroy
2A/div 10ms/div
(a)
Output currents (iA,iB,iC)
LeCroy
2A/div, 10ms/div
(b)
Neutral current (iN)
2A/div, 10ms/div
(c)

도면15


Unfiltered output phase voltage
50V/dis 10ms/div
(a)
Output voltages (vA,vB,vC)
LeCroy
20V/div 10ms/div
(b)