

【公報種別】特許法第17条の2の規定による補正の掲載
【部門区分】第7部門第2区分
【発行日】令和6年8月16日(2024.8.16)

【公開番号】特開2024-13569(P2024-13569A)
【公開日】令和6年2月1日(2024.2.1)
【年通号数】公開公報(特許)2024-020
【出願番号】特願2022-115748(P2022-115748)
【国際特許分類】

H 0 1 L 2 1 / 6 0 (2 0 0 6 . 0 1)

10

H 0 1 L 2 5 / 0 7 (2 0 0 6 . 0 1)

【 F I 】

H 0 1 L 2 1 / 6 0 3 2 1 E

H 0 1 L 2 5 / 0 4 C

【手続補正書】

【提出日】令和6年8月7日(2024.8.7)

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】0051

20

【補正方法】変更

【補正の内容】

【0051】

図11に示されるように、図10に示された工程(S1)および工程(S2)と同様に基板4と半導体素子2を準備する工程(S1a)および第1搭載工程(S2a)が実施される。その後、第2搭載工程(S3a)が実施される。この工程(S3a)は、図10で示された第2搭載工程(S5)と同じ工程である。なお、上述した工程(S2a)より先に工程(S3a)が実施されてもよい。

30

40

50