

公告本

申請日期: 90.6.15 案號: 90114587
 類別: G11C 1/00; H01L 27/109

(以上各欄由本局填註)

發明專利說明書

520494

一、發明名稱	中文	節點電容加強型之DRAM單元佈局
	英文	DRAM CELL LAYOUT FOR NODE CAPACITANCE ENHANCEMENT
二、發明人	姓名 (中文)	1. 約漢 艾斯梅爾 2. 卡爾 雷丹
	姓名 (英文)	1. JOHANN ALSMEIER 2. CARL RADENS
	國籍	1. 德國 2. 美國
	住、居所	1. 德國拉迪貝爾市卡爾黎布尼克街1號 2. 美國紐約州拉格倫維爾市庫奇勒大道35號
三、申請人	姓名 (名稱) (中文)	1. 美商北美億恒科技公司 2. 美商萬國商業機器公司
	姓名 (名稱) (英文)	1. INFINEON TECHNOLOGIES NORTH AMERICA CORP. 2. INTERNATIONAL BUSINESS MACHINES CORPORATION
	國籍	1. 美國 2. 美國
	住、居所 (事務所)	1. 美國加州聖約瑟市北第一街1730號 2. 美國紐約州阿蒙市新果園路
	代表人姓名 (中文)	1. 瑪莉 C. 嘉芬 2. 傑拉德 羅森賽
	代表人姓名 (英文)	1. MARY C. GARFEIN 2. GERALD ROSENTHAL



本案已向

國(地區)申請專利

申請日期

案號

主張優先權

美國 US

2000/06/23 09/603,439

有

本申請係依據專利法第43條之規定，
主張優先權。

有關微生物已寄存於

寄存日期

寄存號碼

無



五、發明說明 (1)

相關申請案交互參考

本發明之態樣關聯於揭櫫在名為"Structure and Process for 6F2 Trench Capacitor DRAM Cell with Vertical MOSFET and 3F Bitline" 律師檔案編號 FI9-99-0289 與名為"Process Flow for Maskless Single Sided Buried Strap Formation of Vertical Cell" 律師檔案編號 FI9-99-0290 之同時申請中的申請案之主體，各該申請案授與本發明之受讓人。

發明背景

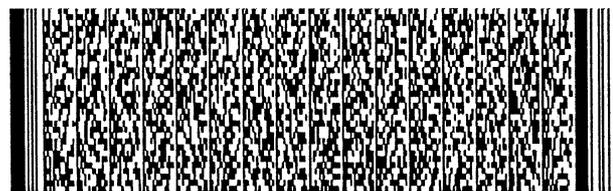
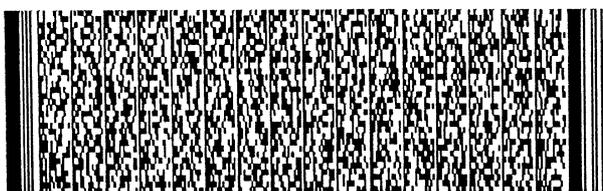
1. 發明領域

本發明概略關於動態隨機存取記憶體(dynamic random access memory, DRAM)單元。更明確地說，本發明關於深溝槽電容器DRAM單元陣列之單元對組的深溝槽佈局或定位圖樣，以便增加不同單元對組之相鄰溝槽間的間距。

2. 背景與相關技藝

DRAM單元一般包括儲存電容器及隔絕的閘極場效電晶體。為了達成較高密度DRAM裝置，DRAM單元已成功地縮小尺寸到次微米範圍。但是隨著尺寸的縮小，單元電容器也被縮小，而該縮小會降低信號雜訊比、提高更新頻率、提高裝置錯誤率等。

提高密度但是維持所需電容水準的努力促成開發了溝槽電容器，其中單元電容器形成於矽基底內的溝槽結構中。這不但減少用於電容器的矽表面面積，而且也可在垂直方向製造較大的電容器極板面積而不須在矽表面面積上做對



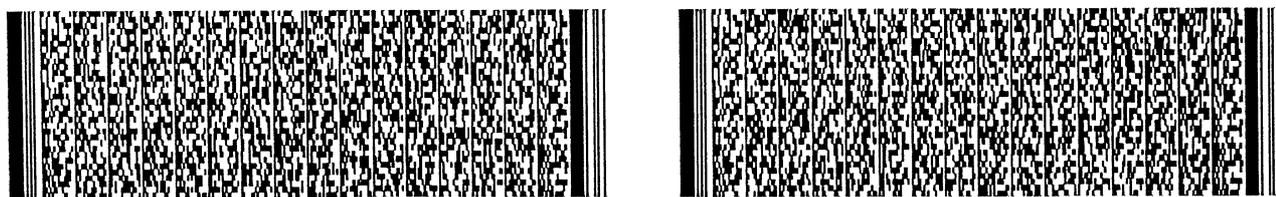
五、發明說明 (2)

應的增加，藉此增加儲存電容。某些此類儲存溝槽DRAM電容器的特點是成為合併隔絕與節點溝槽(Merged Isolation and Node Trench, MINT) DRAM單元。為了進一步增加電容器極板面積而不需對應增加使用的矽表面面積，開發了稱為"製瓶"(bottling)的技術，其中深溝槽的下部做得比上部大以產生像瓶子的形狀或輪廓。

即使開發了溝槽電容器與深溝槽瓶狀電容器，對更高密度DRAM單元陣列日增的要求仍產生對瓶狀溝槽電容進一步提昇的需要，藉此使儲存溝槽的下部空穴容量進一步增加。很清楚的是此電容增加的需要有一部份是源自越來越高密度的DRAM密度會使單元尺寸縮小並從而使溝槽極板尺寸縮小，同時電壓位準又要維持不變且當單元數目增加時每單元更新之間的時間又要增加。

但是已發現瓶狀溝槽電容提昇受限於相鄰溝槽的接近與維持溝槽電容器結構完整性的需要。典型的以前技藝深溝槽(DT)單元間的佈局間隔為 $1F$ ， $1F$ 是照相製版技術所能界定的最小特徵，陣列特徵的最小可解析空間間隙會包含具有最小間隙的 $1F$ 線條與 $1F$ 間隔，所以是 $2F$ 。透過在溝槽下部內做"製瓶"來達成 $F/3$ 徑向提昇會造成深溝槽與深溝槽間間距在瓶子最寬點處為 $F/3$ 。已發現為了維持結構完整性，深溝槽與深溝槽間間距至少需要 $F/3$ ，從而侷限了製瓶技術提昇的程度到 $F/3$ 。

典型的以前技藝努力改善單元佈局，以便維持或增加特徵間隔並減少使用的矽表面面積，這些努力主要是組態單



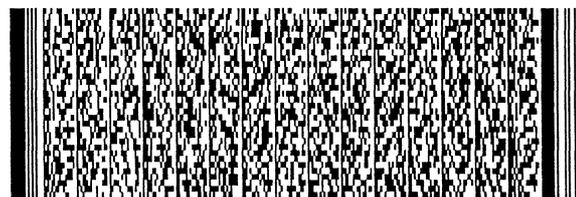
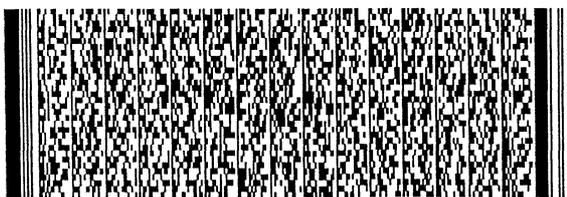
五、發明說明 (3)

元形狀與單元位置以使諸如字組線結構等單元存取結構至少有一部份位在溝槽電容器的上方。此類以前技藝努力的一個範例是名為"Unit Cell Layout and Transfer Gate Design for High Density DRAMs"之第6,004,844號美國專利。

發明概要

根據本發明的教導提供了一種DRAM單元佈局圖樣以便和以前技藝MINT DRAM單元比較起來具有較大的不同單元對組之相鄰溝槽間間距。更明確地說，DRAM單元陣列的個別深溝槽被定位在陣列中以大幅增加相鄰深溝槽間的間距。深溝槽陣列之定位圖樣係使矽表面處溝槽開口間的間距增加到 $1.3F$ 至 $1.7F$ 。矽表面處溝槽開口間的此種間距讓瓶狀溝槽電容徑向提升到約 $F/2$ 的程度，但是仍維持瓶狀結構最寬點之間的間距為 $F/3$ 。

根據本發明，相鄰深溝槽間間距的改善是藉著在相反方向偏轉達成的，每側的位元線在一個方向，單元對組之深溝槽對組共用一共通位元線接觸點。第一種偏轉圖樣是沿著交錯位元線之所有深溝槽實施。第二種相反偏轉圖樣對沿著其餘位元線之所有深溝槽實施。與位元線之偏轉約為 45 度角且結果可提供一單元對組的深溝槽及相鄰單元對組的深溝槽間更大到約 $1.5F$ 的間距。根據本發明，此更大的間距可提供更大的"製瓶"給節點電容提昇用。偏轉圖樣也讓共用一共通位元線接觸點之單元對組的深溝槽對組可增加有動作範圍(active area AA)與深溝槽的重疊，該重疊



五、發明說明 (4)

是單元採用溝槽側壁垂直電晶體之處。在單元採用平面電晶體的情況下，AA圖樣可被加長以使AA圖樣內裝置之間的電氣相互作用最小化。

所以，本發明的一個目的是提供深溝槽DRAM單元內節點電容的增加。

本發明的另一個目的是提供DRAM單元電容增加，同時又維持電容結構完整性所需的深溝槽與深溝槽間之間距。

本發明還有一個目的是提供改善的DRAM單元佈局。

本發明還另有一個目的是提供一種在既定F尺寸下增加溝槽與溝槽間間距的溝槽電容器DRAM單元陣列佈局，藉此達成較大電容同時又維持深溝槽與電容器結構的完整性。

圖示簡述

圖1顯示使用"製瓶"技術增加儲存電容之典型以前技術深溝槽間の間距關係截面圖。

圖2顯示根據本發明之深溝槽間の間距關係截面圖。

圖3顯示典型以前技術平面電晶體DRAM MINT單元佈局的平面圖。

圖4顯示使用於圖3之DRAM MINT單元佈局內之典型以前技術平面電晶體溝槽DRAM單位單元的截面圖。

圖5顯示根據本發明之DRAM MINT單元佈局的平面圖。

圖6顯示可在圖5之單元佈局內採用的溝槽側壁垂直電晶體DRAM單位單元安排之截面圖。

發明詳述

請注意此處圖示的與描述的各種DRAM單元特徵均非依照



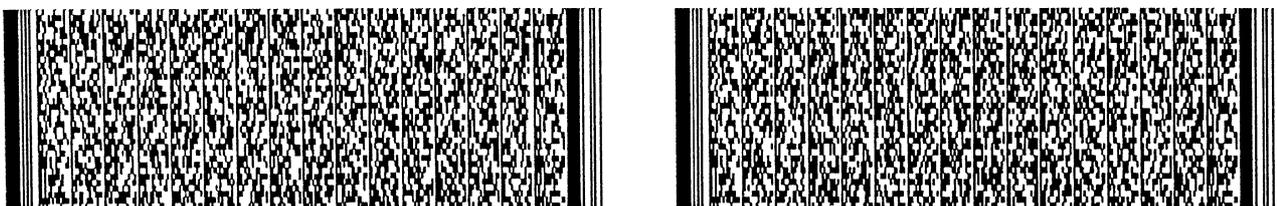
五、發明說明 (5)

尺寸比例而僅是提供協助了解本發明之描述用的。

參考圖1可看到一對相鄰的以前技術DRAM溝槽1與2的示意截面圖。溝槽如熟諳本技術領域者所知般形成於諸如單晶矽等基底內。溝槽一般彼此間隔絕且至少需要 $F/3$ 間距以維持結構和電氣的完整性。此類溝槽一般被非同方性蝕刻穿透—諸如氮化矽的介電質表面墊片3進入到矽基底(未顯示)。

如圖所示，溝槽的上部4與5分開 $1F$ ，亦即 $DT-DT=1F$ 。如熟諳本技術領域者所了解的，儲存電容器形成於深溝槽(DT)的下部7與9。但是首先要使用一種"製瓶"(bottling)方法來加大深溝槽下部的表面面積以增加儲存電容，使其比僅使用被非同方蝕刻之深溝槽的平直溝槽側壁一般所能形成的電容為大。這在Rupp等人在IEDM，1999年第33頁名為"Extending Trench DRAM Technology To $0.15 \mu m$ Groundrules and Beyond"的文獻中已經說明。瓶狀輪廓也可在深溝槽電容器形成期間導入，其方法是選擇諸如晶圓拋擲溫度等溝槽乾蝕刻參數，或調整乾蝕刻送氣混合體之化學成份—包括諸如 NF_3 ， O_2 ，He，HBr， CF_4 或 $SiCl_4$ 等某些氣體組合。或者，瓶狀輪廓也可在溝槽蝕刻程序之後形成，其方法是對溝槽下部施加非同方或同方蝕刻而對溝槽上部加一薄遮罩層。請注意"溝槽"(trench)與"深溝槽"(deep trench，DT)是一樣的且在本文中交互使用。

如前文所述者，深溝槽電容提昇受限於維持深溝槽與深溝槽間間距在瓶狀溝槽最寬點處至少為 $F/3$ 之結構完整性



五、發明說明 (6)

要求。這可由圖1中溝槽瓶狀部份內的箭頭顯示。所以為了要維持這瓶狀溝槽間至少 $F/3$ 的間距，透過製瓶技術處理來提昇電容侷限於從各溝槽邊緣約 $F/3$ 的直徑增加。此提昇由溝槽2底部上方的箭頭表示在11處。

圖2顯示一對DRAM溝槽12與13之示意截面圖，該二溝槽相距 $1.5F$ ——亦即深溝槽與深溝槽間距在溝槽上部14與15處等於 $1.5F$ 。根據本發明，若深溝槽與深溝槽間距為 $1.5F$ ，則可使用製瓶技術方法來提供從各溝槽邊緣約 $F/2$ 的直徑增加，如圖中21所示。更明確地說，有可能達成每邊緣 $0.58F$ 的直徑增加(且從而增加電容)，同時又能維持 $F/3$ 的最小深溝槽與深溝槽間距。

圖3顯示如上文中Rupp等人所描述之深溝槽與深溝槽間距為 $1F$ 之單元佈局圖樣的典型以前技術平面電晶體DRAM MINT平面圖。單元對組之深溝槽對組25與29共用一共通位元線接觸點27。深溝槽與有動作區域圖樣31(AA)在埋入帶狀節點連結處交會，且電晶體通道形成於閘極導體33與AA重疊處。由各單元對組共用的位元線接觸點放置在AA的中央。從23處可見沿著位元線34的不同單元對組之相鄰深溝槽間距為 $1F$ 。

圖4顯示在有動作區域31內穿透圖3內之平面電晶體單元對組的截面圖，其中單元對組之深溝槽共用位元線接觸點27。有動作字組線41與43通過有動作區域，且無動作字組線45與47通過深溝槽區域49與51。場效電晶體(field effect transistors, FETs)由有動作字組線41與43形成



五、發明說明 (7)

，其通過有動作區域以形成通道區域53與55。無動作字組線當作緊鄰之深溝槽單元內的有動作字組線。

如熟諳本技術領域者所了解，深溝槽區域49與51包括溝槽下部內的節點電容器57與59，該等電容器包括埋入極板61與63、節點介電質65與71、和儲存節點67與69。位在儲存節點頂部的帶狀擴散區域50和52與位在基底表面的源極/汲極擴散區域54和56合併。隔絕氧化物環帶62與64的作用可減低寄生漏電流。包含閘極導體58與60、閘極上方氧化物層(未顯示)的閘極電極結構之作用是連接源極/汲極擴散區域54與56到位於位元線接觸點27下方之擴散區域58，藉此形成一對共用位元線接觸點27的FET。

圖5中顯示根據本發明的一種深溝槽單元佈局圖樣之平面圖。如上文有關圖3之MINT單元佈局圖樣的描述般，單元對組之深溝槽對組79與81共用一共通位元線接觸點77。也如有關圖3之描述般，當圖5之單元中採用平面電晶體時，深溝槽與AA 85在埋入帶狀節點連結處交會，且電晶體通道形成於閘極導體83與AA重疊處。圖5中所示的深溝槽單元佈局圖樣達成如78處所示約1.5F的不同單元對組之相鄰深溝槽間間距，其方法是將單元對組的深溝槽對組從位元線87、89與91上朝相反方向偏轉。

從該圖可見位元線走過位元線接觸點77的中央且大體正交於閘極導體83。從該圖也可見偏轉圖樣在各位元線間交錯。這可在圖5內看到，其中沿著位元線89的兩對單元(79與81)之偏轉與沿著相鄰位元線87和91的單元對組之偏轉



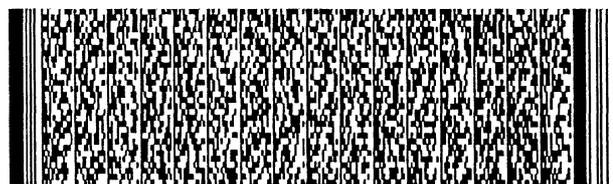
五、發明說明 (8)

相反。深溝槽從位元線偏轉的角度約為45度。

請注意以交錯方式偏轉深溝槽單元可讓使用垂直電晶體單元之應用的AA圖樣與深溝槽之重疊增加。對使用平面電晶體單元排列的應用而言，AA圖樣可被拉長而以深溝槽與深溝槽間間距為代價。在平面單元的情況下，AA圖樣長度的增加對於使AA圖樣內各裝置間電氣交互作用極小化是非常需要的。

圖6顯示從圖5中所示各深溝槽與位元線接觸點77中央處截取之溝槽側壁垂直電晶體單元對組的截面圖。單元包括溝槽下部內的節點電容器，節點電容器包括以節點介電質91與埋入極板93分隔開的儲存節點89。N帶95連接埋入極板。隔絕氧化物環帶97的作用是減少寄生漏電流且溝槽頂部氧化物(trench top oxide, TTO) 99將節點電容器與垂直FET隔絕開。P井103內的埋入帶擴散區域101與位元線源極/汲極擴散區域105連同閘極介電質104和閘極導體107包括垂直FET。淺溝槽隔絕(shallow trench isolation, STI) 109將單元對組與相鄰單元對組隔絕開。

如圖6中所見，字組線110與111由位元線接觸點112分隔開，接觸點將源極擴散區域102連接至位元線113。字組線110-111與位元線接觸點112之間的楔形區域和字組線110與111頂部上的方形區域是將字組線及閘極導體與位元線接觸點112隔絕開的隔絕區域。所以如圖6中所示，相鄰字組線110與111及位於其下方之閘極導體107有一部份重疊於其各自的深溝槽上。參考圖5之佈局圖樣可知這樣會讓

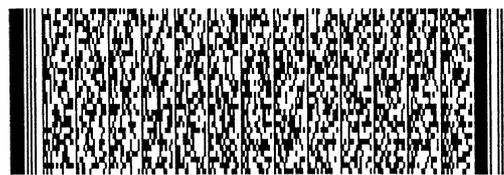
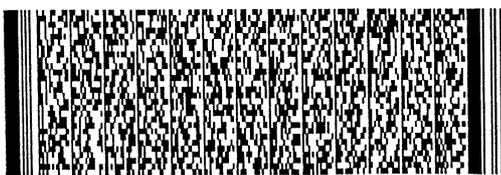


五、發明說明 (9)

深溝槽對組可沿著AA圖樣移動更靠近位元線接觸點77以使深溝槽能進一步被閘極導體83重疊。故此，由於使用垂直電晶體之深溝槽對組靠近的間距情況，AA圖樣被大幅縮減。請注意AA與深溝槽之間的重疊由自我對齊埋入帶溝槽側壁垂直電晶體DRAM處理程序的本質特性控制。

所以圖5之深溝槽佈局圖樣可輕易地應用至溝槽側壁垂直電晶體單元的使用中，如圖6中所示般。該種佈局提供不同單元對組之相鄰深溝槽間約 $1.5F$ 的深溝槽與深溝槽間間距，並從而使電容加強可透過使用瓶狀輪廓溝槽而提昇。

從上文的描述中可知本發明之較佳具體實例中可進行各種修改與改變而不悖離其真實精神。提出本說明的目的僅在於舉例說明而沒有任何限制的意味。本發明之範疇僅由下文中申請專利範圍的文字限制。



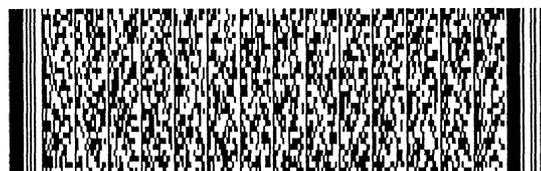
圖式簡單說明

四、中文發明摘要 (發明之名稱：節點電容加強型之DRAM單元佈局)

一種增加半導體DRAM單元對組陣列內一單元對組之深溝槽與相鄰單元對組之深溝槽間間距的佈局圖樣，該陣列之各單元對組共用一接往在一方向排列的位元線之共通位元線接觸點且該陣列之各單元對組連接至在與位元線正交方向排列的閘極導體。該種佈局圖樣之形成是藉把所有沿著交錯出現之位元線的該等對組之深溝槽定位以使其沿著閘極導體在相對方向上偏離該等位元線。所有其餘位元線之深溝槽在相對於沿著該等交錯出現之位元線的該等溝槽之相對方向的相對方向上偏離該等位元線以形成魚骨圖樣的單元排列。

英文發明摘要 (發明之名稱：DRAM CELL LAYOUT FOR NODE CAPACITANCE ENHANCEMENT)

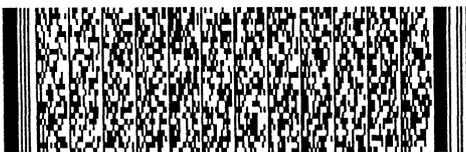
A layout pattern for increasing the spacing between the deep trenches of one cell pair and the deep trenches of an adjacent cell pair in an array of semiconductor DRAM cell pairs each of which cell pairs share a common bitline contact to bitlines arranged in one direction and each of which cell pairs are coupled to gate conductors arranged orthogonal to the bitlines. The layout pattern is formed by positioning the deep trenches of all of said pairs along alternate bitlines so



四、中文發明摘要 (發明之名稱：節點電容加強型之DRAM單元佈局)

英文發明摘要 (發明之名稱：DRAM CELL LAYOUT FOR NODE CAPACITANCE ENHANCEMENT)

they are offset from said bitlines along gate conductors in opposing directions. The deep trenches of all of the remaining bitlines are offset from said bitlines in opposing directions opposite to the opposing directions of said trenches along said alternate bitlines so as to form a herringbone pattern of cells.



六、申請專利範圍

1. 一種增加半導體動態隨機存取記憶體單元對組陣列中單元對組之深溝槽與相鄰單元對組之深溝槽間間距的方法，該等單元對組的各單元共用一共通位元線接觸點且該單元對組陣列之該等單元對組中各個單元對組由該位元線接觸點連接至在一個方向排列之位元線陣列的各個位元線且該單元對組陣列之該等單元對組之各個單元對組被連接至一與該等位元線大致正交之閘極導體陣列的各個閘極導體，該方法包括：

把沿著該等位元線中交替出現的位元線之各單元對組的深溝槽定位以使其沿著該等閘極導體在相對方向上偏離該等位元線；及

把沿著該等位元線中其餘的位元線之各單元對組的深溝槽定位以使其在沿著該等閘極導體在與沿著該等位元線之該等交替出現的位元線之該等溝槽的相對方向相對之相對方向上偏離該等位元線，以便藉此形成魚骨圖樣的單元排列。

2. 如申請專利範圍第1項之方法，其中該偏轉是相對於該等位元線約45度的角度。

3. 如申請專利範圍第1項之方法，其中該等單元對組之該等溝槽的上部藉此被與相鄰單元對組之溝槽的上部份隔開約 $1.5F$ 。

4. 如申請專利範圍第3項之方法，其中該等單元對組之該等溝槽的下部直徑比該等溝槽上部直徑至少大 $F/2$ 以形成一瓶狀輪廓藉以增加單元電容。



六、申請專利範圍

5. 如申請專利範圍第4項之方法，其中該等單元包括該等溝槽內的節點電容器及與之連接的平面電晶體在該等半導體動態隨機存取記憶體單元DRAM對組陣列之基底表面上。

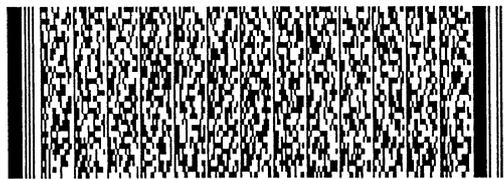
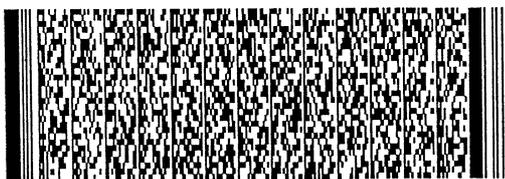
6. 如申請專利範圍第4項之方法，其中該等單元包括該等溝槽之下部內的節點電容器及與之連接的溝槽側壁垂直電晶體於該節點電容器上方。

7. 如申請專利範圍第6項之方法，其中該等單元對組中的各單元共用相同的半導體有動作區域。

8. 如申請專利範圍第7項之方法，其中該等單元對組之該等溝槽的下部直徑比該等溝槽上部直徑約大.58，且該等單元對組之該等溝槽的上部與相鄰單元對組之溝槽上部間距約為1.5F。

9. 一種動態隨機存取記憶體(DRAM)深溝槽半導體單元陣列，該半導體單元陣列有複數個在一方向上大致平行排列的位元線和複數個在相對方向上大致平行排列的閘極導體，其有一種深溝槽單元對組之深溝槽單元佈局圖樣，其中該等單元對組之各單元共用一連接至位元線的共通位元線接觸點，該佈局圖樣包括：

連接至該等位元線中第一類交替出現的位元線之該等單元對組的溝槽之第一種偏離圖樣，其中沿著該等位元線中交替出現的位元線之該等單元對組的各溝槽沿著該等閘極導體中相關的閘極導體在相同的相對第一方向上偏離該等位元線；及



六、申請專利範圍

電氣連接至該等位元線中介於該等位元線中第一類交替出現的位元線之間的第二類交替出現的位元線之單元對組的溝槽之第二種偏離圖樣，其中沿著該等位元線中第二類交替出現的位元線之該等單元對組的各溝槽沿著該等閘極導體中相關的閘極導體在相對於該第一偏轉圖樣之該第一方向的相同相對第二方向上偏離該等位元線，以便藉此形成魚骨圖樣的單元排列。

10. 如申請專利範圍第9項之DRAM半導體單元陣列，其中該偏轉是相對於該等位元線約45度的角度。

11. 如申請專利範圍第9項之DRAM半導體單元陣列，其中該等單元對組之溝槽的上部藉此被與相鄰單元對組之溝槽的上部分隔開約 $1.5F$ 。

12. 如申請專利範圍第9項之DRAM半導體單元陣列，其中該等單元對組之該等溝槽的下部直徑比該等溝槽之上部直徑至少大 $F/2$ 以形成瓶狀輪廓以增加單元電容。

13. 如申請專利範圍第12項之DRAM半導體單元陣列，其中該等單元包括該等溝槽內的節點電容器及與之連接的平面電晶體於該半導體單元陣列之基底表面處。

14. 如申請專利範圍第12項之DRAM半導體單元陣列，其中該等單元包括該等溝槽內之節點電容器及與之連接的溝槽側壁垂直電晶體於該節點電容器上方。

15. 如申請專利範圍第14項之DRAM半導體單元陣列，其中該等單元對組之各單元共用相同的半導體有動作區域。

16. 如申請專利範圍第15項之DRAM半導體單元陣列，其中



六、申請專利範圍

該等單元對組之該等溝槽的下部直徑比該等溝槽上部直徑約大.58，且該等單元對組之該等溝槽的上部與相鄰單元對組之溝槽上部間間距約為 $1.5F$ 。



9011458

圖式

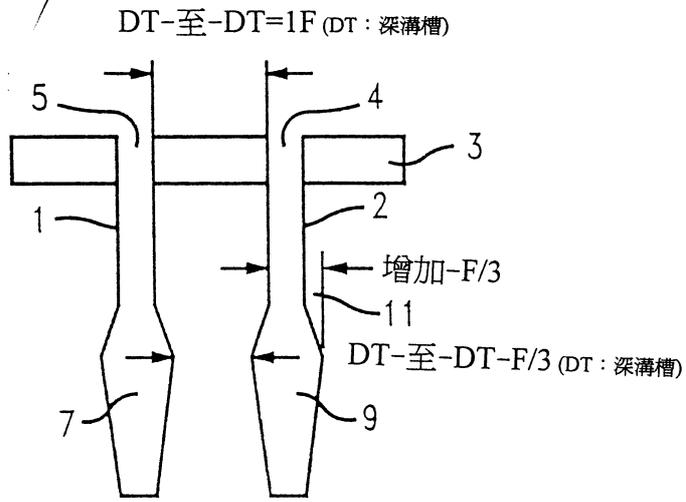


圖 1
(先前技藝)

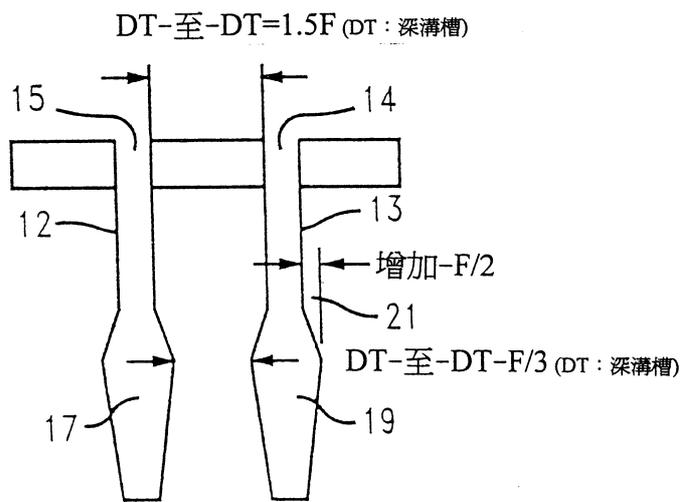


圖 2

圖式

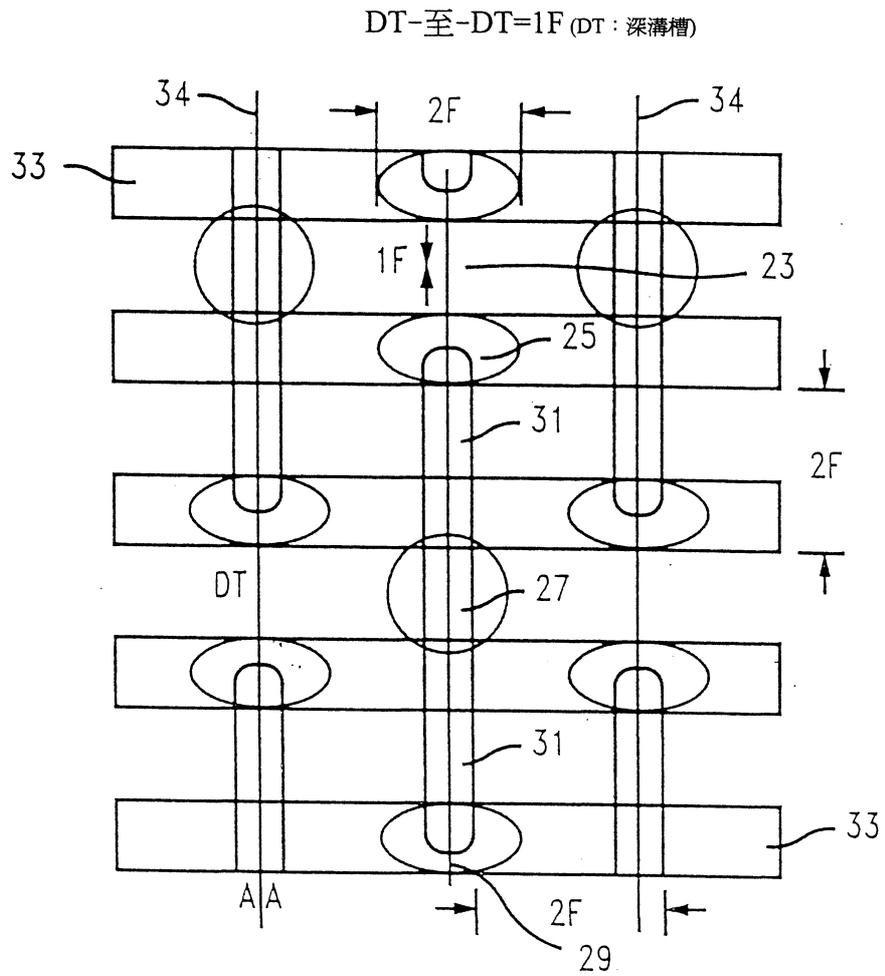


圖 3
(先前技藝)

圖式

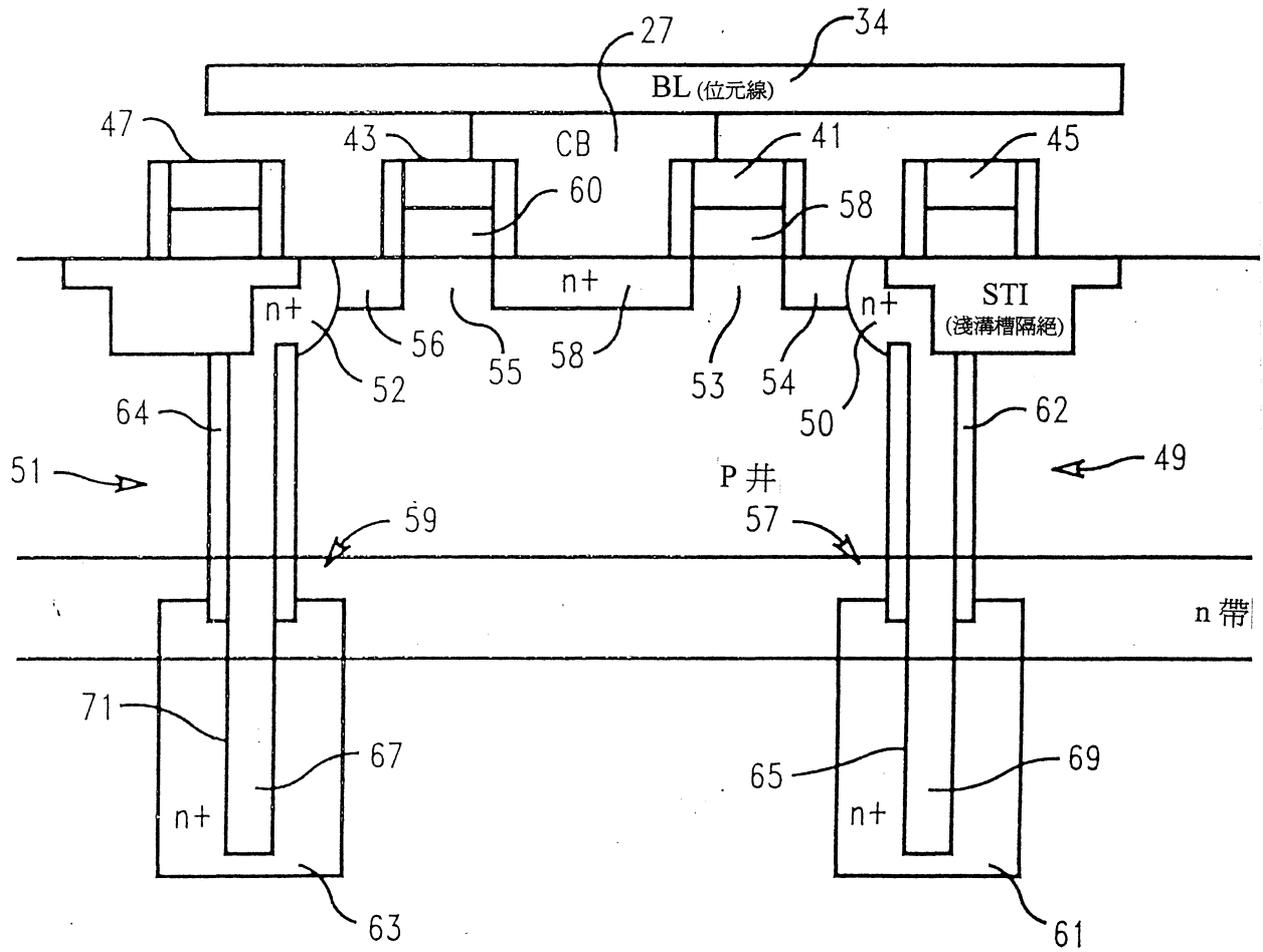


圖 4

圖式

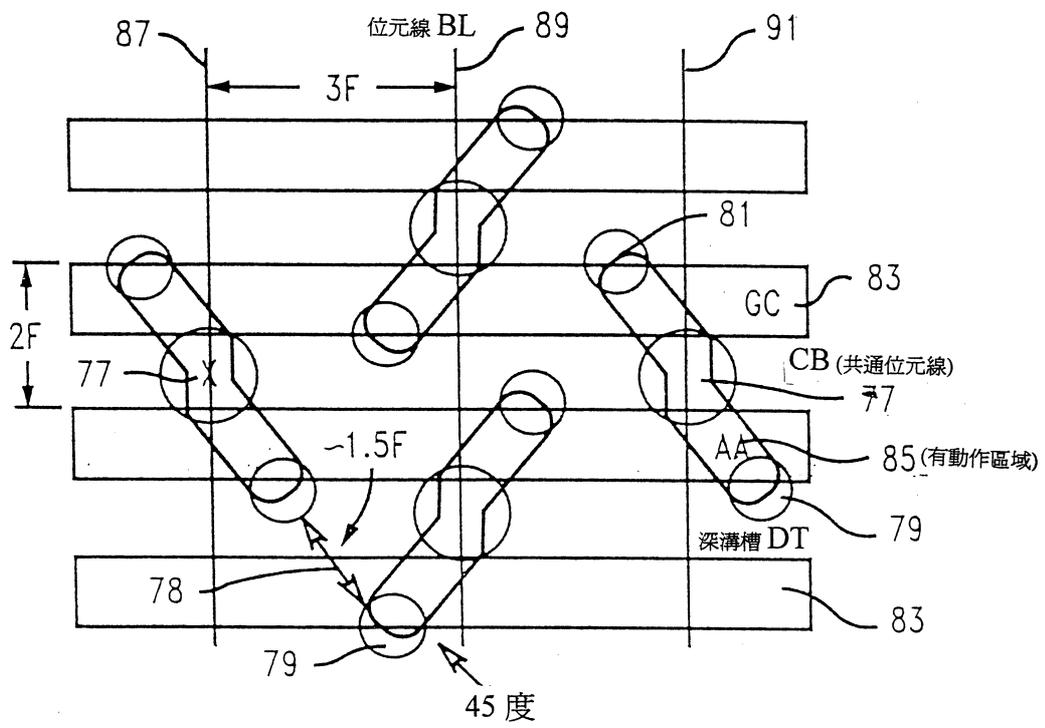


圖 5

圖式

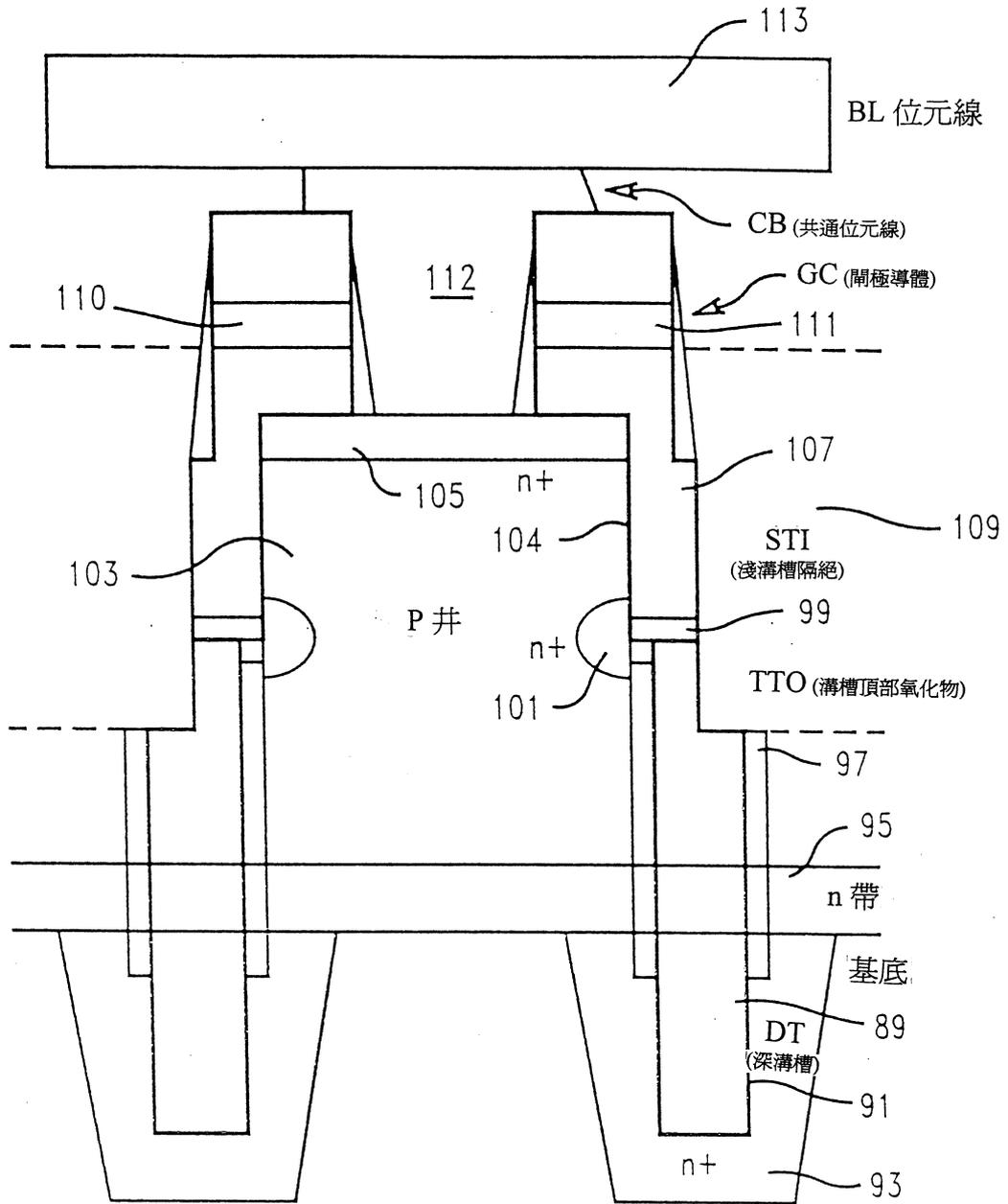


圖 6