



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2007년12월21일
(11) 등록번호 10-0787664
(24) 등록일자 2007년12월13일

(51) Int. Cl.
G11C 11/34 (2006.01)
(21) 출원번호 10-2000-0044045
(22) 출원일자 2000년07월29일
심사청구일자 2005년07월27일
(65) 공개번호 10-2001-0015476
(43) 공개일자 2001년02월26일
(30) 우선권주장
1999-215800 1999년07월29일 일본(JP)
(56) 선행기술조사문헌
US 5675160 B

(73) 특허권자
소니 가부시키 가이샤
일본국 도쿄도 미나토쿠 코난 1-7-1
(72) 발명자
구보따미찌따까
일본도쿄도시나가와꾸기따시나가와6쵸메7-35소니
가부시키가이샤내
고바야시도시오
일본도쿄도시나가와꾸기따시나가와6쵸메7-35소니
가부시키가이샤내
(74) 대리인
구영창, 장수길

전체 청구항 수 : 총 10 항

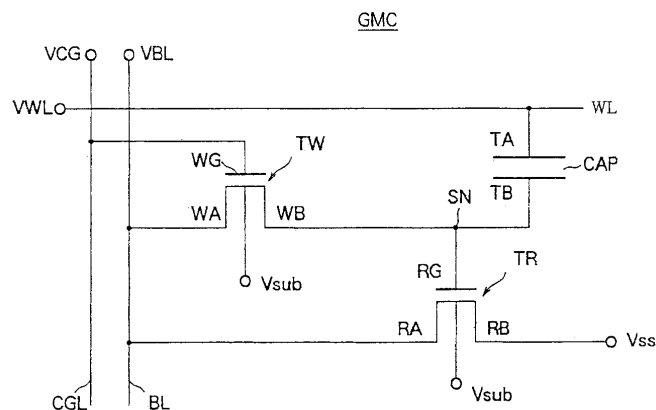
심사관 : 이선택

(54) 반도체 장치

(57) 요약

정밀도에 영향을 끼치지 않고서 셀 면적을 줄일 수 있고, 배선층들의 수를 줄일 수 있고, 메모리 셀과 주변회로의 하이브리드 회로(hybrid circuit)를 저비용으로 용이하게 실현할 수 있는 반도체 장치가 제공되며, 이 장치는 비트라인, 워드라인, 컨트롤 게이트 라인, 워드라인에 접속된 제1 전극을 구비한 커패시터, 게이트 전극이 커패시터의 제2 전극에 접속되고 비트라인과 소정의 전위 사이에 접속된 NMOS를 포함하는 판독 트랜지스터, 및 게이트 전극이 컨트롤 게이트 라인에 접속되고 비트라인과 커패시터의 제2 전극 간에 접속된 NMOS를 포함하는 기입 트랜지스터를 포함한다.

대표도 - 도1



특허청구의 범위

청구항 1

복수의 액티브 소자 및 적어도 하나의 패시브 소자를 갖는 메모리 셀을 포함하는 반도체 장치에 있어서,

상기 복수의 액티브 소자는, 소스 또는 드레인을 형성하는 2개의 확산층들 및 게이트를 포함하는 3개의 단자들, 또는 소스 또는 드레인을 형성하는 2개의 확산층들, 게이트, 및 기판 또는 채널이 형성되는 영역을 포함하는 층을 포함하는 4개의 단자들을 갖는 전계 효과 트랜지스터로서, N 채널 타입 또는 P 채널 타입인 데이터 기입용의 제1 전계 효과 트랜지스터와 N 채널 타입 또는 P 채널 타입인 데이터 관독용의 제2 전계 효과 트랜지스터를 포함하고,

상기 적어도 하나의 패시브 소자는 제1 전극과 제2 전극 사이에 절연층을 갖는 커패시터를 포함하고,

상기 제1 전계 효과 트랜지스터의 제2 확산층 단자, 상기 커패시터의 상기 제2 전극 및 상기 제2 전계 효과 트랜지스터의 게이트 전극 단자가 서로 접속되고, 상기 커패시터의 상기 제1 전극은 워드 라인에 접속되고, 상기 제1 전계 효과 트랜지스터의 제1 확산층 단자는 비트 라인에 접속되며, 상기 제1 전계 효과 트랜지스터의 게이트 단자는 컨트롤 게이트 라인에 접속되고, 상기 제2 전계 효과 트랜지스터의 제1 확산층 단자는 상기 비트 라인에 접속되며, 상기 제2 전계 효과 트랜지스터의 제2 확산층 단자는 소정의 전원 단자에 접속되는 반도체 장치.

청구항 2

삭제

청구항 3

삭제

청구항 4

삭제

청구항 5

삭제

청구항 6

제1항에 있어서, 상기 커패시터의 상기 제1 전극 및 제2 전극 중 적어도 하나는 배선층의 기능도 하는 반도체 장치.

청구항 7

제1항에 있어서, 상기 메모리 셀을 구성하는 상기 액티브 소자들 모두가 N형 전계 효과 트랜지스터들 또는 P형 전계 효과 트랜지스터들을 포함하는 반도체 장치.

청구항 8

제1항에 있어서, 상기 메모리 셀을 어레이로 배열할 때, 하나의 워드라인에 접속되는 복수의 메모리 셀 각각의 상기 제1 전계 효과 트랜지스터의 게이트 전극 단자는 하나의 컨트롤 게이트 라인에 접속되는 반도체 장치.

청구항 9

제1항에 있어서, 상기 메모리 셀을 어레이로 배열할 때, 하나의 비트라인에 접속되는 상기 복수의 메모리 셀 각각의 상기 제1 전계 효과 트랜지스터의 게이트 전극 단자는 하나의 컨트롤 게이트 라인에 접속되는 반도체 장치.

청구항 10

제1항에 있어서, 상기 메모리 셀은 논리 회로와 함께 내장된 반도체 장치.

청구항 11

삭제

청구항 12

삭제

청구항 13

삭제

청구항 14

삭제

청구항 15

제6항에 있어서, 상기 메모리 셀은 논리 회로와 함께 내장된 반도체 장치.

청구항 16

제7항에 있어서, 상기 메모리 셀은 논리 회로와 함께 내장된 반도체 장치.

청구항 17

제8항에 있어서, 상기 메모리 셀은 논리 회로와 함께 내장된 반도체 장치.

청구항 18

제9항에 있어서, 상기 메모리 셀은 논리 회로와 함께 내장된 반도체 장치.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

- <20> 본 발명은 반도체 장치에 관한 것으로서, 특히, 논리 회로와 함께 내장되기에 적합한 DRAM 이득 셀에 관한 것이다.
- <21> 최근에, 반도체가 미세화되고 있다. 단일 칩에 많은 소자들이 탑재될 뿐만 아니라, 복수의 기능들이 통합되어야 한다.
- <22> 이것의 전형적인 예로서, DRAM과 논리 회로를 함께 내장한 LSI를 들 수 있다.
- <23> ASIC(application specific integrated circuit) 내에 논리 회로 뿐만 아니라 메모리를 탑재함으로써, ASIC의 적용 범위가 확장된다.
- <24> 현재, DRAM 분야에서, 고밀도, 대용량 반도체 메모리의 대표적인 형태로서, 도 10에 도시된 바와 같이, 비트라인(BL)과 공통 전위선(SL) 사이에, 워드라인(WL)의 전위에 의해 온/오프 상태로 제어되는 트랜지스터(T)와 메모리 커패시터(MCAP)를 직렬로 접속함으로써 메모리 셀이 구성된다.
- <25> 1-트랜지스터 1-커패시터형 메모리 셀(MC)에서, 메모리 커패시터(MCAP)와 트랜지스터 사이의 접속 포인트는 기억 노드(ND)를 형성 한다. 데이터의 "1" 또는 "0"은 이 기억 노드에 저장된 전하량의 차이에 의해 판별된다.
- <26> 저장된 데이터를 판독할 때 안정한 동작을 확보하기 위해, 비트라인(BL) 내에 충분히 큰 전위 변화를 일으키는 것이 필요하다. 이러한 관점에서 메모리 커패시터(MCAP)에 대한 전하 축적 용량(커패시터의 용량)이 결정된다.
- <27> 반도체 메모리 셀이 차지하는 면적의 감소에 따라, 커패시터 자체의 용량값이 감소하는 경향이 있다. 부가적으로, 메모리 용량의 증가로 인해, 비트라인 용량이 증가된다. 따라서, 종래에 비해, 판독 가능한 비트라인 전위

를 얻는 것이 더욱 힘들어 졌다.

- <28> 이 문제를 해결하기 위해, 스택형, 편형, 실린더형, 또는 단위 면적 당 표면적이 증가된 커패시터 전극을 갖는 그외의 스택형 커패시터 및 트렌치 커패시터 등의 다양한 커패시터 구조가 제안되어 왔다.
- <29> 그러나, 기판 위에 형성된 트렌치의 애스펙트비(aspect ratio), 적층된 전극층의 높이 등의 가공 기술 상의 한계, 또는 복잡한 구조를 형성하기 위한 공정 단계 수의 증가 및 이에 따른 제조 단가의 상승 등에 따라, 단위 면적 당 커패시터의 용량값을 증가시키는 것이 어렵다.
- <30> 반면에, 커패시터의 용량은 전극들 간에 개재된 커패시터 절연막의 유전율에 비례하기 때문에, 고 유전율의 커패시터 절연 재료가 또한 개발되고 있다.
- <31> 유전체 재료 자체의 개발에 대한 어려움에 부가하여, 유전체와의 양호한 친화성을 갖는 전극 재료의 개발 또는 이들 새로운 재료들에 대한 처리 기술의 발전에 대한 광범위한 요구가 제기되고 있다. 또한, 개발 비용 또는 새로 도입되는 생산 장비 등이 부담이 되고 있다. 결과적으로, DRAM 제조 비용은 계속 증가해왔다. 따라서, 셀 면적이 감소되고 DRAM이 큰 용량으로 만들어지더라도 비트 당 제조 비용을 낮추는 것은 어렵다.
- <32> 이러한 관점에서, 구조와 재료를 바꾸지 않고서 셀 면적을 줄이고자할 때, DRAM 셀의 판독 신호는 작게 되고, 궁극적으로는, 메모리 셀 내에 저장된 데이터를 검출하는 것이 어려울 것으로 예상된다.
- <33> 또한, DRAM 셀로서, 전술한 1-트랜지스터 1-커패시터형에 부가하여, 예를 들어, 커패시터를 사용하지 않고 3개의 트랜지스터를 사용하는 3-트랜지스터형 메모리 셀이 공지되어 있다. 이 경우에, 기입 및 판독을 위한 2개의 워드라인 외에, 기입 및 판독을 위한 2개의 비트라인이 필요하여 배선층들의 수가 증가된다.
- <34> 그런데, 많은 수의 배선층들은 셀 면적을 줄이는데 제한 인자가 될 수 있다.

발명이 이루고자 하는 기술적 과제

- <35> 본 발명은 상기한 문제들을 해결하기 위한 것이며, DRAM 기능을 갖는 비용이 높지 않은 메모리를 제공하는 것을 목적으로 한다. 더 구체적으로는, 논리 회로와 함께 내장될 때, 논리 연산에 대한 영향을 최소화 하고 메모리 셀과 주변 회로의 하이브리드 회로를 저비용으로 실현할 수 있는 반도체 장치를 제공하는 것이다.
- <36> 본 발명에 따른 반도체 장치는 복수의 액티브 소자 및 적어도 하나의 패시브 소자를 갖는 메모리 셀을 포함한다.
- <37> 또한, 본 발명에서, 메모리 셀을 구성하는 복수의 액티브 소자들은, 소스 또는 드레인을 형성하는 2개의 확산층 및 게이트를 포함하는 3개의 단자를 갖는 전계 효과 트랜지스터이거나, 소스 또는 드레인을 형성하는 2개의 층, 게이트 및 채널이 형성되는 영역을 포함하는 기판 또는 층을 포함하는 4개 단자의 전계 효과 트랜지스터이고, 메모리 셀을 구성하는 패시브 소자는 제1 전극과 제2 전극 간에 절연층을 갖는 커패시터이다.
- <38> 또한, 본 발명에서, 메모리 셀을 구성하는 액티브 소자들은 데이터를 기입하는 기능을 갖는 적어도 하나의 트랜지스터와 데이터를 판독하는 기능을 갖는 트랜지스터를 포함한다.
- <39> 또한 본 발명에서, 메모리 셀은 2개의 전계 효과 트랜지스터와 한 개의 커패시터를 포함하며, 제1 전계 효과 트랜지스터는 N-채널형 또는 P-채널형이고, 제2 전계 효과 트랜지스터 또한 N-채널형 또는 P-채널형이다.
- <40> 또한, 본 발명에서, 메모리 셀은 함께 접속된 제1 전계 효과 트랜지스터의 제2 확산층 단자, 커패시터의 제2 전극, 및 제2 전계 효과 트랜지스터의 게이트 전극 단자에 의해 구성되고, 또한, 커패시터의 제1 전극은 워드라인에 접속되고, 제1 전계 효과 트랜지스터의 제1 확산층 단자는 비트라인에 접속되고, 제1 전계 효과 트랜지스터의 게이트 단자는 컨트롤 게이트 라인에 접속되고, 제2 전계 효과 트랜지스터의 제1 확산층 단자는 비트라인에 접속되고, 제2 전계 효과 트랜지스터의 제2 확산층 단자는 소정의 전원 단자에 접속된다.
- <41> 또한, 본 발명에서, 커패시터의 제1 전극과 제2 전극 중 적어도 하나는 배선층으로 기능한다.
- <42> 또한 본 발명에서, 메모리 셀을 구성하는 모든 액티브 소자들은 N형 전계 효과 트랜지스터 또는 P형 전계 효과 트랜지스터이다.
- <43> 또한, 본 발명에서, 어레이 내에 메모리 셀을 배치할 때, 하나의 워드라인에 접속된 복수의 메모리 셀 각각의 제1 전계 효과 트랜지스터의 게이트 전극 단자는 하나의 컨트롤 게이트 라인에 접속된다.
- <44> 또한, 본 발명에서, 어레이 내에 메모리 셀을 배치할 때, 하나의 비트라인에 접속된 복수의 메모리 셀 각각의

제1 전계 효과 트랜지스터의 게이트 전극 단자는 하나의 컨트롤 게이트 라인에 접속된다.

- <45> 또한, 본 발명에서, 메모리 셀은 논리 회로와 함께 내장된다.
- <46> 본 발명에 따라, 패시브 소자, 예를 들어 커패시터의 축적 전하는, 저장된 데이터에 따라, 액티브 소자, 즉, 제 1 전계 효과 트랜지스터(판독 트랜지스터)의 온/오프 상태의 제어를 가능하게 하는 범위에 있을 수 있다.
- <47> 따라서, 이러한 메모리 셀에서, 1-트랜지스터 1-커패시터형 DRAM 등과 마찬가지로, 커패시터의 축적 전하에 의해 대용량 비트라인을 직접 충전 또는 방전할 필요가 없기 때문에, 커패시터의 용량은 작게 만들어질 수 있다.
- <48> 결과적으로, 이러한 구조의 메모리 셀에서, 단위 면적 당 전하 축적량을 증가시키기 위해 커패시터 구조를 바꿀 필요가 없고, 고유전율의 커패시터 유전체 재료를 개발할 필요도 없다. 즉, 이러한 구조는 복잡하지 않기 때문에, 제작이 용이하고, 또한 공정의 복잡화에 따른 비용 상승도 없다.
- <49> 또한, 한개의 비트라인이 있기 때문에, 셀 면적이 작고 집적도가 향상될 수있으며, 논리 트랜지스터가 중대한 변경없이 사용될 수 있기 때문에, CMOS 논리 프로세스와의 호환성이 양호하고, 적은 공정에 의해 논리 회로와 함께 DRAM 기능을 함께 탑재하는 것이 가능하다.

발명의 구성 및 작용

- <50> 이하로, 첨부된 도면들을 참조하여 본 발명의 바람직한 실시예들이 설명될 것이다.
- <51> 도 1은 본 발명에 따른 반도체 장치로서의 이득 셀의 일 실시예의 회로도이다.
- <52> 이러한 이득 셀(GMC)은, 도 1에 도시한 바와 같이, 판독 트랜지스터(TR), 기입 트랜지스터(TW), 커패시터(CAP), 비트라인(BL), 워드라인(WL) 및 컨트롤 게이트 라인(CGL)을 갖는다.
- <53> 도 1에서, TA는 커패시터(CAP)의 제1 전극을 나타내고, TB는 커패시터(CAP)의 제2 전극을 나타내고, WG는 기입 트랜지스터(TW)의 게이트 단자를 나타내고, WA는 기입 트랜지스터(TW)는 소스/드레인 단자들 중 하나를 나타내고, WB는 기입 트랜지스터(TW)의 나머지 소스/드레인 단자를 나타내고, RG는 판독 트랜지스터(TR)의 게이트 단자를 나타내고, RA는 판독 트랜지스터(TR)의 소스/드레인 단자들 중 하나를 나타내고, RB는 판독 트랜지스터(TR)의 나머지 소스/드레인 단자를 나타낸다.
- <54> 예를 들어, 메모리 셀 어레이 내에 $m \times n$ (m, n : 임의의 자연수) 수의 셀(GMC)이 매트릭스 형태로 배치된다.
- <55> 이러한 어레이 구조의 경우, 동일한 행 위에 배치된 메모리 셀들의 커패시터(CAP)들의 제1 전극(TA)들은 공통 워드라인(WL)에 접속된다.
- <56> 또한, 동일한 열 위에 배치된 메모리 셀들의 기입 트랜지스터(TW)들의 게이트 단자(WG)들은 공통의 컨트롤 게이트 라인(CGL)에 접속된다.
- <57> 또한, 동일한 행 위에 배치된 메모리 셀들의 판독 트랜지스터(TR)들의 소스/드레인 단자(RA)들 중 하나는 비트라인(BL)에 접속된다.
- <58> 또한, 비트라인은, 예를 들어, 기준 셀이 접속된 래치형(latch type) 센스 증폭기(도시 생략)에 접속된다.
- <59> 이러한 방식으로, 이득 셀(GMC)은 메모리 셀 어레이용으로 사용되고, 메모리 주변 회로가 부가되고, 어셈블리는 LSI 칩 내에 논리 회로(도 1에 생략됨)와 함께 내장된다.
- <60> 기입 트랜지스터(TW)와 판독 트랜지스터(TR)은, 절연 게이트형 전계 효과 트랜지스터, 예를 들어 n-채널 MOS(NMOS 트랜지스터)를 포함한다.
- <61> 기입 트랜지스터(TW)에서, 게이트 단자(WG)는 컨트롤 게이트 라인(CGL)에 접속되고, 하나의 소스/드레인 단자(WA)는 비트라인(BL)에 접속되고, 다른 소스/드레인 단자(WB)는 커패시터(CAP)의 제2 전극(TB)에 접속된다.
- <62> 판독 트랜지스터(TR)에서, 게이트 단자(RG)는 커패시터(CAP)의 제2 전극에 접속되고, 하나의 소스/드레인 단자(RA)는 비트라인(BL)에 접속되고, 다른 소스/드레인 단자(RB)는 기준 전압(V_{ss} ; 그라운드 전압 GND)의 공급선에 접속된다.
- <63> 메모리 셀(GMC)의 기억 노드(storage node; SN)는, 커패시터(CAP)의 제2 전극(TB), 기입 트랜지스터(TW)의 다른 소스/드레인 단자(WB) 및 판독 트랜지스터(TR)의 게이트 단자(RG)의 접점에 의해 구성된다.

- <64> 커패시터(CAP)에서, 제1 전극(TA)은 워드라인(WL)에 접속된다.
- <65> 커패시터(CAP)는 용량이 클 필요는 없으며, 2개의 금속 배선 간에 절연체(층)에 의해 형성된 소위 MIM(metal insulator metal)형 커패시터로 구성된다.
- <66> 예를 들어, 제1 전극(TA)은 알루미늄(AL) 등의 워드라인(WL)과 동일한 금속 배선에 의해 구성되고, 제2 전극은 논리 회로용의 금속 배선에 의해 구성된다.
- <67> 절연체는, 예를 들어 플라즈마 CVD에 의해 형성된 질화막(이하로 플라즈마 질화막으로 언급됨)에 의해 형성된다.
- <68> 이러한 구성을 갖는 커패시터(CAP)를 좀 더 고찰한다.
- <69> 커패시터(CAP)에 축적된 전하는 주로 접합 누설(junction leakage)에 의해 손실된다. 전형적인 누설값은 1fA이다.
- <70> 저장될 전위 차는 1V이고 방전 시간(데이터 유지 시간)은 600 ms이고, 보유 전하는 다음과 같다:
- <71> $600 \text{ ms} \times 1 \text{ fA} = 0.6 \text{ fC}$
- <72> 또한, 커패시터(CAP)의 용량은 다음과 같다:
- <73> $0.6 \text{ fC} / 1\text{V} = 0.6 \text{ fF}$
- <74> $8F^2$ (F 는 설계 규칙임)이 커패시터(CAP)의 전극 면적으로 간주되면, $F=0.13\mu\text{m}$ 일 때 $8F^2=0.1352\mu\text{m}^2$ 이다. 비유전율 =7인 유전체가 사용되면, 절연체의 두께(d)는 아래와 같이 14nm가 된다.
- <75> $d=(7 \cdot 8.854\text{e-}12 \cdot 0.1352\text{e-}12)/(0.6\text{e-}15)=14\text{e-}9 \text{ [m]}$
- <76> 위 조건은 플라즈마 질화막이 절연막으로 사용되면 충분히 실현될 수 있다.
- <77> 또한, 커패시터(CAP)는 복잡한 범용 DRAM 중 하나와 같은 커패시터가 아니라 평행 평판형 커패시터일 수 있다.
- <78> 또한, Al 등의 배선들이 형성된 후에도 사용될 수 있도록 하기 위해 저온 공정에서 플라즈마 질화막이 형성되어, 전술한 바와 같은 논리 회로의 배선 층을 사용하는 MIM형 커패시터를 만드는 것이 가능하다.
- <79> 다음에, 도 1의 단일 비트라인형의 메모리 셀(GMC)의 패턴 및 단면 구조의 예를 도 2, 3a 및 3b를 참조하여 설명한다.
- <80> 도 2는 본 발명의 실시예에 따른 메모리 셀(GMC)의 패턴도이고, 도 3a는 도 2의 A-A선을 따른 단면도이고, 도 3b는 도 2의 B-B선을 따른 단면도이다. 본 발명의 실시예에서 컨트롤 게이트 라인(CGL)과 비트라인(BL)이 평행하도록 배치되었지만, 컨트롤 게이트 라인(CGL)이 워드라인(WL)과 평행하게 배치될 수도 있다.
- <81> 도 3a 및 도 3b에 도시된 바와 같이, 본 발명의 실시예에 따른 메모리 셀(GMC)은, 예를 들어 Al을 포함하는 4개(즉, 제1 내지 제4)의 금속 배선층(MTL1 내지 MTL4)을 갖는다.
- <82> 제1 금속 배선층(MTL1)은 기입 트랜지스터(TW)의 드레인을 관독 트랜지스터(TR)의 게이트에 접속하기 위한 층이다.
- <83> 제2 금속 배선층(MTL2)은 컨트롤 게이트 라인(CGL)을 구성하는 층이다.
- <84> 제3 금속 배선층(MTL3)은 커패시터(CAP)의 제2 전극(적층 구조의 경우, 하부 전극; TB)을 구성하는 층이다.
- <85> 제4 금속 배선층(MTL4)은, 워드라인(WL)으로도 기능하는 커패시터(CAP)의 제1 전극(적층 구조의 경우, 상부 전극; TA)을 구성하는 층이다.
- <86> 또한, 워드라인 및 기입 트랜지스터(TW)의 컨트롤 게이트 라인(CGL)은 독립적이다.
- <87> 따라서, 커패시터(CAP)의 용량과 기입 트랜지스터(TW)의 임계 전압 간의 관계에는 제한이 없다.
- <88> 이러한 메모리 셀(GMC)에서, 도 3a와 도 3b에 도시된 바와 같이, 예를 들어, 실리콘 등의 반도체 기판(10) 위에, 소자 분리용 STI(shallow trench isolation; 11)가 형성되고, STI(11)에 의해 분리된 능동 영역에, 기입 트랜지스터(TW)와 관독 트랜지스터(TR)가 형성된다.
- <89> 기입 트랜지스터(TW)와 관독 트랜지스터(TR) 각각은, 소스/드레인 영역(12 및 13)들 간의 채널 형성 영역 위에

형성된 게이트 절연막(14), 게이트 절연막(14) 위에 형성된 다결정 실리콘으로된 게이트 전극(15), 및 질화 실리콘(SiN)으로 형성된 측벽(sidewall; 16)으로 구성된다.

- <90> 즉, 기입 트랜지스터(TW)와 판독 트랜지스터(TR)는, 주변 회로의 논리 회를 포함하는 MOS 트랜지스터와 동일한 구조를 가지며, 후술되는 바와 같이, 통상의 MOS 트랜지스터와 유사한 공정으로 형성된다.
- <91> 기입 트랜지스터(TW)와 판독 트랜지스터(TR)를 커버하도록 형성된 제1 층간 절연막(17) 위에 평탄화된 상면을 갖는 형태로 제1 금속 배선층(MTL1)이 형성된다.
- <92> 제1 층간 절연막(17)은, 제1 금속 배선층(MTL1)의 하면으로부터 기입 트랜지스터(TW)의 나머지 소스/드레인 단자(WB)에 이르는 콘택홀(C1), 및 판독 트랜지스터(TR)의 게이트 전극(GR)에 이르는 콘택홀(C2)과 함께 형성된다. 이들 콘택홀(C1 및 C2)은, 예를 들어, 텅스텐(W)으로 구성된 플러그들(PGL1, PGL2)로 채워진다.
- <93> 즉, 기입 트랜지스터(TW)의 나머지 소스/드레인 단자(WB)와 판독 트랜지스터(TR)의 게이트 전극(GR)은 플러그(PLG1), 제1 금속 배선층(MTL1) 및 플러그(PLG2)를 통해 접속된다.
- <94> 제1 금속 배선층(MTL1)을 커버하도록 형성되고 평탄한 상면을 갖는 제2 층간 절연막(18) 위에, 컨트롤 게이트 라인(CGL)으로 기능하는 제2 금속 배선층(MLT2)이 형성된다.
- <95> 제2 층간 절연막(18)과 제1 층간 절연막(17)은, 제2 금속 배선층(MLT2)의 하면으로부터 기입 트랜지스터(TW)의 게이트 전극(GW)에 이르는 콘택홀(C3)과 함께 형성된다. 콘택홀(C3)은 W로 이루어진 플러그(PLG3)로 채워진다.
- <96> 즉, 기입 트랜지스터(TW)의 게이트 전극(GW)은, 플러그(PLG3)를 통해, 컨트롤 게이트 라인(CGL)으로 기능하는 제2 금속 배선층(MLT2)에 접속된다.
- <97> 제2 금속 배선층(MLT2)을 커버하도록 형성되고 평탄한 상면을 갖는 제3 층간 절연막(19) 위에, 커패시터(CAP)의 제2 전극(TB)이 형성된다.
- <98> 제3 층간 절연막(19)과 제2 층간 절연막(18)은, 제3 금속 배선층(MLT3)의 하면으로부터 제1 금속 배선층(MLT1)에 이르는 콘택홀(C4)과 함께 형성된다. 콘택홀(C4)은 W로 이루어진 플러그(PLG4)로 채워진다.
- <99> 즉, 기입 트랜지스터(TW)의 나머지 소스/드레인 단자(WB)와 판독 트랜지스터(TR)의 게이트 전극(GR)은, 플러그(PLG4), 제1 금속 배선층(MLT1) 및 플러그들(PLG1 및 PLG2)을 통해, 커패시터(CAP)의 제1 전극(TA)에 접속된다.
- <100> 또한, 제3 금속 배선층(MLT3)의 상면을 제외한 주변부에, 제3 금속 배선층(MLT3)의 상면보다 높은 곳에 위치한 상면을 갖는 제4 층간 절연막(20)이 형성된다.
- <101> 제3 금속 배선층(MLT3)의 상면과 제4 층간 절연층(20)의 상면에, 커패시터(CAP)의 절연체로서 기능하는 플라즈마 질화막(INS)이 형성된다. 플라즈마 질화막(INS)의 상면에 제4 금속 배선층(MLT4)이 형성된다.
- <102> 다음에, 도 2, 도 3a 및 도 3b에 도시된 바와 같은 단위 메모리 셀(GMC)의 제조 공정이 도면들을 참조하여 설명될 것이다.
- <103> 도 4a와 도 4b 및 도 5a와 도 5b는 제조 공정을 설명하기 위한 단순화된 단면도이고, 도 6a 내지 도 6c, 도 7a 내지 도 7c 및 도 8a 내지 도 8c는 제조 공정을 설명하기 위한 평면도이다.
- <104> 도 4a와 도 4b 및 도 5a와 도 5b는 도 2의 A-A 선을 따른 단면도이다. 여기서, 확산층 등이 생략되어 있다. 또한, 다음의 설명에서, 어닐링, 세정 등은 생략된다.
- <105> (1) 소자 분리막(STI)의 형성
- <106> 먼저, 도 4a 및 도 6a에 도시된 바와 같이, 반도체 기판(10)의 소정 영역에 트렌치를 형성한 후 통상의 방법으로 트렌치를 산화 절연막으로 매립함으로써 STI(11)가 형성된다.
- <107> 또한, NMOS의 경우 p웰에 의해 액티브 영역이 형성되고, PMOS의 경우에는 n웰에 의해 액티브 영역이 형성된다. 필요에 따라 임계 전압을 조정하기 위해 이온이 주입된다.
- <108> (2) 게이트 전극의 형성
- <109> 이어서, 도 4a에 도시된 바와 같이, 반도체 기판(10)의 액티브 영역에 게이트 산화막(14)이 형성된다.
- <110> 도 4a 및 도 6b에 도시된 바와 같이, 게이트 산화막(14)이 형성된 후, CVD 등에 의해 게이트 전극 재료로서 폴

리실리콘을 사용하여 게이트 전극(15)이 형성된다. 이어서, 게이트 전극은 저항을 줄이기 위해 이온 주입과 같은 방법에 의해 도핑된다.

- <111> 이때, 도핑된 폴리실리콘을 사용하는 것도 가능하며, 위로부터 W, WN 및 폴리실리콘의 적층 구조의 소위 폴리 메탈 구조를 사용할 수도 있다.
- <112> 전극을 형성하기 위하여, 먼저 포토레지스트(PR)를 마스크로 사용하여 SiN을 처리한 다음, SiN을 마스크로 사용하여 에칭을 실시한다.
- <113> (3) 콘택(1)의 형성
- <114> 도 4b에 도시된 바와 같이, LDD 이온 주입 후 CVD에 의해 SiN 막이 형성되고, 에치백에 의해 측벽(16)이 형성 된다.
- <115> 그 다음, 제1 층간 절연막(17)이 형성되고, 바람직하게는 평탄화된 후에, 도 4b 및 도 6c에 도시된 바와 같이, 반도체 기판(11)에 콘택홀(C1)이 형성되고, 이어서 관독 트랜지스터(TR)용의 게이트 전극(15)에 콘택홀(C2)이 형성된다.
- <116> 콘택을 형성하기 전에 저항을 낮추기 위하여 통상적으로 논리부의 소스/드레인이 실리사이드화되지만, 본 설명의 DRAM부는 층간 절연막으로 덮여 있기 때문에 실리사이드화되지 않는다(실리사이드화에 의한 집합 누설의 증가가 방지됨).
- <117> (4) TR의 게이트와 TW의 소스/드레인의 접속
- <118> 이어서, 도 4b 및 도 7a에 도시된 바와 같이, W 등을 사용하여 콘택홀(C1, C2)에 플러그(PLG1, PLG2)를 형성한 다음, 제1 층간 절연막(17) 위에 제1 금속 배선층(MTL1)을 형성하여 기입 트랜지스터(TW)의 소스/드레인과 관독 트랜지스터(TR)의 게이트 전극(15)을 접속시킨다.
- <119> (5) 콘택(2)의 형성
- <120> 도 5c에 도시된 바와 같이, 제2 층간 절연막(18)이 형성되고, 바람직하게는 평탄화된 후, 도 7b에 도시된 바와 같이, 기입 트랜지스터(TW)용의 게이트 전극에 콘택홀(C3)이 형성된다.
- <121> 이어서, 플러그(PLG3)가 W 등으로 형성된다.
- <122> (6) CG 배선의 형성
- <123> 또한, 도 5c 및 도 7c에 도시된 바와 같이, 플러그들(PLG3)(콘택홀 C3)을 접속시키는 컨트롤 게이트 라인(CGL)의 역할을 하는 제2 금속 배선층(MLT2)이 제2 층간 절연막(18) 위에 형성된다.
- <124> (7) 커패시터 하부 전극용 콘택의 형성
- <125> 도 5a에 도시된 바와 같이, 제3 층간 절연막(19)이 형성되고, 바람직하게는 평탄화된 후, 도 8a에 도시된 바와 같이, 금속 배선층(MLT1)에 이르는 커패시터 하부 전극용 콘택홀(4)이 제3 층간 절연막(19) 및 제2 층간 절연막(18) 위에 형성된다.
- <126> (8) 커패시터 하부 전극의 형성
- <127> 도 5b에 도시된 바와 같이, W를 포함하는 플러그(PLG4)가 콘택홀(C4)내에 형성된다.
- <128> 또한, 도 5b 및 도 8b에 도시된 바와 같이, 커패시터(CAP)의 제2 전극(TA; 하부 전극)이 형성된다.
- <129> (9) WL의 형성
- <130> 도 5b에 도시된 바와 같이, 제4 층간 절연막(20)이 형성되고, 바람직하게는 평탄화된 후, 커패시터 하부 전극에 윈도우가 형성되고, 플라즈마 SiN 등의 커패시터 절연막(INS)이 형성된다.
- <131> 또한, 도 5b 및 도 8c에 도시된 바와 같이, 커패시터(CAP)의 제1 전극(상부 전극)과 워드 라인(WL)의 역할을 하는 제4 금속 배선층(MLT4)이 형성된다.
- <132> 이 공정에 의해 동시에 주변 회로가 형성될 때 마스크 수의 증가는 단 1개이다.
- <133> 또한, DRAM 셀부에서와 달리 플라즈마 질화막이 필요하지 않을 때에는 하나의 마스크를 더 추가하여 불필요한 부분을 제거할 수 있다.

- <134> 이렇게 하여 단위 셀의 형성이 완료된다.
- <135> 도 9는 전술한 바와 같이 매트릭스 형태로 형성된 메모리 셀(GMC)을 배열할 때의 레이아웃의 일례를 나타내는 도면이다.
- <136> 이러한 레이아웃에서는, 도 9에 도시된 바와 같이, 워드 라인(WL)의 역할을 하는 제4 금속 배선층(MTL4)과 콘택 홀들(C1, C2)을 접속시키는 제1 금속 배선층(MTL1)은 병렬로 형성된다. 콘택홀들(C3)을 접속시키는 컨트롤 게이트 라인(CGL)의 역할을 하는 제2 금속 배선층(MTL2)은 이들에 대각선 방향으로 형성된다.
- <137> 이러한 레이아웃의 경우, 설계 규칙 F를 이용하여 셀 면적을 고려하면, 셀 면적은 $15F^2$ 이 되고, 커패시터 면적은 $8F^2$ 가 된다.
- <138> 도 9의 레이아웃 이외의 경우에는, 셀 면적은 $16F^2$ 이상이 될 수 있다.
- <139> 따라서, 상기 레이아웃에 의해 셀면적이 감소될 수 있으며, 결과적으로 비용 절감이 이루어진다.
- <140> 그 다음, 상기 구성의 메모리 셀(GMC)의 기입, 소거 및 판독 동작을 설명한다.
- <141> 기입 동작
- <142> 먼저, 선택된 셀이 접속되는 워드라인(WL)이 접지전위로 설정되고, 비트라인(BL)이 고전위(하이 레벨 H; 전원 전압 레벨)로 설정되며, 컨트롤 게이트 라인(CGL)이 고전위(하이 레벨 H; 전원 전압 레벨)로 설정된다.
- <143> 이로 인하여, 기입 트랜지스터(TW)는 도통 상태가 되며, 비트라인(BL)의 전하가 커패시터(CAP)에 저장된다.
- <144> 이 경우, 커패시터(CAP)에 있어서, 제2 전극(TB)는 제1 전극(TA)에 비해 고전위가 된다.
- <145> 또한, 커패시터(CAP)에 저장된 전하에 의해 판독 트랜지스터(TR)의 임계치(V_{thR})가 효과적으로 감소된다.
- <146> 소거 동작
- <147> 먼저, 선택된 셀이 접속되는 워드라인(WL)이 접지 전위로 설정되고, 비트라인(BL)이 접지전위로 설정되며, 컨트롤 게이트 라인(CGL)이 고전위(하이 레벨 H; 전원 전압 레벨)로 설정된다.
- <148> 이로 인하여, 기입 트랜지스터(TW)는 도통 상태가 되며, 커패시터(CAP)에 저장된 전하가 비트라인(WL)으로 방전되다.
- <149> 이 경우, 커패시터(CAP)에 있어서, 제1 전극(TA) 및 제2 전극(TB)은 동일한 전위가 된다.
- <150> 결과적으로, 판독 트랜지스터(TR)의 임계치(V_{thR})는 초기값을 유지한다.
- <151> 판독 동작
- <152> 먼저, 선택된 셀이 접속되는 컨트롤 게이트 라인(CGL)이 접지전위로 설정되고, 워드라인(WL)이 접지전위로 설정되며, 비트라인(WL)이 고전위(하이레벨 H; 전원 전압 레벨)로 설정되어, 전기적으로 부유 상태가 된다.
- <153> 이로 인하여, 기입 트랜지스터(TW)는 비도통 상태를 유지한다. 이때, 커패시터(CAP)가 판독 트랜지스터(TR)를 턴온시키기에 충분한 전하를 저장하고 있는 경우, 판독 트랜지스터(TR)는 도통 상태가 되며, 비트라인의 전하가 기준 전압(V_{ss})의 공급 라인으로 흘러, 비트라인의 전위가 떨어진다.
- <154> 반면, 커패시터(CAP)가 판독 트랜지스터(TR)를 턴온시키기에 충분한 전하를 저장하고 있지 않은 경우에는, 판독 트랜지스터(TR)는 비도통 상태를 유지한다. 따라서, 비트라인 전위는 떨어지지 않는다.
- <155> 또한, 기입 데이터의 차이는 소정 시간에 비트라인 전위에 있어서 상기 상태들 중 어느 상태가 발생하는가에 의해 달라진다.
- <156> 본 실시예에 따르면, 비트라인(WL), 워드라인(WL), 컨트롤 게이트 라인(CGL), 워드라인(WL)에 접속된 제1 전극(TA)을 구비한 커패시터(CAP), 비트라인(BL)과 소정의 전위점 사이에 접속된 NMOS를 포함하고 커패시터(CAP)의 제2 전극(TB)에 접속된 게이트 전극을 구비한 판독 트랜지스터(TR), 및 비트라인(BL)과 커패시터(CAP)의 제2 전극(TB) 사이에 접속된 NMOS를 포함하고 컨트롤 게이트 라인(CGL)에 접속된 게이트 전극을 구비한 기입 트랜지스터(TW)가 제공되기 때문에, 커패시터의 커패시턴스가 1-트랜지스터 1-커패시터 타입의 DRAM과 같은 비트라인의 판독 데이터의 크기(진폭)를 결정하지 않으며, 비교적 작은 커패시턴스로서 충분하다.

- <157> 또한, 본 실시예에 따른 DRAM 이득 셀에서는, 커패시터의 커패시턴스 값이 작은 경우에도 셀 동작이 안정적이며, 잡음에 대한 저항이 크고, 동작 오류가 거의없다.
- <158> 큰 커패시턴스를 가진 커패시터가 필요하지 않고, 커패시터의 단위 면적당 저장된 전하량을 증가시키기 위한 복잡한 전극 구조, 또는 전극 또는 유전체막의 재료를 새로 개발할 필요가 없다.
- <159> 또한, 본 실시예에 따른 반도체 장치에서는 메모리 셀에 하나의 비트라인이 존재하고, 기입 트랜지스터(TW) 및 판독 트랜지스터(TR)가 모두 비트라인(BL)에 접속된다. 따라서, 셀면적이 감소되어 집적도가 향상될 수 있다.
- <160> 또한, 벌크 타입의 트랜지스터가 사용되므로, CMOS 논리 공정과의 호환성이 양호하며, 적은 공정으로 논리 IC 칩에 DRAM 기능을 추가할 수 있다.
- <161> 이로 인하여, 본 발명에 따라 제조 공정이 간단해지고 비용이 절감되며, 높은 신뢰성을 가진 메모리-논리 하이브리드 IC가 구현될 수 있다.

발명의 효과

- <162> 전술한 본 발명의 효과를 요약하면, 본 발명에 따른 반도체 장치는 정밀도에 영향 없이 셀면적을 줄일 수 있으며, 배선층의 수를 감소시킬 수 있다.
- <163> 또한, 벌크 타입의 경우, CMOS 논리 공정과의 호환성이 양호하고 적은 공정으로 논리 IC에 DRAM 기능을 추가할 수 있는 이점이 있다.
- <164> 이로 인하여, 복잡한 제조공정을 추가하지 않아 비용을 줄일 수 있으며, 메모리-주변 회로(논리 회로)의 하이브리드 회로를 구현할 수 있다.
- <165> 본 발명은 특정 실시예를 참조하여 설명하였지만, 본 발명의 기본적인 사상 및 범위를 벗어나지 않고 다양한 변형이 이루어질 수 있음을 당업자는 이해할 것이다.

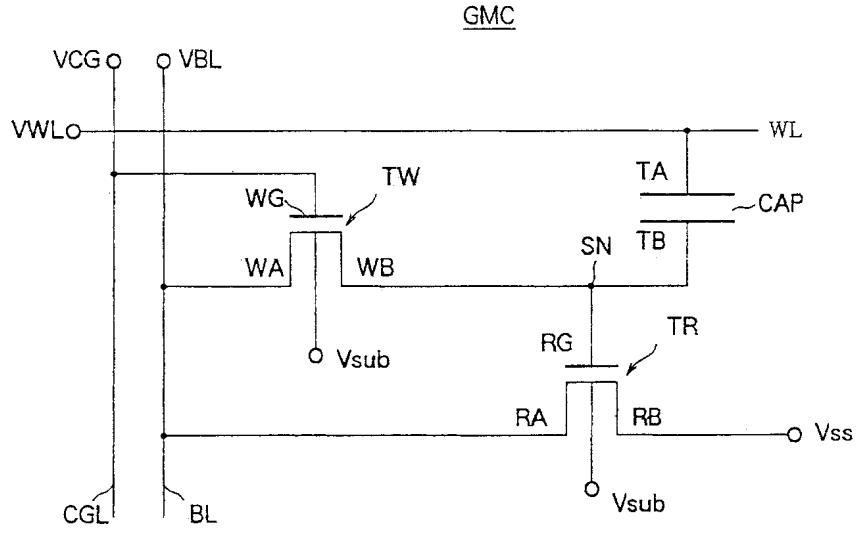
도면의 간단한 설명

- <1> 도 1은 본 발명에 따른 반도체 장치로서의 이득 셀의 일 실시예의 회로도.
- <2> 도 2는 본 발명에 따른 메모리 셀의 패턴을 나타낸 도면.
- <3> 도 3a는 도 2의 A-A 선을 따라 절취한 단면도.
- <4> 도 3b는 도 2의 B-B 선을 따라 절취한 단면도.
- <5> 도 4a 및 4b는 본 발명에 따른 메모리 셀의 제조 공정을 설명하기 위한 단면도.
- <6> 도 5a 및 5b는 본 발명에 따른 메모리 셀의 제조 공정을 설명하기 위한 단면도.
- <7> 도 6a 내지 6c는 본 발명에 따른 메모리 셀의 제조 공정을 설명하기 위한 평면도.
- <8> 도 7a 내지 7c는 본 발명에 따른 메모리 셀의 제조 공정을 설명하기 위한 평면도.
- <9> 도 8a 내지 8c는 본 발명에 따른 메모리 셀의 제조 공정을 설명하기 위한 평면도.
- <10> 도 9는 본 발명에 따른 DRAM 이득 셀의 레이아웃의 예를 나타낸 도면.
- <11> 도 10은 1-트랜지스터 1-커패시터형 DRAM 셀의 회로도.
- <12> <도면의 주요 부분에 대한 부호의 설명>
- <13> 10: 반도체 기판
- <14> 11: 소자 분리 절연층
- <15> 14: 게이트 절연막
- <16> 15: 게이트 전극
- <17> 17 - 20: 층간 절연막
- <18> MLT1 - MLT4: 금속 배선층

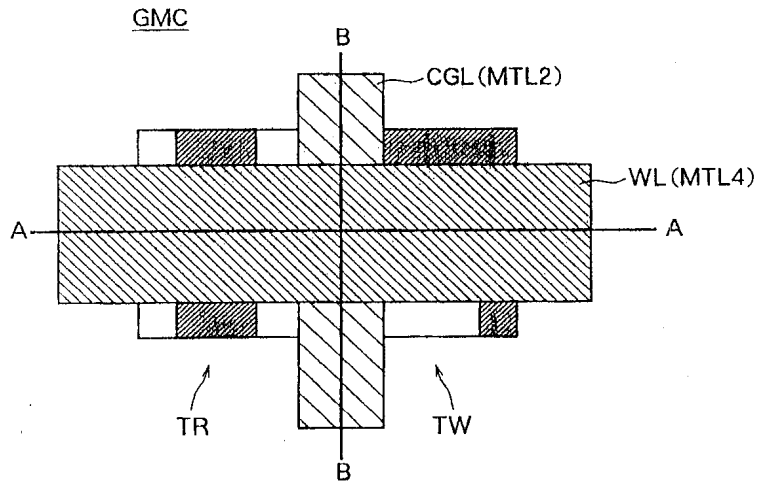
<19> PLG1 - PLG4: 플러그

도면

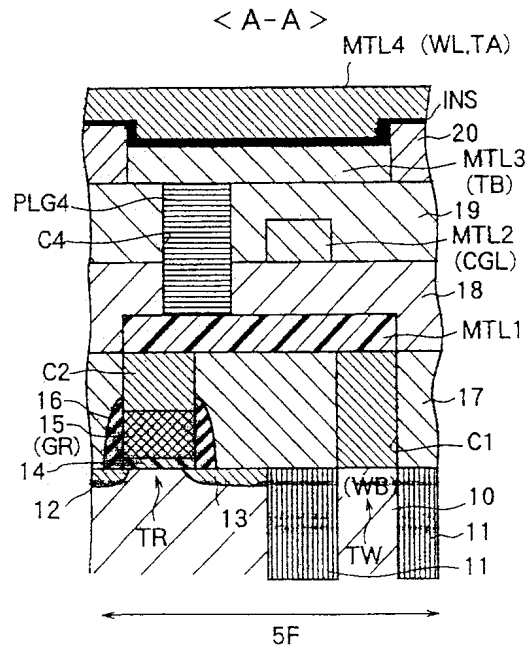
도면1



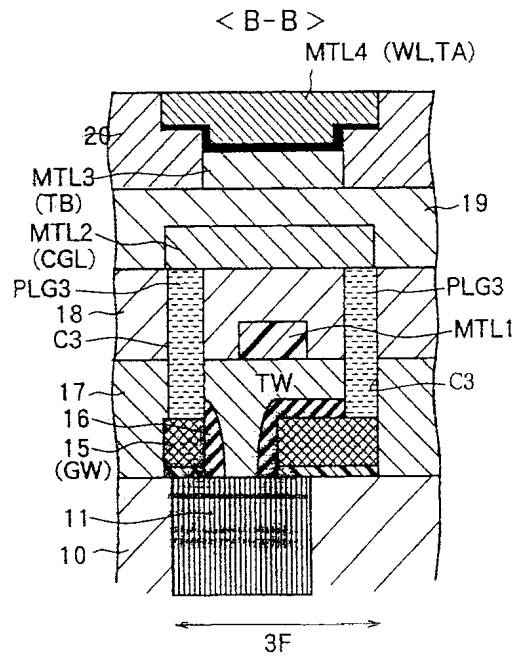
도면2



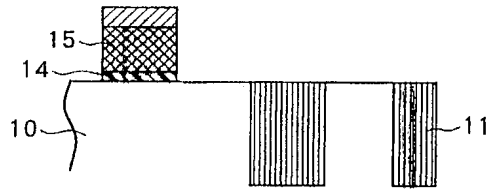
도면3a



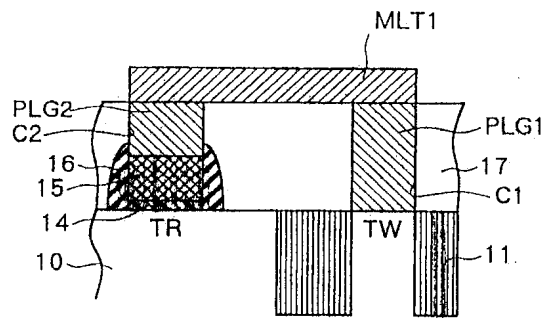
도면3b



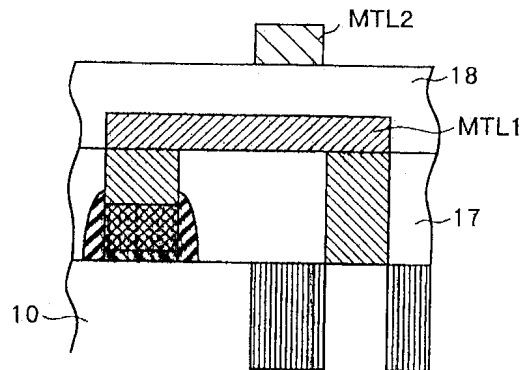
도면4a



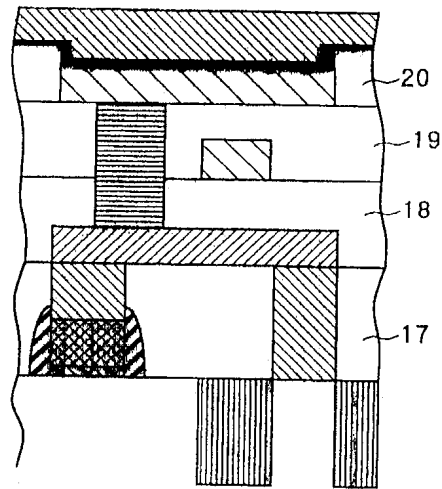
도면4b



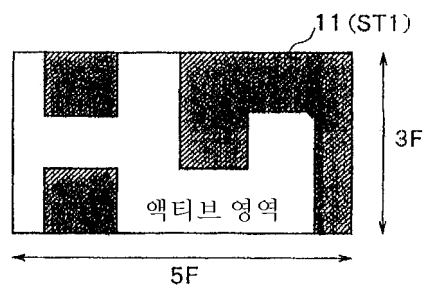
도면5a



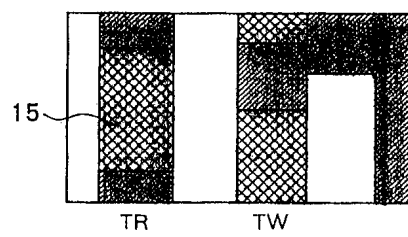
도면5b



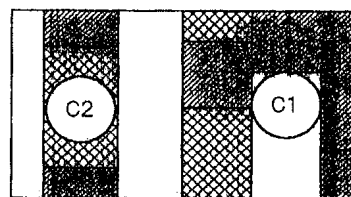
도면6a



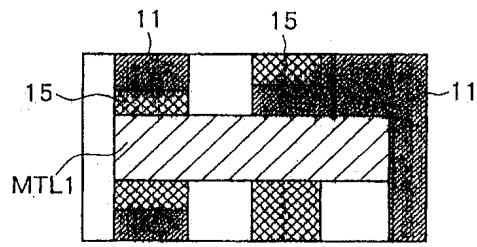
도면6b



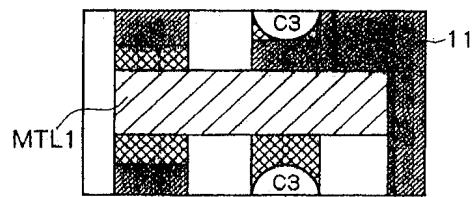
도면6c



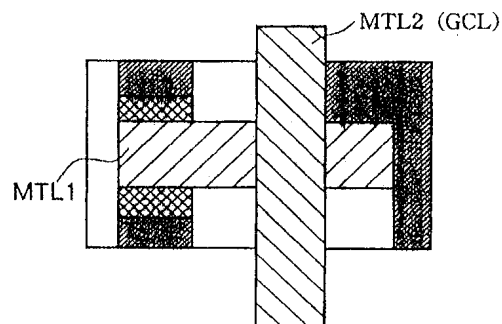
도면7a



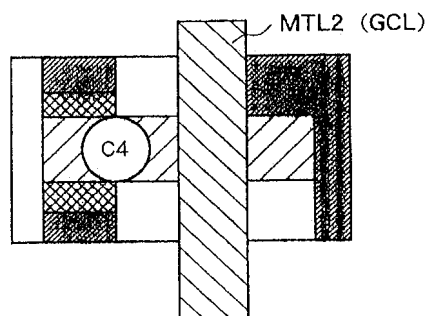
도면7b



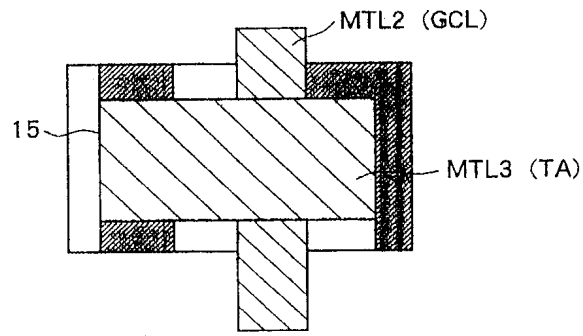
도면7c



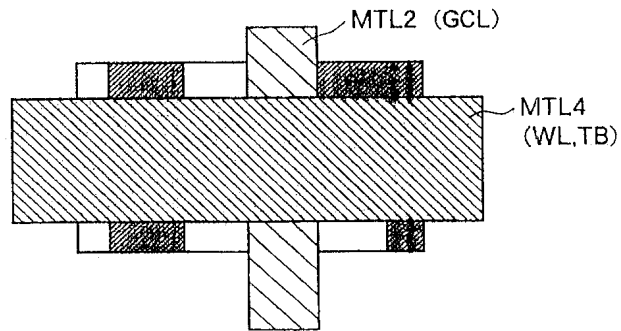
도면8a



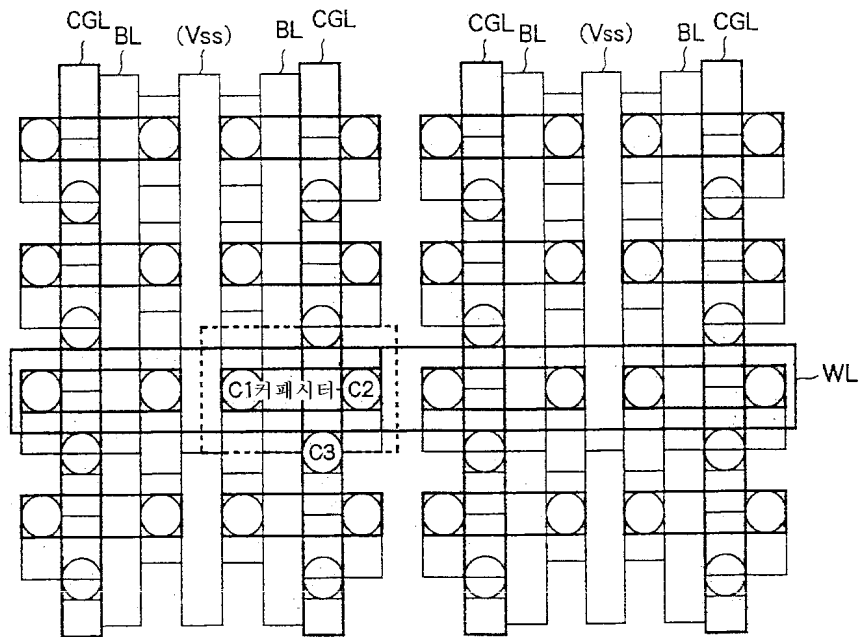
도면8b



도면8c



도면9



도면10

