(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl.[7]
H03K 19/086

(45) 공고일자 2000년12월15일
(11) 등록번호 10-0274520
(24) 등록일자 2000년09월14일

(21) 출원번호 10-1997-0020603
(65) 공개번호 특1997-0077626
(22) 출원일자 1997년05월26일
(43) 공개일자 1997년12월12일
(30) 우선권주장 96-133457 1996년05월28일 일본(JP)

(73) 특허권자 가부시끼가이샤 도시바 니시무로 타이죠
일본국 가나가와껭 가와사끼시 사이와이꾸 호리가와쪼 72반지
(72) 발명자 후지타 데츠야
일본 가나가와켄 가와사키시 사이와이쿠 호리가와쵸오 580-1 가부시기가이샤 도시바 반도체시스템기술센터내
구로다 다다히로
일본 가나가와켄 가와사키시 사이와이쿠 호리가와쵸오 580-1 가부시기가이샤 도시바 반도체시스템기술센터내
(74) 대리인 나영환, 이상섭

심사관 : 권호영

(54) 반도체집적회로

요약

본 발명은 -2V정도의 저전압 전원에서도 안정된 동작이 가능한 반도체 집적 회로, 구체적으로는 ECL 회로를 제공하는데 목적이 있다.

종래의 차동 ECL 회로에 입력 신호의 전위 레벨을 고전위 방향으로 이동시키기 위한 회로를 부가하고, 커런트 스위치를 구성하는 npn 바이폴라 트랜지스터의 에미터 전위의 전위 레벨을 고전위 쪽으로 이동시키며, 전원 전압이 -2V정도인 경우에 있어서 표준적인 ECL 레벨 신호에 의해서 커런트 스위치를 구성하는 npn 바이폴라 트랜지스터의 베이스 전위가 전환되는 순간에도 전류가 계속 흘러 안정된 동작을 유지할 수 있는 ECL 회로를 실현한다.

대표도

도1

명세서

도면의 간단한 설명

도 1은 본 발명의 제1 실시 형태에 관한 반도체 집적 회로의 회로도.

도 2는 도 1의 반도체 집적 회로에 있어서, npn 바이폴라 트랜지스터의 베이스·에미터간 전압 VBE = 0.9V, 기준 전위 GND = 0V, 전원 전위 VEE로서 내부 노드의 전위를 모식적으로 나타낸 설명도.

도 3은 본 발명의 제2 실시 형태에 관한 반도체 집적 회로의 회로도.

도 4는 종래의 차동 ECL 회로의 회로도.

도 5는 도 4의 차동 ECL 회로에 있어서, npn 바이폴라 트랜지스터의 베이스·에미터간 전압 VBE = 0.9V, 기준 전위 GND = 0V로서 내부 노드의 전위를 모식적으로 나타낸 설명도.

〈 도면의 주요 부분에 대한 부호의 설명 〉

Q1~6 : npn 바이폴라 트랜지스터

R1~R9 : 저항

D1,D2 : 다이오드

발명의 상세한 설명

발명의 목적

발명이 속하는 기술분야 및 그 분야의 종래기술

본 발명은 반도체 집적 회로에 관한 것으로, 특히 ECL(Emitter Coupled Logic; 에미터 결합 논리) 집적 회로에 관한 것이다.

바이폴라 트랜지스터를 사용하여 논리 신호를 전달시키는 반도체 집적 회로는 크게 TTL형, ECL형 등으로 구별된다. TTL형의 경우, 고전위 레벨은 2.4~2.5V, 저전위 레벨은 0~0.4V이다. 한편, ECL형의 경우, 전위 레벨은 -0.7~-1.9V, 그 진폭은 1V정도로, TTL형과는 크게 다르기 때문에, 그 취급도 상이하다.

도 4는 종래의 차동 ECL 회로의 회로도, 도 5는 도 4의 차동 ECL 회로에 있어서 npn 바이폴라 트랜지스터의 베이스·에미터간 전압 VBE=0.9V, 기준 전위 GND=0V로 하여 내부 노드의 전위를 모식적으로 나타낸 설명도이다.

이 차동 ECL 회로의 구성은 이하와 같다.

통상, 접지 전위인 기준 전위 GND가 일단에 부여된 저항(R1, R2)의 타단에는, npn 바이폴라 트랜지스터(Q1, Q2)의 콜렉터가 각각 접속된다. 이들 2개의 npn 바이폴라 트랜지스터(Q1, Q2)의 베이스에는 전위 레벨 -0.9~-1.7V의 입력 신호IN, $\overline{IN}$이 각각 입력된다. 공통 접속된 npn 바이폴라 트랜지스터(Q1, Q2)의 에미터에는 저항(R3)의 일단이 접속되고, 저항(R3)의 타단에는 전원 전위 VEE가 부여되고 있다. 이상 설명한 부분에서 커런트 스위치(S1)를 구성한다. 이 커런트 스위치(S1)로부터의 출력이 에미터 폴로워로의 입력이 된다. 즉, 콜렉터에 기준 전위 GND가 부여되는 npn 바이폴라 트랜지스터(Q3, Q4)의 각각의 베이스에 저항(R1)과 npn 바이폴라 트랜지스터(Q1)의 콜렉터와의 접속 노드가, 저항(R2)과 npn 바이폴라 트랜지스터(Q2)의 콜렉터와의 접속 노드가 접속된다. npn 바이폴라 트랜지스터(Q3, Q4)의 에미터에는 각각 저항(R4, R5)의 일단이 각각 접속되고, 저항(R4, R5)의 타단에는 전원 전위 VEE가 부여된다. 그리고, npn 바이폴라 트랜지스터(Q3, Q4)와 저항(R4, R5)의 일단과의 접속 노드로부터, 이 차동 ECL 회로의 출력 신호 OUT, $\overline{OUT}$가 취출된다. 또한, 저항(R1, R2)의 저항치는 모두 R이다.

종래의 차동 ECL 회로에서는, 전위 레벨 -0.9~-1.7V의 입력 신호IN, $\overline{IN}$이, 커런트 스위치(S1)에 입력된다. 커런트 스위치(S1)를 구성하는 2개의 npn 바이폴라 트랜지스터(Q1, Q2)는 이 중에서 베이스 전압이 높은 쪽이 온이 되고, 트랜지스터(Q1, Q2)의 에미터 전위는 그 높은 쪽의 베이스 전위로부터 베이스·에미터간 전압 VBE 만큼 내려 간 전위가 된다.

이 차동 ECL 회로는 아래와 같이 동작한다.

저항(R1, R2) 중에서 npn 바이폴라 트랜지스터(Q1, Q2) 중 온이 된 쪽에 접속된 저항에는, 일단에 기준 전위 GND를 부여하는 기준 전위점에서 전류 I가 흘러서 해당 저항의 타단의 전위가 저하하여 -R×I가 되고, 또, 에미터 폴로워에 있어서 전위 -R×I로부터 온이 된 npn 바이폴라 트랜지스터(Q3, Q4)의 베이스·에미터간 전압 VBE만큼만 저하한 전위 -R×I-VBE가, 「로우」 레벨의 출력 신호 OUT 또는 $\overline{OUT}$로서 출력 단자로부터 취출된다. 한편, 저항(R1, R2) 중에서 npn 바이폴라 트랜지스터(Q1, Q2) 중 오프가 된 쪽에 접속된 저항에는 일단에 기준 전위 GND를 부여하는 기준 전위점에서의 전류는 흐르지 않고, 저항의 타단의 전위는 기준 전위 GND와 거의 같기 때문에, 에미터 폴로워에 있어서 기준 전위 GND에서 온이 된 npn 바이폴라 트랜지스터(Q3, Q4)의 베이스·에미터간 전압 VBE만큼만 저하한 전위 GND-VBE가, 「하이」 레벨의 출력 신호 OUT 또는 $\overline{OUT}$로서 출력 단자로부터 취출된다.

따라서, 예컨대, npn 바이폴라 트랜지스터(Q1)의 베이스 전위가 -0.9V, 트랜지스터(Q2)의 베이스 전위가 -1.7V일 때는 npn 바이폴라 트랜지스터(Q1)가 온이 되고, 트랜지스터(Q1, Q2)의 에미터 전위는 -0.9V-VBB=-1.8V가 된다.

발명이 이루고자 하는 기술적 과제

그러나, 상술된 차동 ECL 회로에서는, 상기와 같은 조건하에서 npn 바이폴라 트랜지스터(Q1)의 베이스 전위가 -0.9V에서 -1.7V로, 트랜지스터(Q2)의 베이스 전위가 -1.7V에서 -0.9V로 전환될 때, 트랜지스터(Q1)의 베이스 전위와 트랜지스터(Q2)의 베이스 전위는 과도적으로 동일하게 되어, 트랜지스터(Q1, Q2)의 에미터 전위는 -1.3V -VBE = -2.2V까지 저하되어 다음과 같은 문제점이 생긴다. 즉, 이 때, 전원 전위 VEE가 -2.2V보다도 높으면, 커런트 스위치(S1)에 전류가 흐르지 않는 기간이 생기고, 차동 출력이어야 되는 2개의 출력 OUT, $\overline{OUT}$의 출력 전위가 모두 「하이」 레벨에 머무는 기간이 생기게 된다. 따라서, 종래의 차동 ECL 회로에서, 안정된 동작을 확보하기 위해서는 전원 전위 VEE는 -2.2V보다도 낮은 전위가 아니면 안되고, 종단 전압VTT(=-2V)를 발생하는 전원과는 별개로, 전원 전위 VEE를 발생하는 전원이 필요로 된다.

이상과 같이, 종래의 차동 ECL 회로에 표준적인 ECL 레벨 신호를 입력하고, -2V정도의 저전압 전원을 이용하여 동작시키고자 하는 경우, 안정된 논리 회로로서의 동작을 유지하는 것이 곤란하다. 또한, 이상의 예는 차동 ECL 회로에 관해서 설명하였지만, 싱글 엔드 ECL 회로에서도, 그 구성의 상위점은 입력 신호의 한쪽을 소정 전위(통상, -1.3V)로 고정한 것 뿐이기 때문에 본질적으로 동일한 문제점을 가지고 있다.

본 발명은 상기 문제점을 감안하여 이루어진 것으로서, 그 목적은 -2V정도의 저전압 전원에서도 안정된 동작이 가능한 반도체 집적 회로, 구체적으로는 ECL 회로를 제공하는 것이다.

발명의 구성 및 작용

본 발명에 관한 반도체 집적 회로에 의하면, 입력 신호에 기초하여 소정 범위의 전위의 차동 입력 신호를 발생하는 부가 회로와, 차동 입력 신호가 입력되는 ECL 회로를 구비한 것을 특징으로 하며, 종래의 차동 ECL 회로에, 입력 신호의 전위 레벨을 고전위 방향으로 이동시키기 위한 회로를 부가함으로써, 커런트 스

위치를 구성하는 npn 바이폴라 트랜지스터의 에미터 전위의 전위 레벨을 고전위 방향으로 이동시키도록 하였기 때문에, 전원 전압이 -2V정도인 경우에 있어서, 표준적인 ECL 레벨 신호에 의해서 커런트 스위치를 구성하는 npn바이폴라 트랜지스터의 베이스 전위가 전환되는 순간에도, 전류가 연속하여 흐르고, 안정된 동작을 유지할 수 있는 ECL 회로를 실현하는 것이 가능해진다.

입력 신호는 제1 및 제2 입력 신호를 포함하고, 차동 입력 신호는 제1 및 제2 차동 입력 신호를 포함하며, ECL 회로는 차동 ECL 회로인 것으로 하면 좋다.

또한, ECL 회로는 싱글 엔드 ECL 회로인 것으로 하여도 좋다.

구체적으로는 일단에 제1 기준 전위가 부여된 제1 저항과, 애노드에 제1 기준 전위가 부여되고, 캐소드가 제1 저항의 타단과 공통 접속된 제1 다이오드와, 공통 접속된 제1 저항의 타단 및 제1 다이오드의 캐소드에 콜렉터가 접속되고 베이스에 제1 입력 신호가 입력되는 제1 npn 바이폴라 트랜지스터와, 제1 npn 바이폴라 트랜지스터의 에미터에 일단이 접속되고 타단에 제2 기준 전위가 부여된 제2 저항과, 일단에 제1 기준 전위가 부여된 제3 저항과, 애노드에 제1 기준 전위가 부여되고 캐소드가 제3 저항의 타단과 공통 접속된 제2 다이오드와, 공통 접속된 제3 저항의 타단 및 제2 다이오드의 캐소드에 콜렉터가 접속되고 베이스에 제2 입력 신호가 입력되는 제2 npn 바이폴라 트랜지스터와, 제2 npn 바이폴라 트랜지스터의 에미터에 일단이 접속되고 타단에 제2 기준 전위가 부여된 제4 저항과, 제1 저항의 타단 및 제1 다이오드의 캐소드와 제1 npn 바이폴라 트랜지스터의 콜렉터와의 제1 접속 노드의 전위 신호를 제1 차동 입력 신호로 하고, 제3 저항의 타단 및 제2 다이오드의 캐소드와 제2 npn 바이폴라 트랜지스터의 콜렉터와의 제2 접속 노드의 전위 신호를 제2 차동 입력 신호로 하는 차동 ECL 회로를 구비한 것을 특징으로 하며, 종래의 차동 ECL 회로에 입력 신호의 전위 레벨을 고전위 방향으로 이동시키기 위한 회로를 부가함으로써, 커런트 스위치를 구성하는 npn 바이폴라 트랜지스터의 에미터 전위의 전위 레벨을 고전위 방향으로 이동시키도록 하였기 때문에, 전원 전압이 -2V정도인 경우에 있어서 표준적인 ECL 레벨 신호에 의해서 커런트 스위치를 구성하는 npn 바이폴라 트랜지스터의 베이스 전위가 전환하는 순간에도, 전류가 연속하여 흐르고 안정된 동작을 유지할 수 있는 ECL 회로를 실현할 수 있다.

또한, 일단에 제1 기준 전위가 부여된 제1 저항과, 애노드에 제1 기준 전위가 부여되고, 캐소드가 제1 저항의 타단과 공통 접속된 제1 다이오드와, 공통 접속된 제1 저항의 타단 및 제1 다이오드의 캐소드에 콜렉터가 접속되고, 베이스에 제1 입력 신호가 입력되는 제1 npn 바이폴라 트랜지스터와, 제1 npn 바이폴라 트랜지스터의 에미터에 일단이 접속되고, 타단에 제2 기준 전위가 부여된 제2 저항과, 제1 저항의 타단 및 제1 다이오드의 캐소드와 제1 npn 바이폴라 트랜지스터의 콜렉터와의 제1 접속 노드의 전위 신호를 제1 차동 입력 신호로 하는 싱글 엔드 ECL 회로를 구비한 것을 특징으로 하며, 이 경우에 있어서도 동일하게, 종래의 싱글 엔드 ECL 회로에, 입력 신호의 전위 레벨을 고전위 방향으로 이동시키기 위한 회로를 부가함으로써, 커런트 스위치를 구성하는 npn 바이폴라 트랜지스터의 에미터 전위의 전위 레벨을 고전위 방향으로 이동시키도록 하였기 때문에, 전원 전압이 -2V정도인 경우에 있어서, 표준적인 ECL 레벨 신호에 의해서 커런트 스위치를 구성하는 npn 바이폴라 트랜지스터의 베이스 전위가 전환되는 순간에도, 전류가 연속하여 흐르고, 안정된 동작을 유지할 수 있는 ECL 회로를 실현할 수 있다.

또, 전원 전위 VEE의 변동이 작은 경우에는, 이상의 회로 구성에서 다이오드를 생략한 회로 구성으로 해도 좋다.

이하, 본 발명에 관한 반도체 집적 회로의 실시 형태에 관해서, 도면을 참조하면서 설명한다.

본 발명에 관한 반도체 집적 회로의 특징은 종래의 차동 ECL 회로에 입력 신호의 전위 레벨을 고전위 쪽으로 이동시키기 위한 회로를 부가하고, 커런트 스위치를 구성하는 npn 바이폴라 트랜지스터의 에미터 전위의 전위 레벨을 고전위 쪽으로 이동시키는데 있다.

이러한 구성에 의해, 전원 전압이 -2V정도인 경우에 있어서, 표준적인 ECL 레벨 신호에 의해서 커런트 스위치를 구성하는 npn 바이폴라 트랜지스터의 베이스 전위가 전환되는 순간에서도, 전류가 연속하여 흐르고, 안정된 동작을 유지할 수 있는 ECL 회로를 실현할 수 있다.

도 1은 본 발명의 제1 실시 형태에 관한 반도체 집적 회로의 회로도, 도 2는 도 1의 반도체 집적 회로에서 npn 바이폴라 트랜지스터의 베이스·에미터간 전압 VBE=0.9V, 기준 전위GND=0V, 전원 전위 VEE로 하여 내부 노드의 전위를 모식적으로 나타낸 설명도이다.

본 발명의 제1 실시 형태에 관한 반도체 집적 회로는 아래와 같이 구성된다

본 발명의 제1 실시 형태에 관한 반도체 집적 회로에 있어서는, 종래의 차동 ECL 회로의 커런트 스위치의 입력측에, 커런트 스위치에 입력되는 입력 신호의 전위 레벨을 고전위 방향으로 이동시키기 위한 회로를 부가하고 있다. 이 부가된 회로는 다음과 같은 구성이다. 통상, 접지 전위인 기준 전위 GND가 다이오드(D1)의 애노드 및 저항(R6)의 일단에 접속되고, 공통 접속되는 다이오드(D1)의 캐소드 및 저항(R6)의 타단에 npn 바이폴라 트랜지스터 Q6의 콜렉터가 접속된다. 바이폴라 트랜지스터(Q6)의 베이스에는 한쪽의 입력 신호 IN이 입력되고, 에미터에는 저항(R7)의 일단이 접속되어 있다. 저항 R7의 타단에는 전원 전위 VEE가 부여되고 있다. 동일하게, 통상 접지 전위인 기준 전위 GND가 다이오드(D2)의 애노드 및 저항(R8)의 일단에 접속되고, 공통 접속되는 다이오드(D2)의 캐소드 및 저항(R8)의 타단에 npn 바이폴라 트랜지스터(Q5)의 콜렉터가 접속되어 있다. 바이폴라 트랜지스터(Q5)의 베이스에는 다른쪽의 입력 신호 $\overline{IN}$이 입력되고, 에미터에는 저항(R9)의 일단이 접속되어 있다. 저항(R9)의 타단에는 전원 전위 VEE가 부여되고 있다. 다이오드(D1, D2)에 의해서, 저항(R6, R8)에 과잉된 전류가 흐르는 것을 방지하고 저항(R6, R8)의 타단 전위의 과도한 저하가 방지된다.

부가 회로의 다이오드(D1) 및 저항(R6)과 npn 바이폴라 트랜지스터(Q6)의 콜렉터와의 접속 노드로부터는 차동 ECL 회로의 한쪽의 입력 신호가 되는 VIN'가 취출된다. 동일하게, 다이오드(D2) 및 저항(R8)과 npn 바이폴라 트랜지스터(Q5)의 콜렉터와의 접속 노드로부터는 차동 ECL 회로의 다른쪽의 입력 신호가 되는

$V^{\overline{IN}}$'이 취출된다.

차동 ECL 회로의 부분의 구성은 아래와 같이 종래의 회로와 동일하게 구성된다. 통상, 접지 전위인 기준 전위 GND가 일단에 부여된 저항(R1, R2)의 타단에는 각각 npn 바이폴라 트랜지스터(Q1, Q2)의 콜렉터가 접속되어 있다. 이들 2개의 npn 바이폴라 트랜지스터(Q1, Q2)의 베이스에는 상기 부가 회로에서 취출된 입력 신호 VIN',$V^{\overline{IN}}$'가 각각 입력된다. 공통 접속된 npn 바이폴라 트랜지스터(Q1, Q2)의 에미터에는 저항(R3)의 일단이 접속되고, 저항(R3)의 타단에는 전원 전위 VEE가 부여되고 있다. 이상 설명한 부분은 커런트 스위치(S1)를 구성한다. 이 커런트 스위치(S1)로부터의 출력이 에미터 폴로워로의 입력이 된다. 즉, 콜렉터에 기준 전위 GND가 부여되는 npn 바이폴라 트랜지스터(Q3, Q4)의 베이스에 저항(R1)과 npn 바이폴라 트랜지스터(Q1)의 콜렉터와의 접속 노드가, 저항(R2)와 npn 바이폴라 트랜지스터(Q2)의 콜렉터와의 접속 노드가 접속된다. npn 바이폴라 트랜지스터(Q3, Q4)의 에미터에는, 각각 저항(R4, R5)의 일단이 접속되고, 저항(R4, R5)의 타단에는 전원 전위 VEE가 부여되어 있다. 그리고, npn 바이폴라 트랜지스터(Q3, Q4)와 저항(R4, R5)의 일단과의 접속노드로부터 이 차동 ECL 회로의 출력 신호 OUT, $\overline{OUT}$가 취출된다. 또한, 저항(R1, R2)의 저항치는 모두 R이다.

이하, 본 발명의 제1 실시 형태에 관한 반도체 집적 회로의 동작에 관해서 설명한다.

npn 바이폴라 트랜지스터(Q6)의 베이스에 전위 -0.9V, 트랜지스터(Q5)의 베이스에 전위 -1.7V의 입력 신호 IN, $\overline{IN}$이 각각 부여되어 있을 때, npn 바이폴라 트랜지스터(Q6)의 베이스·에미터간 전압 VBE는 전원 전위 VEE와의 관계에 있어서 0.9V 이상이 되기 때문에, 트랜지스터(Q6)은 온이 되고 저항(R7)에 전류가 흐른다. 저항(R7)에 전류가 흐르고 있는 상태하에서, 일단에 기준 전위 GND가 부여된 저항(R6)의 타단의 전위는 다이오드(D1)의 순방향 전압의 제한에 의해 -0.9V가 된다. 이 저항(R6)의 타단에 있어서의 전위 신호를 한쪽의 입력 신호 VIN'으로서 npn 바이폴라 트랜지스터(Q1)의 베이스에 입력한다. 한편, npn 바이폴라 트랜지스터(Q5)의 베이스·에미터간 전압 VBE는 전원 전위 VEE와의 관계에 있어서 0.9V 미만이 되기 때문에, 트랜지스터(Q5)는 오프가 되고 저항(R9)에는 전류가 흐르지 않는다. 따라서, 일단에 기준 전위 GND가 부여된 저항(R8)의 타단의 전위는 기준 전위 GND와 거의 동일해지고, 이 저항(R8)의 타단에 있어서의 전위 신호를 다른쪽의 입력 신호 $V^{\overline{IN,}}$으로서 npn 바이폴라 트랜지스터(Q2)의 베이스에 입력한다.

npn 바이폴라 트랜지스터(Q5)의 베이스 전위가 -0.9V에서 -1.7V로, 트랜지스터(Q6)의 베이스 전위가 -1.7V에서 -0.9V로 전환할 때, 각 베이스 전위의 값이 VEE + VBE = -1.1V 부근에서, npn 바이폴라 트랜지스터(Q5, Q6)의 온/오프가 행해진다. 이 때, 저항(R6)의 타단의 전위와 저항(R8)의 타단의 전위가, 0V와 -0.9V의 중간의 전위 -0.45V에서 교차한다. 상술과 같이, 저항(R6)의 타단의 전위와 저항(R8)의 타단의 전위가, 각각 npn 바이폴라 트랜지스터(Q1)의 베이스와 트랜지스터(Q2)의 베이스에 입력되지만, npn 바이폴라 트랜지스터(Q1, Q2)의 에미터 전위는 과도적으로도 -0.45V - VBE = -1.35V 미만으로 저하하는 일은 없으며, 항상 -1.35V 이상의 전위가 유지된다. 따라서, 전원 전위 VBE = -2V에서도, 커런트 스위치(S1)을 흐르는 전파가, 과도적으로 차단되어 논리 신호의 전달이 불안정하게 되는 일은 없다. 전원 전위 VEE가 -2V에서도, 안정된 동작을 확보할 수 있기 때문에, 종단 전압 VTT(=-2V)를 발생하는 전원과 전원 전위 VEE를 발생하는 전원을 동일한 전원으로 겸용할 수 있다.

이상 설명한 제1 실시 형태에 관한 반도체 집적 회로에 있어서는, ECL 회로의 커런트 스위치로의 입력 신호의 전위 레벨을 고전위 방향으로 이동시키기 위한 회로의 구성에, 다이오드(D1, D2), 저항(R6, R8)을 이용하고 있지만, 전원 전위 VEE의 변동이 작은 경우에는 이 회로 구성으로부터 다이오드(D1, D2)를 생략할 수 있다. 또한, 다이오드 대신에 npn 바이폴라 트랜지스터를 이용하여, 베이스와 콜렉터를 단락하여 애노드로 하여, 에미터를 캐소드로서 대체하여도 좋다.

도 3은 본 발명의 제2 실시의 형태에 관한 반도체 집적 회로의 회로도이다.

본 발명의 제2 실시 형태에 관한 반도체 집적 회로에 있어서는, 싱글 엔드 회로의 커런트 스위치의 입력측에, 커런트 스위치에 입력되는 입력 신호의 전위 레벨을 고전위 방향으로 이동시키기 위한 회로를 부가하고 있다. 부가 회로는 다음과 같이 구성된다. 통상, 접지 전위인 제1 기준 전위 GND가 다이오드(D1)의 애노드 및 저항(R6)의 일단에 접속되고, 공통 접속되는 다이오드(D1)의 캐소드 및 저항(R6)의 타단에 npn 바이폴라 트랜지스터(Q6)의 콜렉터가 접속되어 있다. 바이폴라 트랜지스터(Q6)의 베이스에는 입력 신호 IN이 입력되고, 에미터에는 저항(R7)의 일단이 접속되어 있다. 저항(R7)의 타단에는 전원 전위 VEE가 부여되어 있다. 그리고, 부가 회로의 다이오드(D1) 및 저항(R6)과 npn 바이폴라 트랜지스터(Q6)의 콜렉터와의 접속노드로부터, 싱글 엔드 ECL 회로의 입력 신호가 되는 VIN'이 취출된다.

싱글 엔드 ECL 회로의 부분의 구성은 이하와 같이 통상의 싱글 엔드 ECL 회로의 구성을 갖는다. 통상, 접지 전위인 제1 기준 전위 GND가 일단에 부여되는 저항(R1, R2)의 타단에는, 각각 npn 바이폴라 트랜지스터(Q1, Q2)의 콜렉터가 접속되어 있다. 이들 2개의 npn 바이폴라 트랜지스터(Q1, Q2) 중에서, 트랜지스터(Q1)의 베이스에는 상기 부가 회로에서 취출된 입력 신호 VIN'이 입력된다. 한편, npn 바이폴라 트랜지스터(Q2)의 베이스에는, 제2 기준 전위 VREF가 부여된다. 공통 접속된 npn 바이폴라 트랜지스터(Q1, Q2)의 에미터에는 저항(R3)의 일단이 접속되고, 저항(R3)의 타단에는 전원 전위 VEE가 부여되고 있다. 이상 설명한 부분은 커런트 스위치(S1)를 구성한다. 이 커런트 스위치(S1)로부터의 출력이 에미터 폴로워로의 입력이 된다. 즉, 콜렉터에 기준 전위 GND가 부여된 npn 바이폴라 트랜지스터(Q3, Q4)의 베이스에 저항(R1)과 npn 바이폴라 트랜지스터(Q1)의 콜렉터와의 접속 노드가 저항(R2)과 npn 바이폴라 트랜지스터(Q2)의 콜렉터와의 접속 노드가 접속된다. npn 바이폴라 트랜지스터(Q3, Q4)의 에미터에는 각각 저항(R4, R5)의 일단이 접속되고, 저항(R4, R5)의 타단에는 전원 전위 VEE가 부여되고 있다. 그리고, npn 바이폴라 트랜지스터(Q3, Q4)와 저항(R4, R5)의 일단과의 접속노드로부터 이 차동 ECL 회로의 출력 신호 OUT, $\overline{OUT}$가 취출된다.

본 발명의 제2 실시 형태에 관한 반도체 집적 회로는, 제1 실시 형태에 관한 반도체 집적 회로와 비교하면, 커런트 스위치(S1)를 구성하는 npn 바이폴라 트랜지스터(Q2)의 베이스에 입력 신호 $V_{\overline{IN}}$ 대신에 제2 기준 전위 VREF = -0.45V를 입력하도록 한 점만 다르고, 기본적인 동작 원리는 제1 실시의 형태에 관한 반도체 집적 회로와 같다. 따라서, 본 발명의 제2 실시 형태에 관한 반도체 집적 회로의 구성에 있어서도 안정된 동작을 유지할 수 있는 ECL 회로를 실현하는 것이 가능하게 된다.

또한, 본원 청구범위의 각 구성 요건에 병기한 도면 참조 부호는, 본원 발명의 이해를 용이하게 하기 위한 것이고, 본원 발명의 기술적 범위를 도면에 도시한 실시예에 한정할 의도로 병기한 것은 아니다.

발명의 효과

본 발명에 관한 반도체 집적 회로에 의하면 표준 전위 레벨의 ECL 신호로 안정된 동작이 가능하고, 저전압 전원으로 동작가능한 ECL 회로를 구성할 수 있다. 따라서, 고속 동작으로 유리한 ECL 회로의 소비 전력을 감소할 수 있다. 또한, 종래에는 각각 별개로 준비할 필요가 있는 전원 전압 VEE와 종단 전압 VTT(=-2V)를 동일 전원으로 겸용할 수 있다.

(57) 청구의 범위

청구항 1

일단에 제1 기준 전위가 부여된 제1 저항(R6)과,

애노드에 상기 제1 기준 전위가 부여되고, 캐소드가 상기 제1 저항의 타단과 공통 접속된 제1 다이오드(D1)와,

공통 접속된 상기 제1 저항의 타단 및 상기 제1 다이오드의 캐소드에 콜렉터가 접속되어, 베이스에 제1 입력 신호가 입력되는 제1 npn 바이폴라 트랜지스터(Q6)와,

상기 제1 npn 바이폴라 트랜지스터의 에미터에 일단이 접속되고, 타단에 제2 기준 전위가 부여된 제2 저항(R7)과,

일단에 상기 제1 기준 전위가 부여된 제3 저항(R8)과,

애노드에 상기 제1 기준 전위가 부여되고, 캐소드가 상기 제3 저항의 타단과 공통 접속된 제2 다이오드(D2)와,

공통 접속된 상기 제3 저항의 타단 및 상기 제2 다이오드의 캐소드에 콜렉터가 접속되며, 베이스에 제2 입력 신호가 입력되는 제2 npn 바이폴라 트랜지스터(Q5)와,

상기 제2 npn 바이폴라 트랜지스터의 에미터에 일단이 접속되고, 타단에 상기 제2 기준 전위가 부여된 제4 저항(R9)과,

상기 제1 저항의 타단 및 상기 제1 다이오드의 캐소드와 상기 제1 npn 바이폴라 트랜지스터의 콜렉터와의 제1 접속 노드의 전위 신호를 제1 차동 입력 신호로 하고, 상기 제3 저항의 타단 및 상기 제2 다이오드의 캐소드와 상기 제2 npn 바이폴라 트랜지스터의 콜렉터와의 제2 접속 노드의 전위 신호를 제2 차동 입력 신호로 하는 차동 ECL 회로(S1)를 구비한 것을 특징으로 하는 반도체 집적 회로.

청구항 2

일단에 제1 기준 전위가 부여된 제1 저항(R6)과,

애노드에 상기 제1 기준 전위가 부여되고, 캐소드가 상기 제1 저항의 타단과 공통 접속된 제1 다이오드(D1)와,

공통 접속된 상기 제1 저항의 타단 및 상기 제1 다이오드의 캐소드에 콜렉터가 접속되고, 베이스에 제1 입력 신호가 입력되는 제1 npn 바이폴라 트랜지스터(Q6)와,

상기 제1 npn 바이폴라 트랜지스터의 에미터에 일단이 접속되고, 타단에 제2 기준 전위가 부여된 제2 저항(R7)과,

상기 제1 저항의 타단 및 상기 제1 다이오드의 캐소드와 상기 제1 npn 바이폴라 트랜지스터의 콜렉터와의 제1 접속 노드의 전위 신호를 제1 차동 입력 신호로 하는 싱글 엔드 ECL 회로(S1)를 구비한 것을 특징으로 하는 반도체 집적 회로.

청구항 3

일단에 제1 기준 전위가 부여된 제1 저항(R6)과,

애노드에 상기 제1 기준 전위가 부여되고, 캐소드가 상기 제1 저항의 타단과 공통 접속된 제1 다이오드(D1)와,

공통 접속된 상기 제1 저항의 타단 및 상기 제1 다이오드의 캐소드에 콜렉터가 접속되고, 베이스에 제1 입력 신호가 입력되는 제1 npn 바이폴라 트랜지스터(Q6)와,

상기 제1 npn 바이폴라 트랜지스터의 에미터에 일단이 접속되고, 타단에 제2 기준 전위가 부여된 제2 저항(R7)과,

일단에 상기 제1 기준 전위가 부여된 제3 저항(R8)과,

애노드에 상기 제1 기준 전위가 부여되고, 캐소드가 상기 제3 저항의 타단과 공통 접속된 제2 다이오드

(D2)와,

공통 접속된 상기 제3 저항의 타단 및 상기 제2 다이오드의 캐소드에 콜렉터가 접속되고, 베이스에 제2 입력 신호가 입력되는 제2 npn 바이폴라 트랜지스터(Q5)와,

상기 제2 npn 바이폴라 트랜지스터의 에미터에 일단이 접속되고, 타단에 상기 제2 기준 전위가 부여된 제4 저항(R9)과,

일단에 상기 제1 기준 전위가 부여된 제5 저항(R1)과,

상기 제5 저항의 타단에 콜렉터가 접속되고, 상기 제1 저항의 타단 및 상기 제1 다이오드의 캐소드와 상기 제1 npn 바이폴라 트랜지스터의 콜렉터와의 제1 접속 노드의 전위 신호가 베이스에 입력된 제3 npn 바이폴라 트랜지스터(Q1)와,

일단에 상기 제1 기준 전위가 부여된 제6 저항(R2)과,

상기 제6 저항의 타단에 콜렉터가 접속되고, 제3 저항의 타단 및 상기 제2 다이오드의 캐소드와 상기 제2 npn 바이폴라 트랜지스터의 콜렉터와의 제2 접속 노드의 전위 신호가 베이스에 입력되며, 콜렉터가 상기 제3 npn 바이폴라 트랜지스터의 콜렉터와 공통 접속된 제4 npn 바이폴라 트랜지스터(Q2)와,

공통 접속된 상기 제3 npn 바이폴라 트랜지스터의 에미터 및 상기 제4 npn 바이폴라 트랜지스터의 에미터에 일단이 접속되며, 타단에 상기 제2 기준 전위가 부여된 제7 저항(R3)과,

상기 제1 기준 전위가 콜렉터에 부여되고, 상기 제5 저항의 타단과 상기 제3 npn 바이폴라 트랜지스터의 콜렉터와의 제3 접속 노드의 전위 신호가 베이스에 입력된 제5 npn 바이폴라 트랜지스터(Q3)와,

상기 제5 npn 바이폴라 트랜지스터의 에미터에 일단이 접속되고, 타단에 상기 제2 기준 전위가 부여된 제8 저항(R4)과,

상기 제1 기준 전위가 콜렉터에 부여되고, 상기 제6 저항의 타단과 상기 제4 npn 바이폴라 트랜지스터의 콜렉터와의 제4 접속 노드의 전위 신호가 베이스에 입력된 제6 npn 바이폴라 트랜지스터(Q4)와,

상기 제6 npn 바이폴라 트랜지스터의 에미터에 일단이 접속되고, 타단에 상기 제2 기준 전위가 부여된 제9 저항(R5)을 구비하며,

상기 제5 npn 바이폴라 트랜지스터의 에미터와 상기 제8 저항의 일단과의 제5 접속 노드의 전위 신호를 제1 차동 출력(OUT)으로 하고, 상기 제6 npn 바이폴라 트랜지스터의 에미터와 상기 제9 저항의 일단과의 제6 접속 노드의 전위 신호를 제2 차동 출력($\overline{\mathrm{OUT}}$)으로 하는 것을 특징으로 하는 반도체 집적 회로.

청구항 4

일단에 제1 기준 전위가 부여된 제1 저항(R6)과,

애노드에 상기 제1 기준 전위가 부여되고, 캐소드가 상기 제1 저항의 타단과 공통 접속된 제1 다이오드(D1)와,

공통 접속된 상기 제1 저항의 타단 및 상기 제1 다이오드의 캐소드에 콜렉터가 접속되고, 베이스에 제1 입력 신호가 입력되는 제1 npn 바이폴라 트랜지스터(Q6)와,

상기 제1 npn 바이폴라 트랜지스터의 에미터에 일단이 접속되고, 타단에 제2 기준 전위가 부여된 제2 저항(R7)과,

일단에 상기 제1 기준 전위가 부여된 제3 저항(R1)과,

상기 제3 저항의 타단에 콜렉터가 접속되고, 상기 제1 저항의 타단 및 상기 제1 다이오드의 캐소드와 상기 제1 npn 바이폴라 트랜지스터의 콜렉터와의 제1 접속 노드의 전위 신호가 베이스에 입력된 제2 npn 바이폴라 트랜지스터(Q1)와,

일단에 상기 제1 기준 전위가 부여된 제4 저항(R2)과,

상기 제4 저항의 타단에 콜렉터가 접속되고, 제3 기준 전위가 베이스에 부여되며, 콜렉터가 상기 제2 npn 바이폴라 트랜지스터의 콜렉터와 공통 접속된 제3 npn 바이폴라 트랜지스터(Q2)와,

공통 접속된 상기 제2 npn 바이폴라 트랜지스터의 에미터 및 상기 제3 npn 바이폴라 트랜지스터의 에미터에 일단이 접속되고, 타단에 상기 제2 기준 전위가 부여된 제5 저항(R3)과,

상기 제1 기준 전위가 콜렉터에 부여되고, 상기 제3 저항의 타단과 상기 제2 npn 바이폴라 트랜지스터의 콜렉터와의 제2 접속 노드의 전위 신호가 베이스에 입력된 제4 npn 바이폴라 트랜지스터(Q3)와,

상기 제4 npn 바이폴라 트랜지스터의 에미터에 일단이 접속되고, 타단에 상기 제2 기준 전위가 부여된 제6 저항(R4)과,

상기 제1 기준 전위가 콜렉터에 부여되고, 상기 제4 저항의 타단과 상기 제3 npn 바이폴라 트랜지스터의 콜렉터와의 제3 접속 노드의 전위 신호가 베이스에 입력된 제5 npn 바이폴라 트랜지스터(Q4)와,

상기 제5 npn 바이폴라 트랜지스터의 에미터에 일단이 접속되고, 타단에 상기 제2 기준 전위가 부여된 제7 저항(R5)을 구비하고,

상기 제4 npn 바이폴라 트랜지스터의 에미터와 상기 제6 저항의 일단과의 제4 접속 노드의 전위 신호를 제1 차동 출력(OUT)으로 하고, 상기 제5 npn 바이폴라 트랜지스터의 에미터와 상기 제7 저항의 일단과의 제5 접속 노드의 전위 신호를 제2 차동 출력($\overline{\mathrm{OUT}}$)으로 하는 것을 특징으로 하는 반도체 집적 회로.

청구항 5

일단에 제1 기준 전위가 부여된 제1 저항(R6)과,

상기 제1 저항의 타단에 콜렉터가 접속되고, 베이스에 제1 입력 신호가 입력되는 제1 npn 바이폴라 트랜지스터(Q6)와,

상기 제1 npn 바이폴라 트랜지스터의 에미터에 일단이 접속되고, 타단에 제2 기준 전위가 부여된 제2 저항(R7)과,

일단에 상기 제1 기준 전위가 부여된 제3 저항(R8)과,

상기 제3 저항의 타단에 콜렉터가 접속되고, 베이스에 제2 입력 신호가 입력되는 제2 npn 바이폴라 트랜지스터(Q5)와,

상기 제2 npn 바이폴라 트랜지스터의 에미터에 일단이 접속되고, 타단에 상기 제2 기준 전위가 부여된 제4 저항(R9)과,

상기 제1 저항의 타단과 상기 제1 npn 바이폴라 트랜지스터의 콜렉터와의 제1 접속 노드의 전위 신호를 제1 차동 입력 신호로 하고, 상기 제3 저항의 타단과 상기 제2 npn 바이폴라 트랜지스터의 콜렉터와의 제2 접속 노드의 전위 신호를 제2 차동 입력 신호로 하는 차동 ECL 회로(S1)를 구비한 것을 특징으로 하는 반도체 집적 회로.

청구항 6

일단에 제1 기준 전위가 부여된 제1 저항(R6)과,

상기 제1 저항의 타단에 콜렉터가 접속되고, 베이스에 제1 입력 신호가 입력되는 제1 npn 바이폴라 트랜지스터(Q6)와,

상기 제1 npn 바이폴라 트랜지스터의 에미터에 일단이 접속되고, 타단에 제2 기준 전위가 부여된 제2 저항(R7)과,

상기 제1 저항의 타단과 상기 제1 npn 바이폴라 트랜지스터의 콜렉터와의 제1 접속 노드의 전위 신호를 제1 차동 입력 신호로 하는 싱글 엔드 ECL 회로(S1,Q3,Q4,R4,R5)를 구비한 것을 특징으로 하는 반도체 집적 회로.

청구항 7

일단에 제1 기준 전위가 부여된 제1 저항(R6)과,

상기 제1 저항의 타단에 콜렉터가 접속되고, 베이스에 제1 입력 신호가 입력되는 제1 npn 바이폴라 트랜지스터(Q6)와,

상기 제1 npn 바이폴라 트랜지스터의 에미터에 일단이 접속되고, 타단에 제2 기준 전위가 부여된 제2 저항(R7)과,

일단에 상기 제1 기준 전위가 부여된 제3 저항(R8)과,

상기 제3 저항의 타단에 콜렉터가 접속되고, 베이스에 제2 입력 신호가 입력되는 제2 npn 바이폴라 트랜지스터(Q5)와,

상기 제2 npn 바이폴라 트랜지스터의 에미터에 일단이 접속되고, 타단에 상기 제2 기준 전위가 부여된 제4 저항(R9)과,

일단에 상기 제1 기준 전위가 부여된 제5 저항(R1)과,

상기 제5 저항의 타단에 콜렉터가 접속되고, 상기 제1 저항의 타단과 상기 제1 npn 바이폴라 트랜지스터의 콜렉터와의 제1 접속 노드의 전위 신호가 베이스에 입력된 제3 npn 바이폴라 트랜지스터(Q1)와,

일단에 상기 제1 기준 전위가 부여된 제6 저항(R2)과,

상기 제6 저항의 타단에 콜렉터가 접속되고, 상기 제3 저항의 타단과 상기 제2 npn 바이폴라 트랜지스터의 콜렉터와의 제2 접속 노드의 전위 신호가 베이스에 입력되며, 콜렉터가 상기 제3 npn 바이폴라 트랜지스터의 콜렉터와 공통 접속된 제4 npn 바이폴라 트랜지스터(Q2)와,

공통 접속된 상기 제3 npn 바이폴라 트랜지스터의 에미터 및 상기 제4 npn 바이폴라 트랜지스터의 에미터에 일단이 접속되고, 타단에 상기 제2 기준 전위가 부여된 제7 저항(R3)과,

상기 제1 기준 전위가 콜렉터에 부여되고, 상기 제5 저항의 타단과 상기 제3 npn 바이폴라 트랜지스터의 콜렉터와의 제3 접속 노드의 전위 신호가 베이스에 입력된 제5 npn 바이폴라 트랜지스터(Q3)와,

상기 제5 npn 바이폴라 트랜지스터의 에미터에 일단이 접속되고, 타단에 상기 제2 기준 전위가 부여된 제8 저항(R4)과,

상기 제1 기준 전위가 콜렉터에 부여되고, 상기 제6 저항의 타단과 상기 제4 npn 바이폴라 트랜지스터의 콜렉터와의 제4 접속 노드의 전위 신호가 베이스에 입력된 제6 npn 바이폴라 트랜지스터(Q4)와,

상기 제6 npn 바이폴라 트랜지스터의 에미터에 일단이 접속되고, 타단에 상기 제2 기준 전위가 부여된 제9 저항(R5)을 구비하며,

상기 제5 npn 바이폴라 트랜지스터의 에미터와 상기 제8 저항의 일단과의 제5 접속 노드의 전위 신호를 제1 차동 출력(OUT)으로 하고, 상기 제6 npn 바이폴라 트랜지스터의 에미터와 상기 제9 저항의 일단과의

제6 접속 노드의 전위 신호를 제2 차동 출력($\overline{OUT}$)으로 하는 것을 특징으로 하는 반도체 집적 회로.

청구항 8

일단에 제1 기준 전위가 부여된 제1 저항(R6)과,

상기 제1 저항의 타단에 콜렉터가 접속되고, 베이스에 제1 입력 신호가 입력되는 제1 npn 바이폴라 트랜지스터(Q6)와,

상기 제1 npn 바이폴라 트랜지스터의 에미터에 일단이 접속되고, 타단에 제2 기준 전위가 부여된 제2 저항(R7)과,

일단에 상기 제1 기준 전위가 부여된 제3 저항(R1)과,

상기 제3 저항의 타단에 콜렉터가 접속되고, 상기 제1 저항의 타단과 상기 제1 npn 바이폴라 트랜지스터의 콜렉터와의 제1 접속 노드의 전위 신호가 베이스에 입력된 제2 npn 바이폴라 트랜지스터(Q1)와,

일단에 상기 제1 기준 전위가 부여된 제4 저항(R2)과,

상기 제4 저항의 타단에 콜렉터가 접속되고, 제3 기준 전위가 베이스에 부여되고, 콜렉터가 상기 제2 npn 바이폴라 트랜지스터의 콜렉터와 공통 접속된 제3 npn 바이폴라 트랜지스터(Q2)와,

공통 접속된 상기 제2 npn 바이폴라 트랜지스터의 에미터 및 상기 제3 npn 바이폴라 트랜지스터의 에미터에 일단이 접속되고, 타단에 상기 제2 기준 전위가 부여된 제5 저항(R3)과,

상기 제1 기준 전위가 콜렉터에 부여되고, 상기 제3 저항의 타단과 상기 제2 npn 바이폴라 트랜지스터의 콜렉터와의 제2 접속 노드의 전위 신호가 베이스에 입력된 제4 npn 바이폴라 트랜지스터(Q3)와,

상기 제4 npn 바이폴라 트랜지스터의 에미터에 일단이 접속되고, 타단에 상기 제2 기준 전위가 부여된 제6 저항(R4)과,

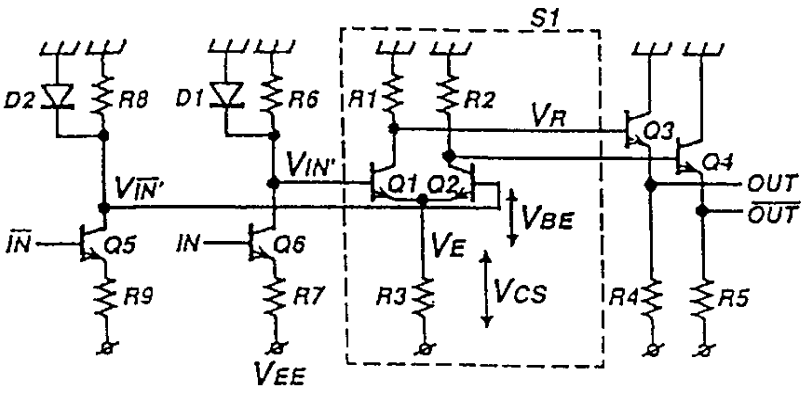
상기 제1 기준 전위가 콜렉터에 부여되고, 상기 제4 저항의 타단과 상기 제3 npn 바이폴라 트랜지스터의 콜렉터와의 제3 접속 노드의 전위 신호가 베이스에 입력된 제5 npn 바이폴라 트랜지스터(Q4)와,

상기 제5 npn 바이폴라 트랜지스터의 에미터에 일단이 접속되고, 타단에 상기 제2 기준 전위가 부여된 제7 저항(R5)을 구비하고,

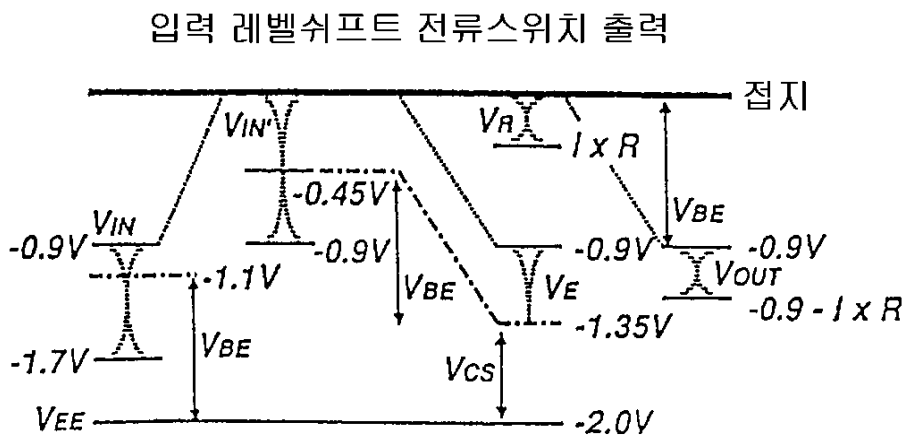
상기 제4 npn 바이폴라 트랜지스터의 에미터와 상기 제6 저항의 일단과의 제4 접속 노드의 전위 신호를 제1 차동 출력(OUT)으로 하고, 상기 제5 npn 바이폴라 트랜지스터의 에미터와 상기 제7 저항의 일단과의 제5 접속 노드의 전위 신호를 제2 차동 출력($\overline{OUT}$)으로 하는 것을 특징으로 하는 반도체 집적 회로.

도면

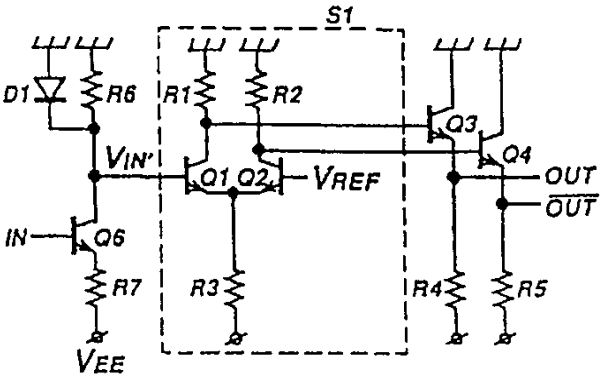
도면1



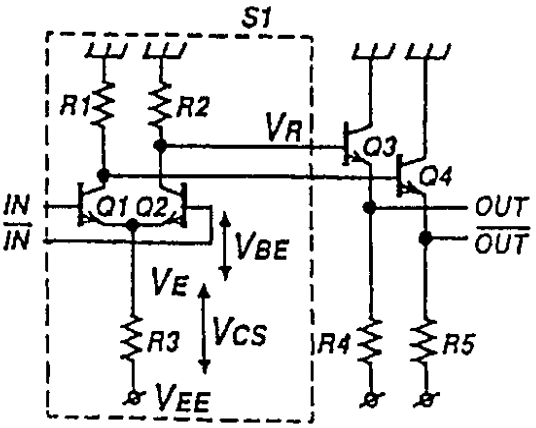
도면2


입력 레벨쉬프트 전류스위치 출력
접지
VIN'
VR
I x R
-0.45V
VBE
-0.9V
VIN
-0.9V
-0.9V
-0.9V
VOUT
-1.1V
VBE
VE
-0.9 - I x R
-1.35V
-1.7V
VBE
VCS
VEE
-2.0V

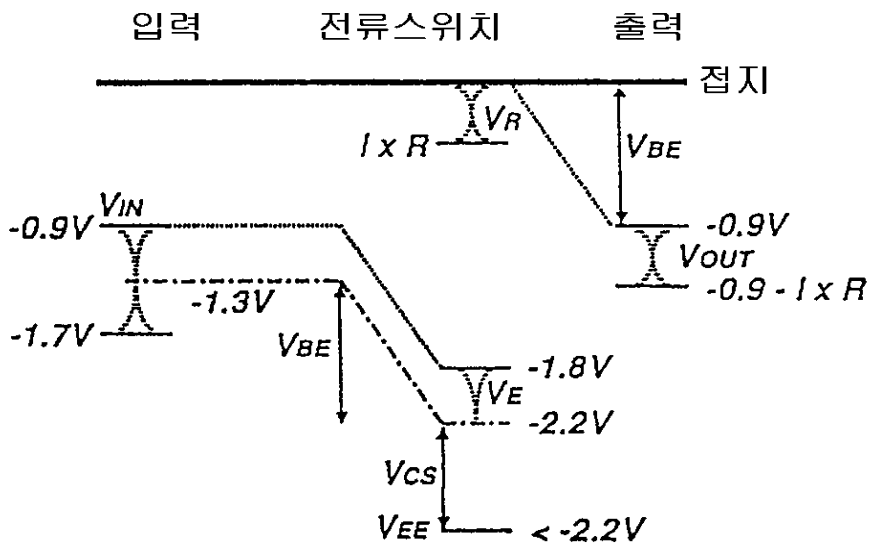
도면3


S1
D1
R6
R1
R2
Q3
Q4
VIN'
Q1 Q2
VREF
OUT
OUT
IN
Q6
R7
R3
R4
R5
VEE

도면4


S1
R1
R2
VR
Q3
Q4
IN
IN
Q1 Q2
OUT
OUT
VBE
VE
VCS
R3
R4
R5
VEE

도면5


입력
전류스위치
출력
접지
VR
I x R
VBE
-0.9V
VIN
-0.9V
VOUT
-0.9 - I x R
-1.3V
-1.7V
VBE
-1.8V
VE
-2.2V
VCS
VEE
< -2.2V