

(19) 日本国特許庁(JP)

## (12) 特許公報(B2)

(11) 特許番号

特許第4564321号  
(P4564321)

(45) 発行日 平成22年10月20日(2010.10.20)

(24) 登録日 平成22年8月6日(2010.8.6)

(51) Int.Cl.

G 06 K 19/07 (2006.01)  
B 42 D 15/10 (2006.01)

F 1

G 06 K 19/00  
B 42 D 15/10 521

請求項の数 5 (全 11 頁)

(21) 出願番号 特願2004-288448 (P2004-288448)  
 (22) 出願日 平成16年9月30日 (2004.9.30)  
 (65) 公開番号 特開2006-106822 (P2006-106822A)  
 (43) 公開日 平成18年4月20日 (2006.4.20)  
 審査請求日 平成19年7月18日 (2007.7.18)

(73) 特許権者 000003078  
 株式会社東芝  
 東京都港区芝浦一丁目1番1号  
 (74) 代理人 100109900  
 弁理士 堀口 浩  
 (72) 発明者 相沢 英夫  
 神奈川県川崎市幸区小向東芝町1番地 株式会社東芝 マイクロエレクトロニクスセンター内  
 審査官 前田 浩

最終頁に続く

(54) 【発明の名称】カード型電子機器

## (57) 【特許請求の範囲】

## 【請求項1】

回路基板を用いて構成されるカード型電子機器において、

前記回路基板の先端部に設けられた信号ピンと、

前記回路基板の一方の面上に設けられた回路パターンと、

前記回路基板の一方の面上において前記回路基板の末端と前記回路パターンとの間に設けられ、前記信号ピンに電気的に接続されることで接地電位が供給される第1のグランドパターンと、

前記回路基板の一方の面を覆う絶縁膜とを具備し、

前記絶縁膜は、前記回路基板の末端部に開口部を有し、

前記第1のグランドパターンは、前記絶縁膜の前記開口部から露出したことを特徴とするカード型電子機器。

## 【請求項2】

前記第1のグランドパターンは、

前記回路基板の末端に延在され、その末端から露出したアンテナパターンを有することを特徴とする請求項1記載のカード型電子機器。

## 【請求項3】

前記回路基板は、前記アンテナパターンが設けられた位置において前記回路基板の末端から突出して設けられた凸部を更に具備することを特徴とする請求項2に記載のカード型電子機器。

**【請求項 4】**

前記回路基板の他方の面に設けられた第2のグランドパターンと、

前記第1のグランドパターンと第2のグランドパターンとを接続するスルーホールとを更に具備し、

前記第1のグランドパターンは、前記第2のグランドパターンを介して前記信号ピンに電気的に接続されることを特徴とする請求項1乃至3のいずれか1項に記載のカード型電子機器。

**【請求項 5】**

前記回路基板の一方の面上において前記回路パターンに接続して設けられた不揮発性半導体メモリと、

10

前記回路基板の一方の面上において前記回路パターンに接続して設けられ、前記不揮発性メモリへのデータの書き込みまたは読み出しを制御するコントローラとを更に具備することを特徴とする請求項1乃至4のいずれか1項に記載のカード型電子機器。

**【発明の詳細な説明】****【技術分野】****【0001】**

本発明は、カード型電子機器に関し、例えば不揮発性半導体メモリを搭載したメモリカードに関する。

**【背景技術】****【0002】**

例えば、SD (Secure Digital) カードなどのメモリカードは、パソコン用コンピュータなどのホスト機器の記憶媒体として使用されている。これらのメモリカードはホスト機器に設けられたカードスロットに挿入して使用される。一般的に、メモリカードをカードスロットに挿入した状態では、メモリカードの信号ピンはカードスロットの奥側に位置し、メモリカードの信号ピンと反対側の部分（以下、末端部）はカードスロットの挿入口から露出する場合が多い。つまり、カードスロットに挿入した状態において、メモリカードの末端部は外部から接触しやすい。この状態のメモリカードに人体などが接触すると、その人体などに発生した静電気がメモリカードに流入し、メモリカードに搭載された電子回路を破壊する可能性がある。また、メモリカードをカードスロットに挿入する際にも、カードスロットに挿入した状態と同様、その挿入時に発生した静電気がメモリカードに流入し、メモリカードに不具合をもたらす可能性がある。

20

**【0003】**

例えば特許文献1には、このような静電気に起因する不具合の発生を抑制するため、メモリカードの両面に導電性保護カバーを設けたメモリカードにおいて、アース端子に接続するアース回路パターンと導電性保護カバーとを接続したメモリカードが開示されている。

30

**【特許文献1】実開平7-37672号公報（図1）****【発明の開示】****【発明が解決しようとする課題】****【0004】**

近年、メモリカードの小型化、薄型化はますます進んでいる。このような背景から、メモリカード内部の回路基板に設けられる電子回路の信号配線は、メモリカードの末端部にまで設けられる場合が多い。電子回路の信号配線がメモリカードの末端部にまで設けられると、静電気が流入したときにその静電気が信号配線に入力され、電子回路が破損または誤動作しやすくなる。このため、メモリカードのうち特に末端部から静電気が流入したときに、その静電気に起因してメモリカードに不具合が生じないようにすることが求められている。

40

**【0005】**

本発明は、以上のこととを鑑みてなされたものであり、静電気が流入した場合においても、搭載された電子回路が破壊されることを抑制したカード型電子機器を提供することを目

50

的とする。

【課題を解決するための手段】

【0006】

上記目的を達成するために、本発明に係るカード型電子機器は、回路基板を用いて構成されるカード型電子機器において、前記回路基板の先端部に設けられた信号ピンと、前記回路基板の一方の面上に設けられた回路パターンと、前記回路基板の一方の面上において前記回路基板の末端と前記回路パターンとの間に設けられ、前記信号ピンに電気的に接続されることで接地電位が供給される第1のグランドパターンと、前記回路基板の一方の面を覆う絶縁膜とを具備し、前記絶縁膜は、前記回路基板の末端部に開口部を有し、前記第1のグランドパターンは、前記絶縁膜の前記開口部から露出したことを特徴としている。 10

【発明の効果】

【0007】

本発明によれば、静電気が流入した場合においても、搭載された電子回路が破壊されることを抑制したカード型電子機器を提供することができる。

【発明を実施するための最良の形態】

【0008】

以下に、本発明に係るカード型電子機器についての実施例を図1乃至11を参照して説明する。なお、ここでは、カード型電子機器がSD(Secure Digital)カードである場合を例に説明する。また、この実施例における図面の記載において、同一または類似の部分には同一または類似の符号を付している。 20

【0009】

図1は、SDカード100の基本構成を示すものである。SDカード100は、パソコン用コンピュータなどのホスト機器のカードスロットに装着されることにより電源の供給を受けて動作し、ホスト機器からのアクセスに応じた処理を行う。すなわち、SDカード100は、回路基板上に実装された、NAND型フラッシュメモリ101およびコントローラ102を有している。

【0010】

NAND型フラッシュメモリ101は、例えば、通常の消去がブロック(複数ページ)単位で行われる不揮発性の半導体メモリである。また、このNAND型フラッシュメモリ101は、例えば、ページと称する単位で、データの書き込みおよび読み出しが行われるようになっている。このNAND型フラッシュメモリ101は、例えば0.09μmプロセス技術を用いて製作される。即ち、NAND型フラッシュメモリ101のデザインルールは、0.1μm未満となっている。なお、NAND型フラッシュメモリ101としては、一つのメモリセルに1ビットの情報を記憶する2値メモリであってもよいし、一つのメモリセルに2ビット以上の情報を記憶する多値メモリであってもよい。また、SDカード100を実用上有効な製品とするためには、NAND型フラッシュメモリ101の記憶容量は1Gバイト以上であることが望ましい。 30

【0011】

コントローラ102は、NAND型フラッシュメモリ101内の物理状態を管理するものとして構築されている。例えば、論理ブロックアドレスと物理ブロックアドレスとの対応を示す論物変換テーブルや各物理ブロックが既にある論理ブロックに割り当てられているかを示すテーブルを保持する。 40

【0012】

信号ピン103は、メモリカードがカードスロットに挿入されたときにホスト機器のコネクタピンと電気的に接続される。この信号ピン103に対する信号の割り当てを図2に示す。データ信号(DAT0～DAT3)は、ピンP1, P7, P8, P9に割り当てられている。また、ピンP1はカード検出信号に対しても割り当てられている。ピンP2はコマンド(CMD)に、ピン5はクロックに割り当てられている。ピンP3, P6には接地電位(Vss)が供給され、ピンP4には電源電位(Vdd)が供給される。

【0013】

10

20

30

40

50

このような構成において、SDカード100は、ホスト機器のカードスロットに装着されることにより、信号ピン103を介して、ホスト機器との間の通信を行う。例えば、SDカード100のNAND型フラッシュメモリ101にデータを書き込む場合、コントローラ102は、ホスト機器からピンP5に与えられるクロック信号に同期させて、ピンP2に与えられる書き込みコマンドをシリアルな信号として取り込む。

【0014】

図3は、上述したSDカード100の設定可能な動作モードとピンアサインとの関係を示すものである。本実施例において、SDカード100は3つの動作モード、例えばSD4bitモード、SD1bitモード、および、SPIモードを備えている。すなわち、SDカード100の動作モードは、SDモードとSPIモードとに大別される。SDモードの場合、ホスト機器からのバス幅変更コマンドによって、SDカード100は、SD4bitモードまたはSD1bitモードに設定される。

【0015】

ここで、4つのデータ信号用のピンP1(DAT3), P7(DAT0), P8(DAT1), P9(DAT2)に着目すると、4ビット幅単位でデータ転送を行うSD4bitモードでは、4つのデータ信号用のピンP1, P7, P8, P9のすべてがデータ転送に用いられる。一方、1ビット幅単位でデータ転送を行うSD1bitモードでは、データ信号用のピンP7のみがデータ転送に使用される。データ信号用のピンP8, P9についてはまったく使用されない。

【0016】

SPIモードでは、データ信号用のピンP7が、SDカード100からホスト機器へのデータ信号線(DATA OUT)として用いられる。コマンド(CMD)用のピンP2は、ホスト機器からSDカード100へのデータ信号線(DATA IN)として用いられる。データ信号用のピンP8, P9については、まったく使用されない。

【0017】

図4はSDカード100の斜視図であり、図5は縦断側面図である。SDカード100は、例えば、長辺が32mm、短辺が24mm、厚さが2.1mmの薄型かつ小型の扁平矩形状である。また、SDカード100は、カードケース104と、このカードケース104の内部に収納された回路基板105とを具備している。カードケース104は、例えばポリカーボネート樹脂、ABS樹脂等の合成樹脂材料によって扁平矩形状に成形されている。

【0018】

また、回路基板105には、所定の実装パターン並びに回路パターンが配設されている。回路基板の一方の面105AにはNAND型フラッシュメモリ101、コントローラ102が実装されている。これらのNAND型フラッシュメモリ101、コントローラ102は上記実装パターンにリフローにより半田実装される。また、回路基板の他方の面105Bには信号ピン103が設けられている。この信号ピン103は、回路基板105の挿入方向の先端部105aにおいてカードケース104から露出して設けられている。

【0019】

次に、本実施例に係る回路基板の構造について図6及び図7を参照して説明する。図6は回路基板105のNAND型フラッシュメモリ101などが実装される面105Aを示しており、図7は回路基板105の信号ピン103が設けられた面105Bを示している。

【0020】

回路基板の一方の面105A上には、信号路となる回路パターン200が配設されている。また、回路基板の一方の面105A上において回路基板105の末端と回路パターン200との間には、グランドパターン201(第1のグランドパターン)が配設されている。このグランドパターン201はアンテナパターン201aを有している。アンテナパターン201aは、回路基板105の末端にまで延在され、その末端において露出している。これらの回路パターン200、グランドパターン201は、スルーホール202を介

10

20

30

40

50

して他方の面 105B 上の回路パターン 203、グランドパターン 204（第 2 のグランドパターン）に接続されている。

【0021】

回路基板の他方の面 105B 上は、板面の殆どが回路上接地電位となるグランドパターン 204 によって被われている。このグランドパターン 204 はアンテナパターン 204a を有している。アンテナパターン 204a は、回路基板 105 の末端にまで延在され、その末端において露出している。また、他方の面 105B 上には、回路パターン 203 が配設されている。グランドパターン 204 はスルーホール 202 を介してピン P3, P6 に接続されている。これにより、グランドパターン 201, 204 は接地電位 (Vss) に固定される。

10

【0022】

また、回路基板 105 は、絶縁膜により被覆される。この絶縁膜のパターン構成を図 8 及び図 9 を参照して説明する。図 8 は回路基板の一方の面 105A のパターン構成を示し、図 9 は回路基板の他方の面 105B のパターン構成を示している。絶縁膜の一例としてはソルダーレジストが挙げられる。ここでは、絶縁膜がソルダーレジストである場合を例に説明する。

【0023】

ソルダーレジストは、半田実装時に各パターン間が誤って短絡されることを防止するために設けられる。このため、回路基板の一方の面 105A 上において、ソルダーレジスト 205 は、実装パターン (NAND 型フラッシュメモリ 101 などの接続端子が半田実装により接続される箇所) を除いて回路基板 105 の表面を被覆して形成される。一方、回路基板の他方の面 105B 上は、板面の殆どがソルダーレジスト 206 によって被われている。

20

【0024】

ソルダーレジスト 205 は、回路基板の一方の面 105A 上の末端部 105b に開口部 207 を有している。この開口部 207 からはグランドパターン 201 の一部が露出している。また、ソルダーレジスト 206 は、回路基板の他方の面 105B 上の末端部 105b に開口部 208 を有している。この開口部 208 からはグランドパターン 204 の一部が露出している。

【0025】

30

以上に説明した本実施例に係る SD カード 100 は、グランドパターン 201 がピン P3, P6 を介して接地電位 (Vss) に固定されている。このため、SD カード 100 の末端部から静電気が流入したときに、グランドパターン 201 を介して静電気を接地点に逃すことができる。また、グランドパターン 201 は回路基板 105 の末端と回路パターン 200 との間に配設されている。このため、回路パターン 200 に静電気が入力されにくくなっている。

【0026】

また、本実施例に係る SD カード 100 は、回路基板 105 の末端部 105b においてソルダーレジスト 205, 206 に開口部 207, 208 を設け、その開口部からグランドパターン 201, 204 を露出している。このため、SD カード 100 の内部に流入した静電気がグランドパターン 201, 204 に入力されやすく、効率的に静電気を接地点に逃すことができる。

40

【0027】

更に、本実施例に係る SD カード 100 は、グランドパターン 201, 204 はアンテナパターン 201a, 204a を有し、そのアンテナパターン 201a, 204a は回路基板 105 の末端において露出している。このため、避雷針と同様の原理により、静電気がグランドパターン 201, 204 に入力されやすくなっている。

【0028】

次に、本実施例の変形例に係る SD カード 100 を図 10 及び図 11 を参照して説明する。図 10 は回路基板の一方の面 105A のパターン構成例を示し、図 11 は回路基板の

50

他方の面 105B のパターン構成例を示している。なお、図 6 及び図 7 を参照して説明したものと共に通する部分については、図 10 及び図 11 において図 6 及び図 7 と同一の符号を付し、その説明を省略する。

#### 【0029】

回路基板の一方の面 105A 上のアンテナパターン 201a が設けられた位置において、凸部 209 が回路基板 105 の末端から突出して設けられている。また、回路基板の他方の面 105B 上においても、回路基板の一方の面 105A と同様に、アンテナパターン 204a が設けられた位置において凸部 210 が回路基板 105 の末端から突出して設けられている。このため、図 6 及び図 7 を参照して説明した回路基板 105 よりも、より静電気がグランドパターン 201, 204 に入力されやすくなり、回路パターン 200 に静電気が入力される可能性を低減することができる。10

#### 【0030】

また、本実施例の変形例に係る SD カード 100 は、他の効果においても本実施例に係る SD カード 100 と同様の効果を得ることができる。

#### 【0031】

なお、以上の実施例の説明においては、カード型電子機器として SD ( S e c u r e D i g i t a l ) カードを例に挙げて説明したが、この発明は SD カードに限定されるべきではない。本発明は、例えば、I/O カード、PC カードなど、カードスロットに対して挿脱するあらゆるカード型電子機器に適用することができる。20

#### 【0032】

また、以上の実施例の説明においては、回路基板 105 の両面のソルダーレジスト 205, 206 に開口部 207, 208 を設けた場合を示したが、必ずしも、回路基板 105 の両面のソルダーレジストに開口部を設ける必要はない。

#### 【0033】

更に、以上の実施例の説明においては、回路基板 105 の両面にアンテナパターン 201a, 204a を設けた場合を示したが、必ずしも、回路基板 105 の両面にアンテナパターン 201a, 204a を設ける必要はない。

#### 【0034】

このように、本発明は、実施段階ではその要旨を変更しない範囲で種々に変形することが可能である。30

#### 【0035】

以上、詳述したように、本発明に係るカード型電子機器の特徴をまとめると以下の通りになる。

#### 【0036】

本発明に係るカード型電子機器は、回路基板を用いて構成されるカード型電子機器において、前記回路基板の先端部に設けられた信号ピンと、前記回路基板の一方の面上に設けられた回路パターンと、前記回路基板の一方の面上において前記回路基板の末端と前記回路パターンとの間に設けられ、前記信号ピンに電気的に接続されることで接地電位が供給される第 1 のグランドパターンと、前記回路基板の一方の面を覆う絶縁膜とを具備し、前記絶縁膜は、前記回路基板の末端部に開口部を有し、前記第 1 のグランドパターンは、前記絶縁膜の前記開口部から露出したことを特徴としている。40

#### 【0037】

また、本発明に係るカード型電子機器は、前記第 1 のグランドパターンが、前記回路基板の末端に延在され、その末端から露出したアンテナパターンを有することを特徴としている。

#### 【0038】

更に、本発明に係るカード型電子機器は、前記アンテナパターンが設けられた位置において前記回路基板の末端から突出して設けられた凸部を更に具備することを特徴としている。

#### 【0039】

10

20

30

40

50

更に、本発明に係るカード型電子機器は、前記回路基板の他方の面に設けられた第2のグランドパターンと、前記第1のグランドパターンと第2のグランドパターンとを接続するスルーホールとを更に具備し、前記第1のグランドパターンは、前記第2のグランドパターンを介して前記信号ピンに電気的に接続されることを特徴としている。

【0040】

更に、本発明に係るカード型電子機器は、前記回路基板の一方の面上において前記回路パターンに接続して設けられた不揮発性半導体メモリと、前記回路基板の一方の面上において前記回路パターンに接続して設けられ、前記不揮発性メモリへのデータの書き込みまたは読み出しを制御するコントローラとを更に具備することを特徴としている。

【図面の簡単な説明】

10

【0041】

【図1】本発明の実施例に係るSDカードの基本構成を示す概略図。

【図2】本発明の実施例に係るSDカードの信号ピンに対する信号の割り当てを示す説明図。

【図3】本発明の実施例に係るSDカードの設定可能な動作モードとピンアサインとの関係を示す説明図。

【図4】本発明の実施例に係るSDカードの斜視図。

【図5】本発明の実施例に係るSDカードの縦断側面図。

【図6】本実施例に係る回路基板の一方の面のパターン構成例を示す図。

【図7】本実施例に係る回路基板の他方の面のパターン構成例を示す図。

20

【図8】本実施例に係る回路基板の一方の面のソルダーレジストのパターン構成例を示す図。

【図9】本実施例に係る回路基板の他方の面のソルダーレジストのパターン構成例を示す図。

【図10】本実施例の変形例に係る回路基板の一方の面のパターン構成例を示す図。

【図11】本実施例の変形例に係る回路基板の他方の面のパターン構成例を示す図。

【符号の説明】

【0042】

100...SDカード

30

101...NAND型フラッシュメモリ

102...コントローラ

103...信号ピン

104...カードケース

105...回路基板

200、203...回路パターン

201、204...グランドパターン

201a、204a...アンテナパターン

202...スルーホール

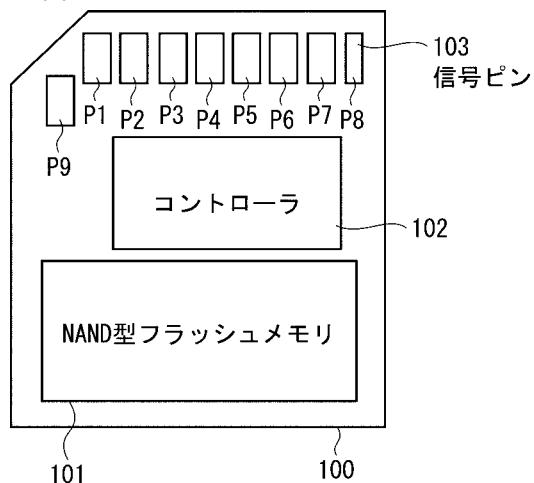
205、206...ソルダーレジスト

207、208...開口部

40

209、210...凸部

【図1】



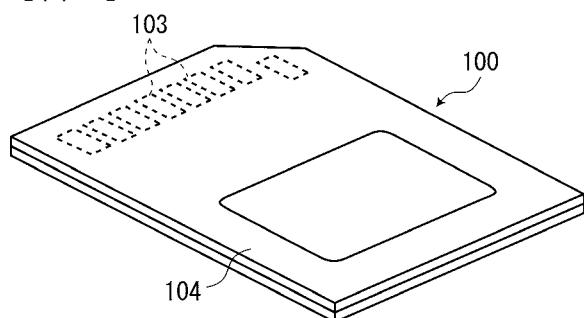
【図3】

動作モード	ピン名	内 容
SDモード 4 bit	DAT 3	CD / DATA
	DAT 2	DATA
	DAT 1	DATA
	DAT 0	DATA
	CMD	コマンド/レスポンス
	CLK	クロック
SDモード 1 bit	DAT 3	予約
	DAT 2	非使用
	DAT 1	非使用
	DAT 0	DATA
	CMD	コマンド/レスポンス
	CLK	クロック
SPIモード	DAT 3	チップセレクトCS
	DAT 2	非使用
	DAT 1	非使用
	DAT 0	DATA OUT
	CMD	DATA IN
	CLK	クロック

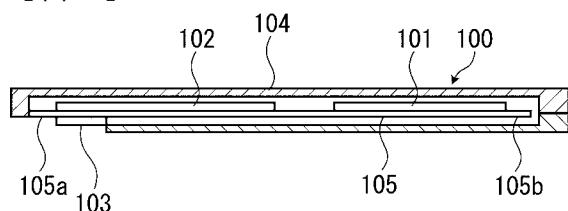
【図2】

ピンNo.	信 号
ピン1	カード検出 / データ3(DAT3)
ピン2	コマンド(CMD)
ピン3	Vss
ピン4	Vdd
ピン5	クロック(CLK)
ピン6	Vss
ピン7	データ0(DAT 0)
ピン8	データ1(DAT 1)
ピン9	データ2(DAT 2)

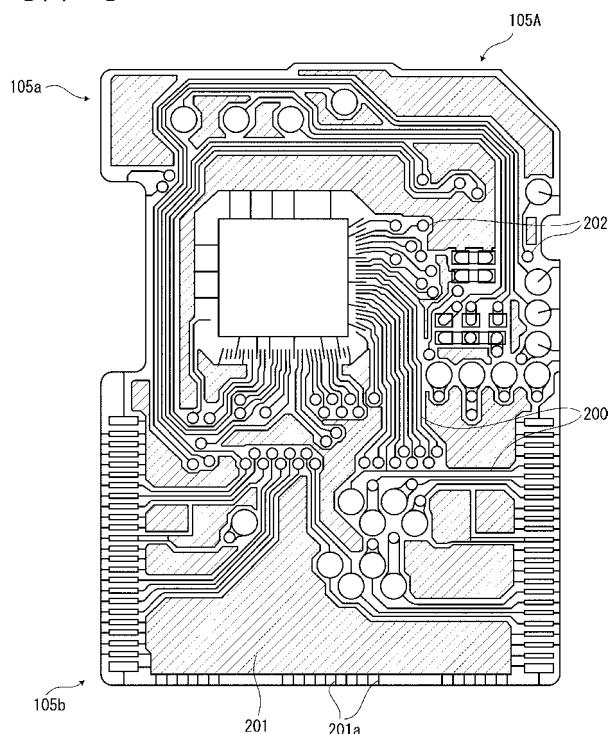
【図4】



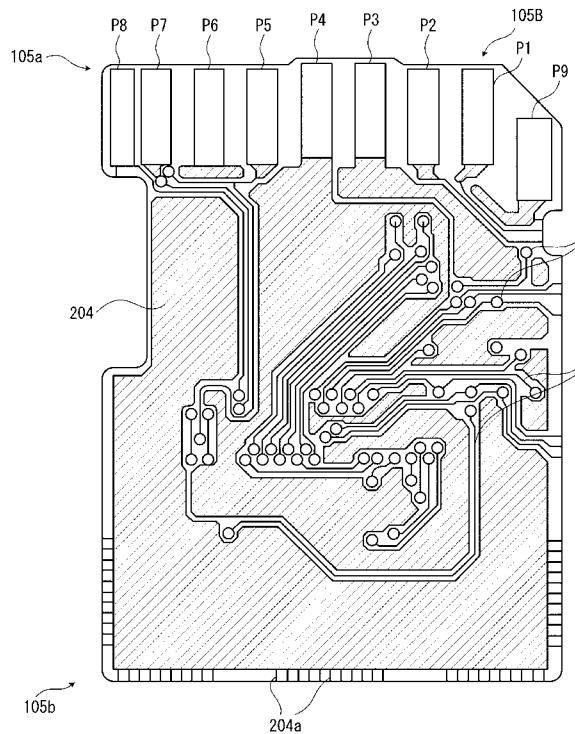
【図5】



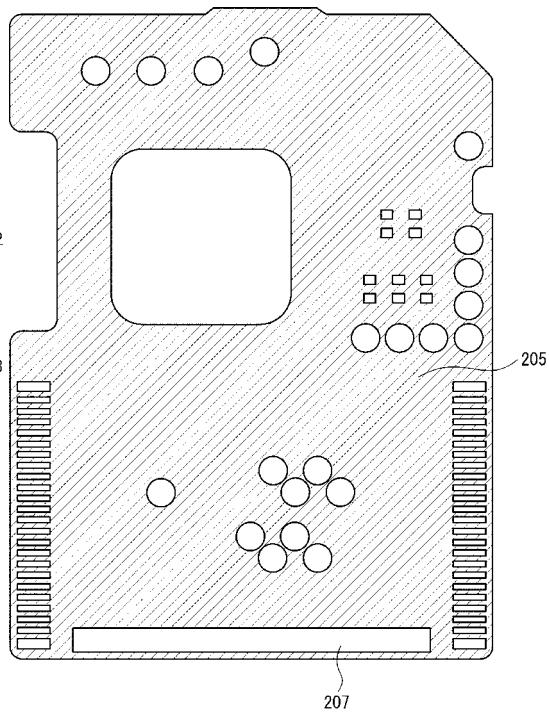
【図6】



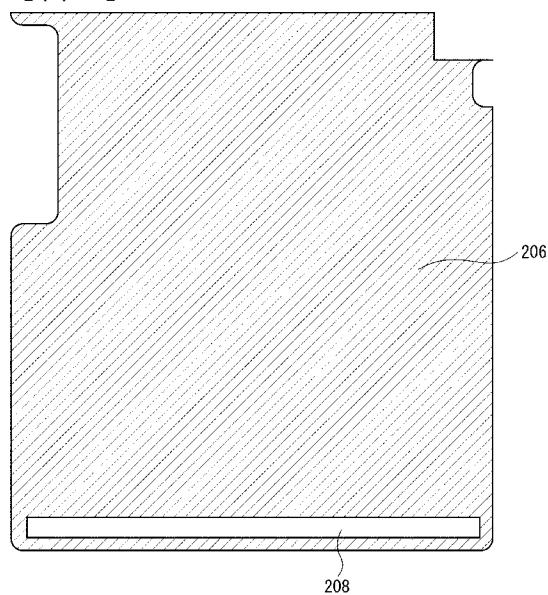
【図7】



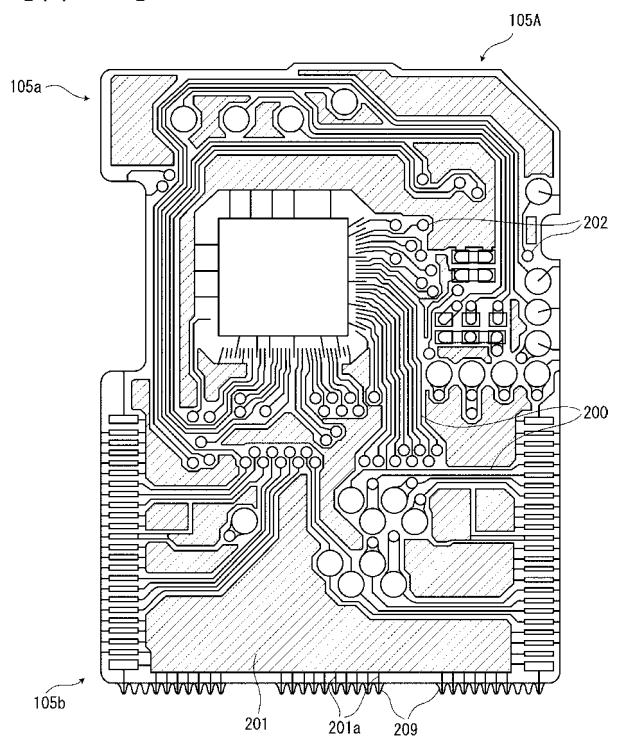
【図8】



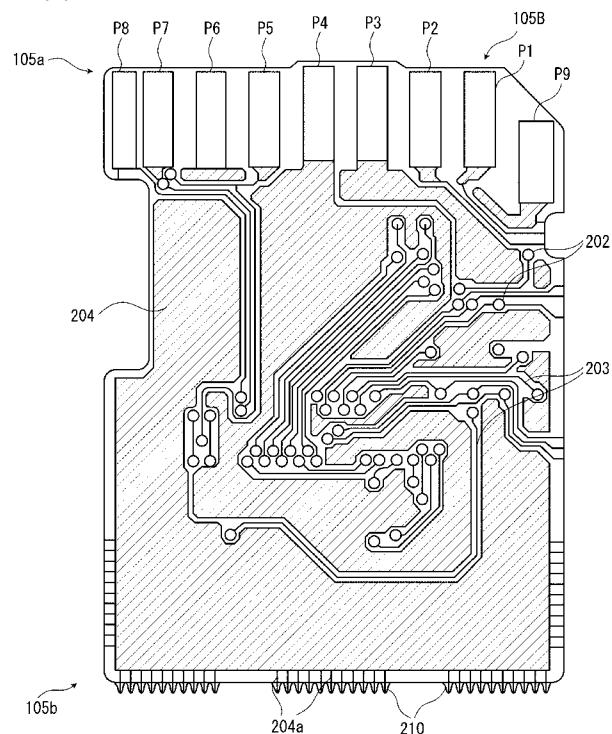
【図9】



【図10】



【図11】



---

フロントページの続き

(56)参考文献 特開2003-108967(JP,A)  
特開2003-141485(JP,A)  
特開平02-260686(JP,A)  
実開平03-006858(JP,U)  
特開平02-004594(JP,A)  
特開昭62-268694(JP,A)

(58)調査した分野(Int.Cl., DB名)

G 06 K 19/00 - 19/18