

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第3728055号
(P3728055)

(45) 発行日 平成17年12月21日(2005.12.21)

(24) 登録日 平成17年10月7日(2005.10.7)

(51) Int. Cl.⁷

F I

G09G 3/22
H01J 29/04
H01J 31/12

G09G 3/22 H
H01J 29/04
H01J 31/12 C

請求項の数 7 (全 33 頁)

(21) 出願番号	特願平9-111571	(73) 特許権者	000001007 キヤノン株式会社 東京都大田区下丸子3丁目30番2号
(22) 出願日	平成9年4月28日(1997.4.28)	(74) 代理人	100076428 弁理士 大塚 康德
(65) 公開番号	特開平10-301527	(74) 代理人	100093908 弁理士 松本 研一
(43) 公開日	平成10年11月13日(1998.11.13)	(72) 発明者	竹上 毅 東京都大田区下丸子3丁目30番2号 キヤノン株式会社内
審査請求日	平成16年4月21日(2004.4.21)	(72) 発明者	光武 英明 東京都大田区下丸子3丁目30番2号 キヤノン株式会社内
		審査官	山口 剛

最終頁に続く

(54) 【発明の名称】 画像形成装置及びその駆動方法

(57) 【特許請求の範囲】

【請求項1】

それぞれが、基板上に当該基板の平面とほぼ平行に正電極と負電極とを有する複数の冷陰極素子を有する電子源と、前記電子源より放出された電子の照射により画像を形成する画像形成部材を有し前記電子源に対向して配置されたフェースプレートと、前記正電極と負電極とを結ぶ方向に略直交する方向に長手方向を有し前記フェースプレートと前記電子源との間に配設された支持部材とを有する画像形成装置の駆動方法であって、

画像信号に応じて、前記支持部材近傍に位置する冷陰極素子と、それ以外の冷陰極素子とにそれぞれ異なる電圧を印加して画像を表示する工程を有し、

前記支持部材に近接しない冷陰極素子の電子放出特性よりも、正電極が前記支持部材に近接して前記支持部材近傍に位置する冷陰極素子の電子放出特性が高く、かつ負電極が前記支持部材に近接して前記支持部材近傍に位置する冷陰極素子の電子放出特性が低いことを特徴とする画像形成装置の駆動方法。

【請求項2】

前記画像を表示する工程は、前記正電極が前記支持部材に近接して前記支持部材近傍に位置する冷陰極素子への印加電圧を低くし、前記負電極が前記支持部材に近接して前記支持部材近傍に位置する冷陰極素子への印加電圧を高くすることを特徴とする請求項1に記載の画像形成装置の駆動方法。

【請求項3】

前記冷陰極素子は表面伝導型素子であることを特徴とする請求項1又は2に記載の画像

10

20

形成装置の駆動方法。

【請求項 4】

前記表面伝導型素子の電子放出特性は、前記表面伝導型素子の有するメモリ特性を利用して設定されていることを特徴とする請求項 3 に記載の画像形成装置の駆動方法。

【請求項 5】

それぞれが、基板上に当該基板の平面と略平行に正電極と負電極とを有する複数の冷陰極素子を有する電子源と、前記電子源より放出された電子の照射により画像を形成する画像形成部材を有し前記電子源に対向して配置されたフェースプレートと、前記電子源と前記フェースプレートとの間に位置する支持部材とを有する画像形成装置であって、

前記支持部材に近接しない冷陰極素子の電子放出特性よりも、正電極が前記支持部材に近接して前記支持部材近傍に位置する冷陰極素子の電子放出特性が高く、かつ負電極が前記支持部材に近接して前記支持部材近傍に位置する冷陰極素子の電子放出特性が低いことを特徴とする画像形成装置。

10

【請求項 6】

前記冷陰極素子は表面伝導型素子であることを特徴とする請求項 5 に記載の画像形成装置。

【請求項 7】

前記表面伝導型素子の電子放出特性は、前記表面伝導型素子の有するメモリ特性を利用して設定されていることを特徴とする請求項 6 に記載の画像形成装置。

【発明の詳細な説明】

20

【0001】

【発明の属する技術分野】

本発明は、複数の冷陰極素子を配列した電子源を用いた画像形成装置及びその駆動方法に関するものである。

【0002】

【従来の技術】

従来から、電子放出素子として熱陰極素子と冷陰極素子の 2 種類が知られている。このうち冷陰極素子では、例えば表面伝導型放出素子や、電界放出型素子（以下 F E 型と記す）や、金属 / 絶縁層 / 金属型放出素子（以下 M I M 型と記す）などが知られている。

【0003】

30

表面伝導型放出素子としては、例えば、M. I. Elinson, Radio E-ng. Electron Phys., 10, 1290, (1965)や、後述する他の例が知られている。

【0004】

表面伝導型放出素子は、基板上に形成された小面積の薄膜に、膜面に平行に電流を流すことにより電子放出が生ずる現象を利用するものである。この表面伝導型放出素子としては、前記エリンソン(Elinson)等による S n O₂薄膜を用いたものの他に、A u 薄膜によるもの [G. Dittmer: "Thin Solid Films", 9,317 (1972)] や、I n₂O₃/ S n O₂薄膜によるもの [M. Hartwell and C. G. Fonstad: "IEEE Trans. ED Conf.", 519 (1975)] や、カーボン薄膜によるもの [荒木久 他: 真空、第 26 巻、第 1 号、22 (1983)] 等が報告されている。

40

【0005】

これらの表面伝導型放出素子の素子構成の典型的な例として、図 24 に前述の M. Hartwell による素子の平面図を示す。同図において、3001 は基板で、3004 はスパッタで形成された金属酸化物よりなる導電性薄膜である。導電性薄膜 3004 は図示のように H 字形の平面形状に形成されている。この導電性薄膜 3004 に、後述の通電フォーミングと呼ばれる通電処理を施すことにより、電子放出部 3005 が形成される。図中の間隔 L は、0.5 ~ 1 [mm]、幅 W は、0.1 [mm] に設定されている。尚、図示の便宜から、電子放出部 3005 は導電性薄膜 3004 の中央に矩形の形状で示したが、これは模式的なものであり、実際の電子放出部の位置や形状を忠実に表現しているわけではない。

50

【 0 0 0 6 】

M. Hartwellらによる素子をはじめとして上述の表面伝導型放出素子においては、電子放出を行う前に導電性薄膜 3 0 0 4 に通電フォーミングと呼ばれる通電処理を施すことにより電子放出部 3 0 0 5 を形成するのが一般的であった。即ち、通電フォーミングとは、前記導電性薄膜 3 0 0 4 の両端に一定の直流電圧、もしくは、例えば 1 V / 分程度の非常にゆっくりとしたレートで昇圧する直流電圧を印加して通電し、導電性薄膜 3 0 0 4 を局所的に破壊もしくは変形もしくは変質せしめ、電氣的に高抵抗な状態の電子放出部 3 0 0 5 を形成することである。尚、局所的に破壊もしくは変形もしくは変質した導電性薄膜 3 0 0 4 の一部には亀裂が発生する。この通電フォーミング後に導電性薄膜 3 0 0 4 に適宜の電圧を印加した場合には、前記亀裂付近において電子放出が行われる。

10

【 0 0 0 7 】

また F E 型の例としては、例えば、W. P. Dyke & W. W. Dolan, "Field emission", Advance in Electron Physics, 8, 89 (1956)や、或は、C. A. Spindt, "Physical properties of thin-film field emission cathodes with molybdenum cones", J. Appl. Phys., 47, 5248 (1976)などが知られている。

【 0 0 0 8 】

F E 型の素子構成の典型的な例として、図 2 5 に前述の C. A. Spindt らによる素子の断面図を示す。同図において、3 0 1 0 は基板で、3 0 1 1 は導電材料よりなるエミッタ配線、3 0 1 2 はエミッタコーン、3 0 1 3 は絶縁層、3 0 1 4 はゲート電極である。この素子は、エミッタコーン 3 0 1 2 とゲート電極 3 0 1 4 の間に適宜の電圧を印加することにより、エミッタコーン 3 0 1 2 の先端部より電界放出を起こさせるものである。また F E 型の他の素子構成として、前述の図 2 5 のような積層構造でなく、基板上に基板平面とほぼ平行にエミッタゲート電極を配置したものもある。

20

【 0 0 0 9 】

また、M I M 型の例としては、例えば、C. A. Mead, "Operation of tunnel-emission Devices, J. Appl. Phys., 32, 646 (1961)などが知られている。この M I M 型の素子構成の典型例を図 2 6 に示す。同図は断面図であり、3 0 2 0 は基板で、3 0 2 1 は金属よりなる下電極、3 0 2 2 は厚さ 1 0 0 オングストローム程度の薄い絶縁層、3 0 2 3 は厚さ 8 0 ~ 3 0 0 オングストローム程度の金属よりなる上電極である。M I M 型においては、上電極 3 0 2 3 と下電極 3 0 2 1 との間に適宜の電圧を印加することにより、上電極 3 0 2 3 の表面より電子放出を起こさせるものである。

30

【 0 0 1 0 】

上述の冷陰極素子は、熱陰極素子と比較して低温で電子放出を得ることができるため、加熱用ヒータを必要としない。従って、熱陰極素子よりも構造が単純であり、微細な素子を作成可能である。また基板上に多数の素子を高い密度で配置しても、基板の熱溶解などの問題が発生しにくい。また、熱陰極素子がヒータの加熱により動作するため応答速度が遅いのは異なり、冷陰極素子の場合には応答速度が速いという利点もある。このため、冷陰極素子を応用するための研究が盛んに行われてきている。

【 0 0 1 1 】

例えば、表面伝導型放出素子は、冷陰極素子の中でも特に構造が単純で製造も容易であることから、大面積に互り多数の素子を形成できる利点がある。そこで例えば本願出願人による特開昭 6 4 - 3 1 3 3 2 号公報において開示されるように、多数の素子を配列して駆動するための方法が研究されている。

40

【 0 0 1 2 】

また、表面伝導型放出素子の応用については、例えば、画像表示装置、画像記録装置などの画像形成装置や、荷電ビーム源、等が研究されている。

【 0 0 1 3 】

特に画像表示装置への応用としては、例えば本願出願人による U S P 5 , 0 6 6 , 8 8 3 や特開平 2 - 2 5 7 5 5 1 号公報や特開平 4 - 2 8 1 3 7 号公報において開示されているように、表面伝導型放出素子と電子ビームの照射により発光する蛍光体とを組み合わせ

50

用いた画像表示装置が研究されている。このような表面伝導型放出素子と蛍光体とを組み合わせ用いた画像表示装置は、従来の他の方式の画像表示装置よりも優れた特性が期待されている。例えば、近年普及してきた液晶表示装置と比較しても、自発光型であるためバックライトを必要としない点や、視野角が広い点が優れていると言える。

【0014】

また、FE型を多数個ならべて駆動する方法は、例えば本出願人によるUSP4,904,895に開示されている。また、FE型を画像表示装置に応用した例として、例えば、R. Meyerらにより報告された平板型表示装置が知られている。[R. Mayer: "Recent Development on Microtips Display at LETI", Tech. Digest of 4th Int. Vacuum Micro electronics Conf., Nagahama, pp. 6-9(1991)]

10

また、MIM型を多数個並べて画像表示装置に応用した例は、例えば本出願人による特開平3-55738号公報に開示されている。

【0015】

上記のような電子放出素子を用いた画像形成装置のうちで、奥行きが薄い平面型表示装置は、省スペースかつ軽量であることから、ブラウン管型の表示装置に置き替わるものとして注目されている。

【0016】

図27は、平面型の画像表示装置を形成する表示パネル部の一例を示す斜視図であり、内部構造を示すためにパネルの一部を切り欠いて示している。

【0017】

20

図中、3115はリアプレート、3116は側壁、3117はフェースプレートであり、リアプレート3115、側壁3116及びフェースプレート3117により表示パネルの内部を真空に維持するための外圍器(気密容器)を形成している。

【0018】

リアプレート3115には、基板3111が固定されているが、この基板3111上には冷陰極素子3112が $N \times M$ 個形成されている。(N, Mは2以上の正の整数であり、目的とする表示画素数に応じて適宜設定される)。前記 $N \times M$ 個の冷陰極素子3112は、M本の行方向配線3113とN本の列方向配線3114により単純マトリクス配線されている。これら基板3111、冷陰極素子3112、行方向配線3113及び列方向配線3114によって構成される部分をマルチ電子源と呼ぶ。また、行方向配線3113と列方向配線3114の少なくとも交差する部分には、両配線間に絶縁層(不図示)が形成されており、電気的な絶縁が保たれている。

30

【0019】

また、フェースプレート3117の下面には、蛍光体からなる蛍光膜3118が形成されており、赤(R)、緑(G)、青(B)、の3原色の蛍光体(不図示)が塗り分けられている。また蛍光膜3118を構成する各色の蛍光体の間には黒色体(不図示)が設けられており、更に蛍光膜3118のリアプレート3115の側面にはアルミニウム等からなるメタルバック3119が形成されている。また、 $D_x1 \sim D_xM$ および $D_y1 \sim D_yN$ およびHvは、当該表示パネルと不図示の電気回路とを電氣的に接続するために設けた気密構造の電気接続用端子である。 $D_x1 \sim D_xM$ はマルチ電子源の行方向配線3113と、 $D_y1 \sim D_yN$ はマルチ電子源の列方向配線3114と、Hvはフェースプレートのメタルバック3119と電氣的に接続している。

40

【0020】

また、上記気密容器の内部は10のマイナス6乗[Torr]程度の真空に保持されており、画像表示装置の表示面積が大きくなるに従い、気密容器内部と外部の気圧差によるリアプレート3115及びフェースプレート3117の変形或は破壊を防止する手段が必要となる。リアプレート3115及びフェースプレート3116を厚くする方法は、画像表示装置の重量を増加させるのみならず、表示画面を斜め方向から見た時に画像の歪みや視差を生じる。これに対し図27においては、比較的薄いガラス板からなり大気圧を支えるための構造支持体(スペーサ或はリブと呼ばれる)3120が設けられている。このようにし

50

て、マルチビーム電子源が形成された基板 3 1 1 1 と蛍光膜 3 1 1 8 が形成されたフェースプレート 3 1 1 6 間は通常サブミリないし数ミリに保たれ、前述したように気密容器内部は高真空に保持されている。

【 0 0 2 1 】

以上説明した表示パネルを用いた画像表示装置は、容器外端子 D x1 ないし D xM、D y1 ないし D yN を通じて各冷陰極素子 3 1 1 2 に電圧を印加すると、各冷陰極素子 3 1 1 2 から電子が放出される。それと同時にメタルバック 3 1 1 9 に容器外端子 H v を通じて数百 [V] ないし数 [k v] の高圧を印加して、上記放出された電子を加速し、フェースプレート 3 1 1 7 の内面に衝突させる。これにより蛍光膜 3 1 1 8 を形成している各色の蛍光体が励起されて発光し、画像が表示される。

10

【 0 0 2 2 】

【 発明が解決しようとする課題 】

以上述べた、画像形成装置等の電子線装置は、装置内部の真空雰囲気を維持するための外囲器、その外囲器内に配置された電子源、それら電子源から放出された電子線が照射される蛍光体を有するフェースプレート、それら電子線を蛍光体を有するフェースプレートに向けて加速するための加速電極等を有するが、さらに、外囲器に加わる大気圧を外囲器内部から支持するための支持部材（スペーサ）が、その外囲器の内部に配置されることがある。

【 0 0 2 3 】

このようにスペーサを配置した画像表示装置のパネルにおいては、以下のような問題点があった。

20

【 0 0 2 4 】

この問題点について図 2 8 を用いて説明する。この図 2 8 は、図 2 7 の A - A ' の断面形状を示す図で、前述の図 2 7 と共通する部分は同じ番号で示し、その説明を省略する。

【 0 0 2 5 】

4 0 2 0 はスペーサで、基板 3 1 1 1 とフェースプレート 3 1 1 7 との間に設けられている。冷陰極素子 3 1 1 2 から放出された電子は、4 1 1 2 で示すような軌跡をたどって蛍光膜 3 1 1 8 に衝突し、その蛍光体を発光させて像を形成する。

【 0 0 2 6 】

この図からも明らかかなように、スペーサ 4 0 2 0 の近傍の冷陰極素子 3 1 1 2 から放出された電子の一部がスペーサ 4 0 2 0 にあたることにより、或はその放出された電子の作用によりイオン化されたイオンがスペーサ 4 0 2 0 に付着することにより、スペーサ 4 0 2 0 に帯電を引き起こす可能性がある。更には、フェースプレート 3 1 1 7 に到達した電子の一部が反射或は散乱され、その一部がスペーサ 4 0 2 0 に当たることによりスペーサ 4 0 2 0 に帯電を引き起こす可能性がある。このスペーサ 4 0 2 0 の帯電により、冷陰極素子 3 1 1 2 から放出された電子の軌道が、スペーサ 4 0 2 0 に近づく方向に曲げられる。そのため冷陰極素子 3 1 1 2 から放出された電子が、蛍光体 3 1 1 8 上の正規の位置とは異なる位置に衝突することにより、スペーサ 4 0 2 0 の近傍の画像に歪みが発生したり、素子より発射された電子がスペーサ 4 0 2 0 に衝突することによりスペーサ 4 0 2 0 近傍の画像の輝度が低下する場合があった。

30

40

【 0 0 2 7 】

本発明は上記従来例に鑑みてなされたもので、電子源とフェースプレートとの間に配設される支持部材による画質の劣化を防止した画像形成装置及びその駆動方法を提供することを目的とする。

【 0 0 2 8 】

また本発明の目的は、支持部材近傍の冷陰極素子から放出される電子の軌道を制御することにより、支持部材近傍での画像の歪みを小さくし、かつ輝度の低下を抑えた画像形成装置とその駆動方法を提供することにある。

【 0 0 2 9 】

【 課題を解決するための手段 】

50

上記目的を達成するために本発明の画像形成装置は以下のような構成を備える。即ち、
それぞれが、基板上に当該基板の平面と略平行に正電極と負電極とを有する複数の冷陰極素子を有する電子源と、前記電子源より放出された電子の照射により画像を形成する画像形成部材を有し前記電子源に対向して配置されたフェースプレートと、前記電子源と前記フェースプレートとの間に位置する支持部材とを有する画像形成装置であって、

前記支持部材に近接しない冷陰極素子の電子放出特性よりも、正電極が前記支持部材に近接して前記支持部材近傍に位置する冷陰極素子の電子放出特性が高く、かつ負電極が前記支持部材に近接して前記支持部材近傍に位置する冷陰極素子の電子放出特性が低いことを特徴とする。

【0030】

また上記目的を達成するために本発明の画像形成装置の駆動方法は以下のような工程を備える。即ち、

それぞれが、基板上に当該基板の平面とほぼ平行に正電極と負電極とを有する複数の冷陰極素子を有する電子源と、前記電子源より放出された電子の照射により画像を形成する画像形成部材を有し前記電子源に対向して配置されたフェースプレートと、前記正電極と負電極とを結ぶ方向に略直交する方向に長手方向を有し前記フェースプレートと前記電子源との間に配設された支持部材とを有する画像形成装置の駆動方法であって、

画像信号に応じて、前記支持部材近傍に位置する冷陰極素子と、それ以外の冷陰極素子とにそれぞれ異なる電圧を印加して画像を表示する工程を有し、

前記支持部材に近接しない冷陰極素子の電子放出特性よりも、正電極が前記支持部材に近接して前記支持部材近傍に位置する冷陰極素子の電子放出特性が高く、かつ負電極が前記支持部材に近接して前記支持部材近傍に位置する冷陰極素子の電子放出特性が低いことを特徴とする。

【0031】

【発明の実施の形態】

以下、添付図面を参照して本発明の好適な実施の形態を詳細に説明する。

【0032】

図1は、本発明の実施の形態の基本原理を説明するための図である。

【0033】

図において、502は蛍光体とメタルバックを含むフェースプレート、503は電子源基板を含むリアプレート、509、510はリアプレート側の素子電極で、これら素子電極509、510を介して冷陰極素子504に電圧が印加される。506は冷陰極素子504の電子放出部、511-1、511-2のそれぞれは、電子放出部506より放出される電子の軌道を示している。

【0034】

この構成において、素子電極509が負電位、素子電極510が正電位となる素子電圧を印加し、またフェースプレート502側に加速電圧 V_a を印加した場合、冷陰極素子504から放出された電子は電子軌道511-1又は511-2で示すようになる。このとき放出された電子の軌道は、加速電圧 V_a と冷陰極素子に印加する素子電圧とによって決定される。つまり素子電圧を変えることにより電子の軌道を変えることができる。いま素子電圧を V_{f1} 、 V_{f2} ($> V_{f1}$)とした場合、素子電圧 V_{f1} の場合は、放出された電子は511-1で示される電子軌道を通り、素子504の中心軸521(電子放出部506の位置)から距離 L_{ef1} 離れたフェースプレート502上に到達する。一方、素子電圧を V_{f2} とした場合は、放出された電子は511-2に示される電子軌道を通り、素子504の電子放出部506から距離 L_{ef2} 離れたフェースプレート502上に到達する。

【0035】

つまり、素子電圧を変えることにより、素子から放出された電子のフェースプレート502上における到達位置を適宜調節することができる。この特性を利用して、スペーサ4020近傍の素子から放出される電子の到達位置を調整することにより、スペーサ4020の帯電による電子軌道の変化を補正してスペーサ4020近傍の画像の劣化を防止するこ

10

20

30

40

50

とができる。

【0036】

<画像表示装置の概要説明>

本発明の実施の形態の画像表示装置の表示パネルの構成とその製造方法について、具体的な例を示して説明する。

【0037】

図2は、本実施の形態の表示パネルの斜視図であり、内部構造を示すためにパネルの一部を切り欠いて示している。

【0038】

図中、1015はリアプレート、1016は側壁、1017はフェースプレートであり、1015～1017により表示パネルの内部を真空に維持するための気密容器を形成している。気密容器を組み立てるにあたっては、各部材の接合部に十分な強度と気密性を保持させるため封着する必要があるが、例えばフリットガラスを接合部に塗布し、大気中あるいは窒素雰囲気中で、摂氏400～500度で10分以上焼成することにより封着を達成した。気密容器内部を真空に排気する方法については後述する。また、上記気密容器の内部は10のマイナス6乗[torr]程度の真空に保持されるので、大気圧や不意の衝撃などによる気密容器の破壊を防止する目的で、耐大気圧構造体として、スペーサ1020が設けられている。

10

【0039】

リアプレート1015には、基板1011が固定されているが、この基板には冷陰極素子1012がN×M個形成されている(N、Mは2以上の正の整数であり、目的とする表示画素数に応じて適宜設定される。例えば、高品位テレビジョンの表示を目的とした表示装置においては、N=3000、M=1000以上の数を設定することが望ましい)。前記N×M個の冷陰極素子は、M本の行方向配線1013とN本の列方向配線1014により単純マトリクス配線されている。前記、1011～1014によって構成される部分をマルチ電子源と呼ぶ。

20

【0040】

本実施の形態の画像表示装置に用いるマルチ電子源は、冷陰極素子を単純マトリクス配線した電子源であれば、冷陰極素子の材料や形状あるいは製法に制限はない。従って、例えば表面伝導型放出素子やFE型、あるいはMIN型などの冷陰極素子を用いることができる。

30

【0041】

次に、冷陰極素子として表面伝導型放出素子(後述)を基板上に配列して単純マトリクス配線したマルチ電子源の構造について述べる。

【0042】

図3に示すのは、図2の表示パネルに用いたマルチ電子源の平面図である。基板1011上には、後述の図6で示すものと同様な表面伝導型放出素子が配列され、これらの素子は行方向配線電極1013と列方向配線電極1014により単純マトリクス状に配線されている。行方向配線電極1013と列方向配線電極1014の交差する部分には、電極間に絶縁層(不図示)が形成されており、電気的な絶縁が保たれている。

40

【0043】

図3のA-A'に沿った断面を図4に示す。

【0044】

なお、このような構造のマルチ電子源は、予め基板上に行方向配線電極1013、列方向配線電極1014、電極間絶縁層(不図示)、及び表面伝導型放出素子の素子電極と伝導性薄膜を形成した後、行方向配線電極1013及び列方向配線電極1014を介して各素子に給電して通電フォーミング処理(後述)と通電活性化処理(後述)を行うことにより製造した。尚、本実施の形態においては、気密容器のリアプレート1015にマルチ電子源の基板1011を固定する構成としたが、マルチ電子源の基板1011が十分な強度を有するものである場合には、気密容器のリアプレートとしてマルチ電子源の基板1011

50

自体を用いてもよい。

【0045】

また、フェースプレート1017の下面には、蛍光膜1018が形成されている。本実施の形態の表示パネルはカラー表示装置用であるため、蛍光膜1018の部分にはCRTの分野で用いられる赤、緑、青の3原色の蛍光体が塗り分けられている。各色の蛍光体は、例えば図5(A)に示すようにストライプ状に塗り分けられ、蛍光体のストライプの間には黒色の導電体1010が設けてある。これら黒色の導電体1010を設ける目的は、電子ビームの照射位置に多少のずれがあっても表示色にずれが生じないようにするためや、外光の反射を防止して表示コントラストの低下を防ぐこと、電子ビームによる蛍光膜のチャージアップを防止することなどである。黒色の導電体1010には、黒鉛を主成分として用いたが、上記の目的に適するものであればこれ以外の材料を用いても良い。

10

【0046】

また、3原色の蛍光体の塗り分け方は前記図5(A)に示したストライプ状の配列に限られるものではなく、例えば図5(B)に示すようなデルタ状配列や、それ以外の配列であってもよい。なお、モノクロームの表示パネルを作成する場合には、単色の蛍光体材料を蛍光膜1018に用いればよく、また黒色導電材料は必ずしも用いなくともよい。

【0047】

また、蛍光膜1018のリアプレート1015側の面には、CRTの分野では公知のメタルバック1019を設けてある。このメタルバック1019を設けた目的は、蛍光膜1018が発する光の一部を鏡面反射して光利用率を向上させるためや、負イオンの衝突から蛍光膜1018を保護するためや、電子ビーム加速電圧を印加するための電極として作用させるためや、蛍光膜1018を励起した電子の導電路として作用させるためなどである。メタルバック1019は、蛍光膜1018をフェースプレート基板1017上に形成した後、その蛍光膜1018の表面を平滑化处理し、その上にAl(アルミニウム)を真空蒸着することにより形成した。なお、蛍光膜1018に低電圧用の蛍光体材料を用いた場合にはメタルバック1019は用いない。

20

【0048】

また、本実施の形態では用いなかったが、加速電圧の印加用や蛍光膜の導電性向上を目的として、フェースプレート基板1017と蛍光膜1018との間に、例えばITOを材料とする透明電極を設けてもよい。

30

【0049】

また、この気密容器内部を真空に排気するには、気密容器を組立てた後、不図示の排気管と真空ポンプとを接続し、気密容器内を10のマイナス7乗[torr]程度の真空度まで排気する。その後、排気管を封止するが、気密容器内の真空度を維持するために、封止直前或は封止後に気密容器内の所定の位置にゲッター膜(不図示)を形成する。このゲッター膜とは、例えばBaを主成分とするゲッター材料をヒータもしくは高周波加熱により加熱し蒸着して形成した膜であり、該ゲッター膜の吸着作用により気密容器内は1×10マイナス5乗ないしは1×10マイナス7乗[torr]の真空度に維持される。

【0050】

以上説明した表示パネルを用いた画像表示装置は、容器外端子Dx1ないしDxM、Dy1ないしDyNを通じて各冷陰極素子1012に電圧を印加すると、各冷陰極素子1012から電子が放出される。それと同時にメタルバック1019に容器外端子をHvを通じて数百[V]ないし数千[kV]の高圧を印加して、上記放出された電子を加速し、フェースプレート1017の内面に衝突させる。これにより、蛍光膜1018を形成する各色の蛍光体が励起されて発光することにより画像が表示される。

40

【0051】

通常、冷陰極素子である本実施の形態の表面伝導型放出素子1012への印加電圧は12~16[V]程度、メタルバック1019と冷陰極素子1012との距離dは0.1[mm]から8[mm]程度、メタルバック1019と冷陰極素子1012間の電圧は、0.1[kV]から10[kV]程度である。

50

【0052】

以上、本発明の実施の形態の表示パネルの基本構成と製法及び画像表示装置の概要を説明した。

【0053】

<マルチ電子源の製造方法>

次に、前記実施の形態の表示パネルに用いたマルチ電子源の製造方法について説明する。本発明の実施の形態の画像表示装置に用いるマルチ電子源は、冷陰極素子を単純マトリクス配線した電子源であれば、冷陰極素子の材料や形状あるいは製法に制限はない。従って、例えば表面伝導型放出素子やFE型、あるいはMIN型などの冷陰極素子を用いることができる。但し、表示画面が大きくてしかも安価な表示装置が求められる状況のもとでは、これらの冷陰極素子の中でも、表面伝導型放出素子が特に好ましい。即ち、FE型ではエミッタコーンとゲート電極の相対位置や形状が電子放出特性を大きく左右するため、極めて高精度の製造技術を必要とするが、これは大面積化や製造コストの低減を達成するためには不利な要因となる。また、MIN型では、絶縁層と上電極の膜厚を薄くしてしかも均一にする必要があるが、これも大面積化や製造コストの低減を達成するには不利な要因となる。その点、表面伝導型放出素子は、比較的製造方法が単純なため、大面積化や製造コストの低減が容易である。また、発明者らは、表面伝導型放出素子の中でも、電子放出部もしくはその周辺部を微粒子膜から形成したものがとりわけ電子放出特性に優れ、しかも製造が容易に行えることを見出している。従って、高輝度で大画面の画像表示装置のマルチ電子源に用いるには、最も好適であると言える。そこで、上述実施の形態の表示パネルにおいては、電子放出部もしくはその周辺部を微粒子膜から形成した表面伝導型放出素子を用いた。そこで、まず好適な表面伝導型放出素子について、その基本的な構成と製法及び特性を説明し、その後で多数の素子を単純マトリクス配線したマルチ電子源の構造について述べる。

10

20

【0054】

(表面伝導型放出素子の好適な素子構成と製法)

電子放出部もしくはその周辺部を微粒子膜から形成する表面伝導型放出素子の代表的な構成には、平面型と垂直型の2種類があげられる。

【0055】

(平面型の表面伝導型放出素子)

まず最初に、本実施の形態の平面型の表面伝導型放出素子の素子構成と製法について説明する。図6に示すのは、平面型の表面伝導型放出素子の構成を説明するための平面図(a)および断面図(b)である。図中、1101は基板、1102と1103は素子電極、1104は導電性薄膜、1105は通電フォーミング処理により形成した電子放出部、1113は通電活性化処理により形成した薄膜である。基板1101としては、例えば、石英ガラスや青板ガラスをはじめとする各種ガラス基板や、アルミナをはじめとする各種セラミクス基板、あるいは上述の各種基板上に例えばSiO₂を材料とする絶縁層を積層した基板、などを用いることができる。

30

【0056】

また、基板1101上に基板面と平行に対向して設けられた素子電極1102、1103は、導電性を有する材料によって形成されている。例えば、Ni、Cr、Au、Mo、W、Pt、Ti、Cu、Pd、Ag等をはじめとする金属、或はこれらの金属の合金、或はIn₂O₃-SnO₂をはじめとする金属酸化物、ポリシリコンなどの半導体、などの中から適宜材料を選択して用いればよい。電極を形成するには、例えば真空蒸着などの製膜技術とフォトリソグラフィ、エッチングなどのパターンニング技術を組み合わせて用いれば容易に形成できるが、それ以外の方法(例えば印刷技術)を用いて形成しても差し支えない。

40

【0057】

これら素子電極1102、1103の形状は、この電子放出素子の応用目的に合わせて適宜設計される。一般的には、電極間隔Lは通常は数百オングストロームから数百μmの範

50

囲から適当な数値を選んで設計されるが、なかでも、本実施の形態の表示装置に応用するために好ましいのは数 μm より数十 μm の範囲である。また、素子電極の厚さ d については、通常は数百オングストロームから数 μm の範囲から適当な数値が選ばれる。

【0058】

また、導電性薄膜1104の部分には、微粒子膜を用いる。ここで述べた微粒子膜とは、構成要素として多数の微粒子を含んだ膜（島状の集合体も含む）のことをさす。微粒子膜を微視的に調べれば、通常は、個々の微粒子が離間して配置された構造か、あるいは微粒子が互いに隣接した構造か、あるいは微粒子が互いに重なり合った構造が観測される。

【0059】

微粒子膜に用いた微粒子の粒径は、数オングストロームから数千オングストロームの範囲に含まれるものであるが、中でも好ましいのは10オングストロームから200オングストロームの範囲のものである。また、微粒子膜の膜厚は、以下に述べるような諸条件を考慮して適宜設定される。すなわち、素子電極1102あるいは1103と電気的に良好に接続するのに必要な条件、後述する通電フォーミングを良好に行うのに必要な条件、微粒子膜自身の電気抵抗を後述する適宜の値にするために必要な条件、などである。

【0060】

具体的には、数オングストロームから数千オングストロームの範囲のなかで設定するが、中でも好ましいのは10オングストロームから500オングストロームの間である。

【0061】

また、微粒子膜を形成するのに用いられうる材料としては、例えば、Pd, Pt, Ru, Ag, Au, Ti, In, Cu, Cr, Fe, Zn, Sn, Ta, W, Pb, などをはじめとする金属や、PdO, SnO₂, In₂O₃, PbO, Sb₂O₃, などをはじめとする酸化物や、HfB₂, ZrB₂, LaB₆, CeB₆, YB₄, GdB₄, などをはじめとする硼化物や、TiC, ZrC, HfC, TaC, SiC, WC, などをはじめとする炭化物や、TiN, ZrN, HfN, などをはじめとする窒化物や、Si, Ge, などをはじめとする半導体や、カーボン、などがあげられ、これらの中から適宜選択される。

【0062】

以上述べたように、導電性薄膜1104を微粒子膜で形成したが、そのシート抵抗値については、10の3乗から10の7乗[オーム/]の範囲に含まれるよう設定した。

【0063】

なお、導電性薄膜1104と素子電極1102および1103とは、電気的に良好に接続されるのが望ましいため、互いの一部が重なりあうような構造をとっている。その重なり方は、図6の例においては、下から、基板、素子電極、導電性薄膜の順序で積層したが、場合によっては下から基板、導電性薄膜、素子電極、の順序で積層しても差し支えない。

【0064】

また、電子放出部1105は、導電性薄膜1104の一部に形成された亀裂状の部分であり、電気的には周囲の導電性薄膜よりも高抵抗な性質を有している。亀裂は、導電性薄膜1104に対して、後述する通電フォーミングの処理を行うことにより形成する。亀裂内には、数オングストロームから数百オングストロームの粒径の微粒子を配置する場合がある。なお、実際の電子放出部の位置や形状を精密かつ正確に図示するのは困難なため、図6においては模式的に示した。

【0065】

また、薄膜1113は、炭素もしくは炭素化合物よりなる薄膜で、電子放出部1105およびその近傍を被覆している。薄膜1113は、通電フォーミング処理後に、後述する通電活性化の処理を行うことにより形成する。

【0066】

この薄膜1113は、単結晶グラファイト、多結晶グラファイト、非晶質カーボン、のいずれかか、もしくはその混合物であり、膜厚は500[オングストローム]以下とするが、300[オングストローム]以下とするのがさらに好ましい。なお、実際の薄膜1113の位置や形状を精密に図示するのは困難なため、図6においては模式的に示した。また

10

20

30

40

50

、平面図 (a) においては、薄膜 1 1 1 3 の一部を除去した素子を図示した。

【 0 0 6 7 】

以上、好ましい素子の基本構成を述べたが、本実施の形態においては以下のような素子を用いた。

【 0 0 6 8 】

即ち、基板 1 1 0 1 には青板ガラスを用い、素子電極 1 1 0 2 と 1 1 0 3 には N i 薄膜を用いた。素子電極の厚さ d は 1 0 0 0 [オングストローム]、電極間隔 L は 2 [μm] とした。微粒子膜の主要材料として P d もしくは P d O を用い、微粒子膜の厚さは約 1 0 0 [オングストローム]、幅 W は 1 0 0 [μm] とした。

【 0 0 6 9 】

次に、好適な平面型の表面伝導型放出素子の製造方法について説明する。図 7 (a) ~ (d) は、表面伝導型放出素子の製造工程を説明するための断面図で、各部材の表記は前記図 6 と同一である。

【 0 0 7 0 】

(1) まず、図 7 (a) に示すように、基板 1 1 0 1 上に素子電極 1 1 0 2 および 1 1 0 3 を形成する。これら素子電極 1 1 0 2 , 1 1 0 3 を形成するにあたっては、予め基板 1 1 0 1 を洗剤、純水、有機溶剤を用いて十分に洗浄した後、素子電極 1 1 0 2 , 1 1 0 3 の材料を堆積させる (堆積する方法としては、例えば、蒸着法やスパッタ法などの真空成膜技術を用いればよい)。その後、堆積した電極材料を、フォトリソグラフィ・エッチング技術を用いてパターニングし、(a) に示した一対の素子電極 (1 1 0 2 と 1 1 0 3) を形成する。

【 0 0 7 1 】

(2) 次に、同図 (b) に示すように導電性薄膜 1 1 0 4 を形成する。

【 0 0 7 2 】

この導電性薄膜 1 1 0 4 を形成するにあたっては、まず前記 (a) の基板 1 1 0 1 に有機金属溶液を塗布して乾燥し、加熱焼成処理して微粒子膜を成膜した後、フォトリソグラフィ・エッチングにより所定の形状にパターニングする。ここで、有機金属溶液とは、導電性薄膜 1 1 0 4 に用いる微粒子の材料を主要元素とする有機金属化合物の溶液である (具体的には、本実施の形態では、主要元素として P d を用いた。また、この実施の形態では塗布方法として、ディッピング法を用いたが、それ以外の例えばスピナー法やスプレ法を用いてもよい)。

【 0 0 7 3 】

また、この微粒子膜で作られる導電性薄膜の成膜方法としては、本実施の形態で用いた有機金属溶液の塗布による方法以外の、例えば真空蒸着法やスパッタ法、あるいは化学的気相堆積法などを用いる場合もある。

【 0 0 7 4 】

(3) 次に、同図 (c) に示すように、フォーミング用電源 1 1 1 0 から素子電極 1 1 0 2 と 1 1 0 3 の間に適宜の電圧を印加し、通電フォーミング処理を行って、電子放出部 1 1 0 5 を形成する。この通電フォーミング処理とは、微粒子膜で作られた導電性薄膜 1 1 0 4 に通電を行って、その一部を適宜に破壊、変形、もしくは変質せしめ、電子放出を行うのに好適な構造に変化させる処理のことである。この微粒子膜で作られた導電性薄膜 1 1 0 4 のうち電子放出を行うのに好適な構造に変化した部分 (即ち、電子放出部 1 1 0 5) においては、薄膜 1 1 0 4 に適当な亀裂が形成されている。なお、この導電性薄膜 1 1 0 4 を電子放出部 1 1 0 5 が形成される前と比較すると、その電子放出部 1 1 0 5 が形成された後では、素子電極 1 1 0 2 と 1 1 0 3 の間で計測される電気抵抗は大幅に増加する。

【 0 0 7 5 】

この通電フォーミング時の通電方法をより詳しく説明するために、図 8 に、フォーミング用電源 1 1 1 0 から印加する適宜の電圧波形の一例を示す。微粒子膜で作られた導電性薄膜 1 1 0 4 をフォーミングする場合には、パルス状の電圧が好ましく、本実施の形態の場合

10

20

30

40

50

合には、同図に示したようにパルス幅 T_1 の三角波パルスをパルス間隔 T_2 で連続的に印加した。その際には、三角波パルスの波高値 V_{pf} を、順次昇圧した。また、電子放出部 1105 の形成状況をモニタするためのモニタパルス P_m を適宜の間隔で三角波パルス間に挿入し、その際に流れる電流を電流計 1111 (図7) で計測した。

【0076】

本実施の形態においては、例えば10のマイナス5乗 [torr] 程度の真空雰囲気下において、例えばパルス幅 T_1 を1 [ミリ秒]、パルス間隔 T_2 を10 [ミリ秒] とし、波高値 V_{pf} を1パルスごとに0.1 [V] ずつ昇圧した。そして、三角波を5パルス印加する度に1回の割りで、モニタパルス P_m を挿入した。ここでフォーミング処理に悪影響を及ぼすことがないように、モニタパルスの電圧 V_{pm} は0.1 [V] に設定した。そして、素子電極1102と1103の間の電気抵抗が 1×10 の6乗 [オーム] になった段階、即ち、モニタパルス P_m 印加時に電流計 1111 で計測される電流が 1×10 のマイナス7乗 [A] 以下になった段階で、フォーミング処理にかかわる通電を終了した。

10

【0077】

なお、上記の方法は、本実施の形態の表面伝導型放出素子に関する好ましい方法であり、例えば微粒子膜の材料や膜厚、あるいは素子電極間隔 L など表面伝導型放出素子の設計を変更した場合には、それに応じて通電の条件を適宜変更するのが望ましい。

【0078】

(4)次に、図7(d)に示すように、活性化用電源1112から素子電極1102と1103の間に適宜の電圧を印加し、通電活性化処理を行って、電子放出特性の改善を行う。この通電活性化処理とは、通電フォーミング処理により形成された電子放出部1105に適宜の条件で通電を行って、その近傍に炭素もしくは炭素化合物を堆積せしめる処理のことである。(図においては、炭素もしくは炭素化合物よりなる堆積物を部材1113として模式的に示した)。尚、このような通電活性化処理を行うことにより、行う前と比較して、同じ印加電圧における放出電流を典型的には100倍以上に増加させることができる。

20

【0079】

具体的には、10のマイナス4乗ないし10のマイナス5乗 [torr] の範囲内の真空雰囲気中で、電圧パルスを定期的に印加することにより、真空雰囲気中に存在する有機化合物を起源とする炭素もしくは炭素化合物を堆積させる。堆積物1113は、単結晶グラファイト、多結晶グラファイト、非晶質カーボン、のいずれかか、もしくはその混合物であり、膜厚は500 [オングストローム] 以下、より好ましくは300 [オングストローム] 以下である。

30

【0080】

通電方法をより詳しく説明するために、図9(a)に、活性化用電源1112から印加する適宜の電圧波形の一例を示す。本実施の形態においては、一定電圧の矩形波を定期的に印加して通電活性化処理を行ったが、具体的には、矩形波の電圧 V_{ac} は14 [V]、パルス幅 T_3 は1 [ミリ秒]、パルス間隔 T_4 は10 [ミリ秒] とした。なお、上述の通電条件は、本実施の形態の表面伝導型放出素子に関する好ましい条件であり、表面伝導型放出素子の設計を変更した場合には、それに応じて条件を適宜変更するのが望ましい。

40

【0081】

図7(d)に示す1114は、表面伝導型放出素子から放出される放出電流 I_e を捕捉するためのアノード電極で、直流高電圧電源1115および電流計1116が接続されている(なお、基板1101を、表示パネルの中に組み込んでから活性化処理を行う場合には、表示パネルの蛍光面をアノード電極1114として用いる)。活性化用電源1112から電圧を印加する間、電流計1116で放出電流 I_e を計測して通電活性化処理の進行状況をモニタし、活性化用電源1112の動作を制御する。電流計1116で計測された放出電流 I_e の一例を図9(b)に示すが、活性化電源1112からパルス電圧を印加しはじめると、時間の経過とともに放出電流 I_e は増加するが、やがて飽和してほとんど増加しなくなる。このように、放出電流 I_e がほぼ飽和した時点で活性化用電源1112から

50

の電圧印加を停止し、通電活性化処理を終了する。

【0082】

なお、上述の通電条件は、本実施の形態の表面伝導型放出素子に関する好ましい条件であり、表面伝導型放出素子の設計を変更した場合には、それに応じて条件を適宜変更するのが望ましい。

【0083】

以上のようにして、図7(e)に示す平面型の表面伝導型放出素子を製造した。

【0084】

(垂直型の表面伝導型放出素子)

次に、電子放出部もしくはその周辺を微粒子膜から形成した表面伝導型放出素子のもうひとつの代表的な構成、すなわち垂直型の表面伝導型放出素子の構成について説明する。 10

【0085】

図10は、本実施の形態の垂直型表面伝導型放出素子の基本構成を説明するための模式的な断面図であり、図中の1201は基板、1202と1203は素子電極、1206は段差形成部材、1204は微粒子膜を用いた導電性薄膜、1205は通電フォーミング処理により形成した電子放出部、1213は通電活性化処理により形成した薄膜、である。

【0086】

垂直型が先に説明した平面型と異なる点は、素子電極のうちの片方(1202)が段差形成部材1206上に設けられており、導電性薄膜1204が段差形成部材1206の側面を被覆している点にある。従って、図6の平面型における素子電極間隔Lは、垂直型においては段差形成部材1206の段差高L_sとして設定される。なお、基板1201、素子電極1202および1203、微粒子膜を用いた導電性薄膜1204、については、前記平面型の説明中に列挙した材料を同様に用いることが可能である。また、段差形成部材1206には、例えばSiO₂のような電氣的に絶縁性の材料を用いる。 20

【0087】

次に、垂直型の表面伝導型放出素子の製法について説明する。図11(a)~(f)は、製造工程を説明するための断面図で、各部材の表記は前記図106と同一である。

【0088】

(1)まず、図11(a)に示すように、基板1201上に素子電極1203を形成する。 30

【0089】

(2)次に、同図(b)に示すように、段差形成部材を形成するための絶縁層を積層する。絶縁層は、例えばSiO₂をスパッタ法で積層すればよいが、例えば真空蒸着法や印刷法などの他の成膜方法を用いてもよい。

【0090】

(3)次に、同図(c)に示すように、絶縁層の上に素子電極1202を形成する。

【0091】

(4)次に、同図(d)に示すように、絶縁層の一部を、例えばエッチング法を用いて除去し、素子電極1203を露出させる。

【0092】

(5)次に、同図(e)に示すように、微粒子膜を用いた導電性薄膜1204を形成する。形成するには、前記平面型の場合と同じく、例えば塗布法などの成膜技術を用いればよい。 40

【0093】

(6)次に、前記平面型の場合と同じく、通電フォーミング処理を行い、電子放出部を形成する。(図7(c)を用いて説明した平面型の通電フォーミング処理と同様の処理を行えばよい。)

(7)次に、前記平面型の場合と同じく、通電活性化処理を行い、電子放出部近傍に炭素もしくは炭素化合物を堆積させる。(図7(d)を用いて説明した平面型の通電活性化処理と同様の処理を行えばよい。)

以上のようにして、図 1 1 (f) に示す垂直型の表面伝導型放出素子を製造した。

【 0 0 9 4 】

(表示装置に用いた表面伝導型放出素子の特性)

以上、平面型と垂直型の表面伝導型放出素子について素子構成と製法を説明したが、次に表示装置に用いた素子の特性について述べる。

【 0 0 9 5 】

図 1 2 に、表示装置に用いた素子の、(放出電流 I_e) 対 (素子印加電圧 V_f) 特性、および (素子電流 I_f) 対 (素子印加電圧 V_f) 特性の典型的な例を示す。なお、放出電流 I_e は素子電流 I_f に比べて著しく小さく、同一尺度で図示するのが困難であるうえ、これらの特性は素子の大きさや形状等の設計パラメータを変更することにより変化するため、2本のグラフは各々任意単位で図示した。

10

【 0 0 9 6 】

本実施の形態の表示装置に用いた素子は、放出電流 I_e に関して以下に述べる3つの特性を有している。

【 0 0 9 7 】

第 1 に、ある電圧 (これを閾値電圧 V_{th} と呼ぶ) 以上の大きさの電圧を素子に印加すると急激に放出電流 I_e が増加するが、一方、閾値電圧 V_{th} 未満の電圧では放出電流 I_e はほとんど検出されない。すなわち、放出電流 I_e に関して、明確な閾値電圧 V_{th} を持った非線形素子である。

【 0 0 9 8 】

第 2 に、放出電流 I_e は素子に印加する電圧 V_f に依存して変化するため、電圧 V_f で放出電流 I_e の大きさを制御できる。

20

【 0 0 9 9 】

第 3 に、素子に印加する電圧 V_f に対して素子から放出される電流 I_e の応答速度が速いため、電圧 V_f を印加する時間の長さによって素子から放出される電子の電荷量を制御できる。

【 0 1 0 0 】

以上のような特性を有するため、表面伝導型放出素子を表示装置に好適に用いることができた。例えば多数の素子を表示画面の画素に対応して設けた表示装置において、第 1 の特性を利用すれば、表示画面を順次走査して表示を行うことが可能である。即ち、駆動中の素子には所望の発光輝度に応じて閾値電圧 V_{th} 以上の電圧を適宜印加し、非選択状態の素子には閾値電圧 V_{th} 未満の電圧を印加する。こうして駆動する素子を順次切り替えてゆくことにより、表示画面を順次走査して表示を行うことが可能である。

30

【 0 1 0 1 】

また、第 2 の特性か又は第 3 の特性を利用することにより、発光輝度を制御することができるため、階調表示を行うことが可能である。

【 0 1 0 2 】

(多数素子を単純マトリクス配線したマルチ電子源の構造)

上述の表面伝導型放出素子を基板上に配列して単純マトリクス配線したマルチ電子源の構造は前述の図 3 及び図 4 に示す通りである。

40

【 0 1 0 3 】

(マルチ電子源の駆動回路の構成 (および駆動方法))

図 1 3 は、NTSC 方式のテレビ信号に基づいてテレビジョン表示を行うための駆動回路の概略構成をブロック図で示したものである。同図中、表示パネル 1 7 0 1 は前述した表示パネルに相当するもので、前述した様に製造され動作する。また、走査回路 1 7 0 2 は表示ラインを走査し、制御回路 1 7 0 3 は走査回路 1 7 0 2 に入力する信号等を生成する。シフトレジスタ 1 7 0 4 は 1 ライン毎のデータをシフトして保持し、ラインメモリ 1 7 0 5 は、シフトレジスタ 1 7 0 4 からの 1 ライン分のデータを受取って保持した後、変調信号発生器 1 7 0 7 へ出力する。同期信号分離回路 1 7 0 6 は NTSC 信号から同期信号を分離する。1 7 1 0 は制御部で、テーブル 1 7 1 1 に記憶されているスペーサ近傍の素

50

子、及びそれら素子への印加電圧（素子電圧）を基に、変調信号発生器 1707 における変調信号の振幅を制御して、それらの素子に印加される素子電圧を制御することにより、後述するスペーサ近傍の画像の輝度のバラツキを抑えている。この処理は図 15 以降を参照して詳しく後述する。

【0104】

以下、図 13 の装置各部の機能を詳しく説明する。

【0105】

まず表示パネル 1701 は、端子 D_{x1} ないし D_{xM} および端子 D_{y1} ないし D_{yN} 、および高圧端子 H_v を介して外部の電気回路と接続されている。このうち、端子 D_{x1} ないし D_{xM} には、表示パネル 1701 内に設けられているマルチ電子源、すなわち M 行 N 列の行列状にマトリクス配線された冷陰極素子を 1 行（ N 素子）ずつ順次駆動してゆくための走査信号が印加される。一方、端子 D_{y1} ないし D_{yN} には、前記走査信号により選択された 1 行分の N 個の各素子の出力電子ビームを制御するための変調信号が印加される。また、高圧端子 H_v には、直流電圧源 V_a より、例えば 5 [kV] の直流電圧が供給されるが、これはマルチ電子源より出力される電子ビームに蛍光体を励起するのに十分なエネルギーを付与するための加速電圧である。

10

【0106】

次に、走査回路 1702 について説明する。この回路 1702 は、内部に M 個のスイッチング素子（図中、 S_1 ないし S_M で模式的に示されている）を備えるもので、各スイッチング素子は、直流電圧源 V_x の出力電圧もしくは 0 [V]（グランドレベル）のいずれか一方を選択し、表示パネル 1701 の端子 D_{x1} ないし D_{xM} と電氣的に接続するものである。 S_1 ないし S_M の各スイッチング素子は、制御回路 1703 が出力する制御信号 T_{SCAN} に基づいて動作するが、実際には例えば FET のようなスイッチング素子を組み合わせる事により容易に構成することが可能である。なお、前記直流電圧源 V_x は、図 12 に例示した電子放出素子の特性に基づき、走査されていない素子に印加される駆動電圧が電子放出閾値電圧 V_{th} 電圧以下となるよう、一定電圧を出力するよう設定されている。

20

【0107】

また、制御回路 1703 は、外部より入力する画像信号に基づいて適切な表示が行なわれるように各部の動作を整合させる働きをもつものである。次に説明する同期信号分離回路 1706 より送られる同期信号 T_{SYNC} に基づいて、各部に対して T_{SCAN} および T_{SFT} および T_{MRY} の各制御信号を発生する。同期信号分離回路 1706 は、外部から入力される $NTSC$ 方式のテレビ信号から、同期信号成分と輝度信号成分とを分離するための回路で、良く知られているように周波数分離（フィルタ）回路を用いれば容易に構成できるものである。同期信号分離回路 1706 により分離された同期信号は、良く知られるように垂直同期信号と水平同期信号より成るが、ここでは説明の便宜上、 T_{SYNC} 信号として図示した。一方、前記テレビ信号から分離された画像の輝度信号成分を便宜上 $DATA$ 信号と表すが、同信号はシフトレジスタ 1704 に入力される。

30

【0108】

シフトレジスタ 1704 は、時系列的にシリアルに入力される前記 $DATA$ 信号を、画像の 1 ライン毎にシリアル/パラレル変換するためのもので、前記制御回路 1703 より送られる制御信号 T_{SFT} に基づいて動作する。すなわち、制御信号 T_{SFT} シフトレジスタ 1704 のシフトクロックであると言い換えることもできる。シリアル/パラレル変換された画像 1 ライン分（電子放出素子 n 素子分の駆動データに相当する）のデータは、 I_{d1} ないし I_{dN} の N 個の信号として前記シフトレジスタ 1704 より出力される。

40

【0109】

ラインメモリ 1705 は、画像 1 ライン分のデータを必要時間の間だけ記憶するための記憶装置であり、制御回路 1703 より送られる制御信号 T_{MRY} にしたがって適宜 I_{d1} ないし I_{dN} の内容を記憶する。記憶された内容は、 I'_{d1} ないし I'_{dN} として出力され、変調信号発生器 1707 に入力される。

【0110】

50

変調信号発生器 1707 は、前記画像データ I'd1ないし I'dN の各々と、制御部 1710 からの指示に応じて、電子放出素子 1015 の各々を適切に駆動変調するための信号源で、その出力信号は、端子 Dy1ないし DyN を通じて表示パネル 1701 内の電子放出素子 1015 に印加される。尚、この駆動制御は図 16 を参照して詳しく後述する。

【0111】

図 12 を用いて説明したように、本発明の実施の形態に係わる表面伝導型放出素子は放出電流 I_e に対して以下の基本特性を有している。すなわち、電子放出には明確な閾値電圧 V_{th} (後述する実施の形態の表面伝導型放出素子では 8 [V]) があり、閾値 V_{th} 以上の電圧を印加された時のみ電子放出が生じる。また、電子放出閾値 V_{th} 以上の電圧に対しては、図 12 のグラフのように、電圧の変化に応じて放出電流 I_e も変化する。このことから、本実施の形態の素子にパルス状の電圧を印加する場合、例えば電子放出閾値 V_{th} 以下の電圧を印加しても電子放出は生じないが、電子放出閾値 V_{th} 以上の電圧を印加する場合には表面伝導型放出素子から電子ビームが出力される。その際、パルスの波高値 V_m を変化させることにより出力電子ビームの強度を制御することが可能である。また、パルスの幅 P_w を変化させることにより出力される電子ビームの電荷の総量を制御することが可能である。

10

【0112】

従って、入力信号に応じて、電子放出素子を変調する方式としては、電圧変調方式、パルス幅変調方式等が採用できる。電圧変調方式を実施するに際しては、変調信号発生器 1707 として、一定長さの電圧パルスが発生し、入力されるデータに応じて適宜パルスの波高値を変調するような電圧変調方式の回路を用いることができる。また、パルス幅変調方式を実施するに際しては、変調信号発生器 1707 として、一定の波高値の電圧パルスが発生し、入力されるデータに応じて適宜電圧パルスの幅を変調するようなパルス幅変調方式の回路を用いることができる。

20

【0113】

シフトレジスタ 1704 やラインメモリ 1705 は、デジタル信号式のものでもアナログ信号式のものでも採用できる。すなわち、画像信号のシリアル/パラレル変換や記憶が所定の速度で行われればよいからである。

【0114】

デジタル信号式を用いる場合には、同期信号分離回路 1706 の出力信号 DATA をデジタル信号化する必要があるが、これには同期信号分離回路 1706 の出力部に A/D 変換器を設ければよい。これに関してラインメモリ 115 の出力信号がデジタル信号かアナログ信号かにより、変調信号発生器に用いられる回路が若干異なったものとなる。すなわち、デジタル信号を用いた電圧変調方式の場合、変調信号発生器 1707 には、例えば D/A 変換回路を用い、必要に応じて増幅回路などを付加する。パルス幅変調方式の場合、変調信号発生器 1707 には、例えば高速の発振器および発振器の出力する波数を計数する計数器 (カウンタ) および計数器の出力値と前記メモリの出力値を比較する比較器 (コンパレータ 9 を組み合わせた回路) を用いる。必要に応じて、比較器の出力するパルス幅変調された変調信号を電子放出素子の駆動電圧にまで電圧増幅するための増幅器を付与することもできる。

30

40

【0115】

アナログ信号を用いた電圧変調方式の場合、変調信号発生器 1707 には、例えばオペアンプなどを用いた増幅回路を採用でき、必要に応じてシフトレベル回路などを付加することもできる。パルス幅変調方式の場合には、例えば、電圧制御型発信回路 (VCO) を採用でき、必要に応じて電子放出素子の駆動電圧まで電圧増幅するための増幅器を付加することもできる。

【0116】

このような構成をとりうる本発明の適用可能な画像表示装置においては、各電子放出素子に、容器外端子 D x1 乃至 D xM、D y1 乃至 D yN を介して電圧を印加することにより、電子放出が生じる。高圧端子 H v を介してメタルバック 1019 あるいは透明電極 (不図示) に

50

高圧を印加し、電子ビームを加速する。加速された電子は蛍光膜 1018 に衝突し、発光が生じて画像が形成される。

【0117】

ここで述べた画像表示装置の構成は、本発明の実施の形態に適用可能な画像形成装置の一例であり、本発明の思想に基づいて種々の変形が可能である。入力信号についてはNTSC方式を挙げたが、入力信号はこれに限るものではなく、PAL、SECAM方式など他、これらより多数の走査線からなるTV信号(MUSE方式をはじめとする高品位TV)方式をも採用できる。

【0118】

次に、本実施の形態の特徴である電子源からの電子ビームの軌道を制御して、スペーサ近傍での画像劣化を防止する構成について説明する。 10

【0119】

<電子源の駆動電圧とスペーサ位置によるビームずれの関係>
本実施の形態では、スペーサ4020と表面伝導型放出素子との位置関係に応じて、その電子放出素子の駆動電圧(素子電圧)を調整することによって、スペーサ4020の帯電に起因する画像の歪みを防止している。

【0120】

この実施の形態の動作を詳しく説明する前に、まず、素子電圧Vfとその素子から放出される電子の軌道との関係について説明する。

【0121】

まず図14を参照して、表面伝導型放出素子から放出された電子の軌道と素子電圧Vfの関係について説明する。 20

【0122】

(放出電子の軌道と素子電圧Vfの関係)
図14は、図2に示された表示パネルの断面を示しており、電子放出素子1012から放出された電子がフェースプレート1107の蛍光膜1018に衝突する状態を説明する図である。

【0123】

フェースプレート1017の内側には蛍光体(膜)1018が塗布されている。図4を参照して前述したように、素子電極1102, 1103はそれぞれ列方向配線1014(図2)、行方向1013(図2)に接続されており、これら素子電極1102, 1103間に所定値以上の素子電圧(例えばV(f))が印加されると、この電子放出素子1012の電子放出部1105から電子が放出される。こうして放出された電子は、フェースプレート1107と電子放出部1105との間に印加されたアノード電圧(加速電圧)Va[V]によりフェースプレート1017方向に加速されてフェースプレート1017に照射される。この時、放出された電子は中心軸500に沿って電子放出部1105の真上に進むのではなく、図14の電子軌道501に沿って進む。この電子軌道501は、素子電極1102が正極性、電極1103が負極性となるよう素子電圧Vfを印加したときの状態を示すものである。この場合、中心軸500と蛍光膜1018上での電子のランディング位置との距離Lefは次式(1)により算出できる。 30 40

【0124】

$$L_{ef} = 2 \times K \times L_h \times \sqrt{V_f / V_a}$$
ただし、 L_h [m] は、放出素子1012と蛍光膜1018との間の距離
 K [m] は、放出素子1012の種類や形状により決まる定数
また、 \sqrt{A} は、Aの平方根を示す。

【0125】

図15(A)(B)は図2に示された表示パネルにおける放出素子1012と蛍光膜1018との位置関係を説明する図である。

【0126】

図15(A)は、図2の表示パネルのi行目に対して素子電圧Vf1を印加した場合、図1 50

5 (B) は i 行目に対して素子電圧 V_{f2} を印加した場合について、それぞれ Y 軸座標方向に垂直な平面で切った断面図を示し、放出素子 1 0 1 2 と蛍光体 1 0 1 8 以外は省略して描いてある。

【 0 1 2 7 】

図 1 5 (A) に示すように、素子電圧 V_{f1} で駆動を行った場合の、 i 行目の放出素子 1 0 1 2 の電子放出部 1 1 0 5 の中心から蛍光体 1 0 1 8 へのランディング位置までの X 方向のずれは $P \times 1$ で表され、図 1 5 (B) の素子電圧 V_{f2} を印加した場合の i 行目の放出素子 1 0 1 2 の電子放出部 1 1 0 5 の中心から蛍光体 1 0 1 8 へのランディング位置までの X 方向のずれが $P \times 2$ で示されている。但しここで放出素子 1 0 1 2 の印加電圧 V_{f2} は V_{f1} よりも大きいものとする。

10

【 0 1 2 8 】

図 1 5 (B) に示すように、放出素子 1 0 1 2 に印加する素子電圧を $V_{f2} (> V_{f1})$ と高くすることにより、放出された電子の軌道をより正極の電位が印加されている素子電極 (1 1 0 2) 側に曲げることができ、これにより電子の蛍光体 1 0 1 8 上のランディング位置までのずれ $P \times 2 (> P \times 1)$ を大きくすることができる。このようにして、各放出素子ごとに、それに印加する素子電圧を変えることによって、マトリクス状に配置された各放出素子より放出される電子を所望の位置に照射して所望の表示を行うことができる。

【 0 1 2 9 】

また、図 1 4 に示すように電極 1 1 0 3 が負極性、電極 1 1 0 2 が正極性となるよう素子電圧 V_f を印加することにより、電子軌道の制御の自由度を上げることができ、さらに好適に電子を所望の位置に照射して所望の表示を行うことができる。

20

【 0 1 3 0 】

以上のように素子電圧を変えることによって、その素子から放出される電子の軌道を変えることができることがわかる。この特性を利用して、スペーサ 4 0 2 0 の帯電の影響を補正する実施の形態を以下で説明する。

【 0 1 3 1 】

(スペーサと放出電子の軌道)

前述のように、負の電位を有する電子が衝突する事によりスペーサ 4 0 2 0 は正に帯電されるため、各素子より放出される電子の内スペーサ 4 0 2 0 の近傍の電子はスペーサ 4 0 2 0 側に吸引され、その電子軌道が曲げられる。このことを図 1 6 (A) ~ (C) を参照して説明する。

30

【 0 1 3 2 】

図 1 6 (A) はスペーサ 4 0 2 0 がない場合の図 2 に示された表示パネルにおける放出素子 1 0 1 2 と蛍光体 1 0 1 8 との位置関係を示す図である。

【 0 1 3 3 】

図 1 6 (B) (C) は、図 2 に示された表示パネルにおける放出素子 1 0 1 2 と蛍光体 1 0 1 8 およびスペーサ 4 0 2 0 との位置関係を説明する図である。

【 0 1 3 4 】

図 1 6 (A) に示すように、スペーサ 4 0 2 0 がない場合もしくはスペーサから充分遠い場合は、各素子 1 0 1 2 から放出される電子は、それに印加されている素子電圧 V_f に応じて一意に決まる距離 $P \times 3$ だけ離れた位置に到達する。このときの素子電圧を V_{f3} とする。

40

【 0 1 3 5 】

しかし、素子電圧を V_{f3} に一定としても、図 1 6 (B) に示すように、スペーサ 4 0 2 0 周辺の素子 1 0 1 2 が駆動された場合、それから放出された電子のランディング位置のずれ (距離) が異なってくる。

【 0 1 3 6 】

即ち、素子 1 0 1 2 - 1 のように、放出された電子の方向がスペーサ 4 0 2 0 に向かう方向の素子が駆動された場合は、その電子軌道は大きくスペーサ 4 0 2 0 の方向に移動し、その電子のランディング位置は距離 $P \times 4 (> P \times 3)$ もずれることになる。また、素子

50

1012 - 2のように、電子の放出方向がスペーサ4020から遠ざかる方向の場合は、その電子の軌道はスペーサ4020の方向に傾斜し、そのランディング位置は距離 $P \times 5$ ($< P \times 3$) だけずれることになる。

【0137】

この電子軌道は、前述の式(1)で示されるように、素子電圧 V_f を調節することにより、電子が到達するランディング位置(距離)を調節することができる。

【0138】

図16(C)は、スペーサ4020の帯電による影響を補正するために、そのスペーサ4020近傍の放出素子に印加する素子電圧 V_f を調整し、蛍光体1018上へのランディング位置(距離)を一定とした場合を示している。

10

【0139】

ここでは、電子放出素子1012 - 3の素子電圧を V_{f4} ($< V_{f3}$) とし、また、放出素子1012 - 4の素子電圧を V_{f5} ($> V_{f3}$) とする。こうして、スペーサ4020の帯電量に見合った素子電圧を、そのスペーサ4020近傍の放出素子に印加することにより、蛍光体1018上にランディングする位置までの距離 $P \times 6$ を、図16(A)のように、スペーサ4020から十分遠い素子1012の場合の距離 $P \times 3$ と略同じにすることができる。

【0140】

図17は、図16のようにスペーサに対する放出素子の位置により、その素子電圧を変更して電子軌道を制御する方法を示すフローチャートである。

20

【0141】

まずステップS1で、スペーサ4020の帯電量を調べる。これは図示しない帯電測定器などにより各スペーサの帯電量を測定しても良く、また或はこの表示パネルの動作時間等に応じて、その帯電量を予測して求めても良い。次にステップS2に進み、ステップS1で求めた帯電量が所定量以上であるかどうかを調べ、所定量以下であれば、電子の軌道に対する影響が少ないものとして、特に補正処理を行うことなく処理を終了する。ステップS2で、その帯電量が所定量以上の時はステップS3に進み、駆動する素子がスペーサ4020から所定の範囲(距離)内にある素子で、その素子から放出された電子の方向にスペーサ4020があるかどうかを調べ、そうであればその素子の素子電圧を、例えば図16の例では V_{f4} ($< V_{f3}$) とする。尚、ここで所定の範囲とは、スペーサ4020の帯電により、その素子から放出された電子の軌道が影響を受ける素子までの距離に相当している。次にステップS4に進み、駆動する素子がスペーサ4020から所定の範囲(距離)内にある素子で、その素子から放出された電子の方向と反対方向にスペーサ4020があるかどうかを調べ、そうであればその素子の素子電圧を、例えば図16の例では V_{f5} ($> V_{f3}$) とする。そしてそれ以外の素子には、素子電圧 V_{f3} を印加する。これにより、図16の(A)及び(C)で示すように、スペーサ4020近傍の素子と、それ以外の素子とから放出された電子のずれ距離が略一定になる。

30

【0142】

(スペーサ4020位置と素子の電子放出方向の配置)

以上の例では、スペーサ4020の帯電による影響を補正するために、素子電圧の大きさを適宜調節する方法について述べてきた。しかし、このような素子電圧の調節による電子軌道の制御は、電子放出方向(図2の例では行方向配線1013方向)のみに有効であるため、この方法を好適に実施するためには、スペーサ4020の位置と放出素子の電子放出方向の関係を調節することが必要となる。

40

【0143】

そこで次に、スペーサ4020の位置と放出素子の電子放出方向との関係について本実施の形態の画像表示装置の構成を図18を参照して説明する。

【0144】

本実施の形態の画像表示装置において、スペーサ4020と素子1012との配置の以外の基本的な構成は、図2で示した表示パネル構成と同様である。

50

【0145】

図18は、スペーサ4020と電子放出素子の配置関係を示す画像形成装置の平面図である。

【0146】

基板1011上には、前述の図6で示すものと同様な表面伝導型放出素子1012が配列され、これらの素子1012は行方向配線1013と列方向配線1014により単純なマトリクス状に配線されている。行方向配線1013と列方向配線1014の交差する部分には、電極間に絶縁層（不図示）が形成されており、電気的な絶縁が保たれている。ここで図18のように、スペーサ4020をX軸（行方向配線）上に配設した場合は、素子1012の電子放出方向がY軸と平行になるように形成する。

10

【0147】

このようにX軸上にスペーサ4020を設けた場合、スペーサ4020が正に帯電することによる電界720はY軸と平行となり、スペーサ4020近傍での電子軌道はスペーサ4020に近づく方向へ変位する。つまり、スペーサ4020近傍での電子軌道は、Y軸に平行に変位する。

【0148】

このスペーサ4020の帯電による電子軌道の変化を防止するためには、素子1012からの放出電子方向をY軸と平行とし、素子電圧Vfを適宜調節することにより、最も有効に電子軌道を調節して蛍光体1018へのランディング位置を制御することができる。

【0149】

また、スペーサ4020をY軸上に形成し、放出素子から放出される電子方向をX軸と平行にした場合も同様に、蛍光体1018へのランディング位置を一定とすることができる。

20

【0150】

つまり本実施の形態では、スペーサ4020の帯電により生じる電界の方向と各素子から放出される電子の方向とが平行となるようにし、各電子放出素子に対する印加電圧Vfを、スペーサ4020に対する位置に応じて適宜変更することにより、スペーサ4020近傍での電子軌道のずれに起因するスペーサ4020近傍での画像の歪みを防止することができる。

【0151】

<メモリ機能を利用した調整方法の説明>

上述したように、スペーサ4020の帯電による電子軌道への影響を補正し、放出素子から放出された電子を所望の蛍光体へ衝突させることが可能であることを示した。しかし、上述の実施の形態では素子毎に素子電圧を変える必要があるため、制御が複雑で各画素の輝度がばらついてしまう虞がある。

30

【0152】

これについて詳述する。前述の図12で述べたように、表面伝導型放出素子は電子放出に関して明確な閾値電圧（ V_{th} ）を有しており、 V_{th} 以上の電圧を印加することで、図12のような電子放出特性を有している。従って、 V_{th} 以上の電圧値において、素子印加電圧Vfを変化させると、それに伴って放出電流Ieも変化してしまう。この放出電流Ieの変化は輝度の変化となってしまうため、素子毎に印加電圧Vfを変化させると、その素子に応じた発光部（蛍光体部）毎に輝度がばらついてしまうという問題が発生する虞がある。

40

【0153】

そこで、この実施形態では、表面伝導型電子放出素子が有しているメモリ機能（素子電極に加された最大電圧値に応じた電子放出特性を有する）によって、スペーサ4020の周辺の電子放出素子のそれぞれに異なる電子放出特性を持たせ、各素子の印加電圧Vfの相違による輝度の変化を防止する。このメモリ機能を利用した処理をしておき、スペーサ近傍の素子に対して前述と同様の制御を行う。これにより、スペーサ4020の帯電の影響による画像の歪みおよび輝度の変化を防止することが可能となる。

【0154】

50

この実施の形態の動作を詳しく説明する前に、図19および図20を参照してメモリ機能について説明する。

【0155】

本願発明者らは、予めフォーミング処理並びに通電活性化処理を施した表面伝導型放出素子を有機ガスの分圧を低減した環境下で駆動して、その電気的特性を測定した。

【0156】

図19(a)(b)は、表面伝導型放出素子に印加した駆動信号の電圧波形を示すグラフ図で、横軸に時間軸を、縦軸には表面伝導型放出素子に印加した電圧(以下、素子電圧 V_f と記す)を示している。

【0157】

図19(a)に示すように、駆動信号として連続した矩形電圧パルスを用い、これらの電圧パルスの印加期間を第1期間から第3期間の3つの期間に分け、各期間内においては同一の幅で同じ高さのパルスをそれぞれ100パルスずつ印加した。この電圧パルスの波形を図19(b)に拡大して示す。

【0158】

具体的な測定条件としては、その期間も駆動信号パルス幅を $T_5 = 66.8$ (μ 秒)、パルス周期 $T_6 = 16.7$ (m秒)とした。これは、表面伝導型放出素子を一般のテレビジョン受像機に応用する場合の標準的な駆動条件を参考にして定めたが、これ以外の条件においてもメモリ機能を測定することは可能である。なお、表面伝導型放出素子に実効的に印加される電圧パルスの立ち上がり時間 T_r および立ち下がり時間 T_f が100(ナノ秒)以下となるように、駆動信号源から表面伝導型放出素子までの配線路のインピーダンスを十分に低減して測定した。

【0159】

素子電圧 V_f は、第1期間と第3期間では $V_f = V_{f1}$ であり、第2期間では $V_f = V_{f2}$ とした。これらの電圧値 V_{f1} 及び V_{f2} はともに表面伝導型電子放出素子の電子放出閾値よりも高い電圧であって、かつ $V_{f1} < V_{f2}$ を満足するように設定した。ただし、表面伝導型放出素子の形状により電子放出閾値電圧も異なるので、測定対象となる表面伝導型放出素子に合わせて適宜設定した。また、測定時の表面伝導型放出素子周辺の雰囲気については、全圧が 1×10 のマイナス6乗(torr)で、有機ガスの分圧は 1×10 のマイナス9乗(torr)とした。

【0160】

図20(a)(b)は、図19で示した駆動信号を印加した際の表面伝導型放出素子の電気的特性を示すグラフ図で、図20(a)の横軸は素子電圧 V_f を示し、縦軸は表面伝導型放出素子から放出される電流(以下、放出電流 I_e)の測定値を示し、図20(b)の縦軸は表面伝導型放出素子に流れる電流(以下、素子電流 I_f)の測定値を表わしている。

【0161】

まず、図20(a)に示した(素子電圧 V_f)対(放出電流 I_e)特性について説明する。図19の第1期間においては、駆動パルスに 응답して表面伝導型放出素子からは特性カーブ $I_{ec(1)}$ に従って放出電流が出力される。即ち、図19(b)に示す駆動パルスの立ち上がり期間 T_r の間は、印加電圧 V_f が V_{th1} を超えると、特性カーブ $I_{ec(1)}$ に沿って放出電流 I_e は急激に増加する。そして、 $V_f = V_{f1}$ の期間、即ち、 T_5 の間には、放出電流 I_e は I_{e1} の大きさを保つ。そして、駆動パルスの立ち上がり期間 T_f の間では、放出電流 I_e は特性カーブ $I_{ec(1)}$ に沿って急激に減少する。

【0162】

次に第2期間において $V_f = V_{f2}$ のパルスが印加され始めると、特性カーブは $I_{ec(1)}$ から $I_{ec(2)}$ に変化する。即ち、駆動パルスの立ち上がり期間 T_r の間は、印加電圧 V_f が V_{th2} を超えると特性カーブ $I_{ec(2)}$ に沿って放出電流 I_e が急激に増加する。そして、 $V_f = V_{f2}$ の期間、即ち、 T_5 の間には、放出電流 I_e は I_{e2} の大きさを保つ。そして、駆動パルスの立ち下がり期間 T_f の間では、放出電流 I_e は特性カーブ $I_{ec(2)}$ に沿って急激に減

10

20

30

40

50

少する。

【0163】

次に、第3期間においては、再び $V_f = V_{f1}$ のパルスが印加されるが、このときには放出電流は特性化カーブに $I_{ec}(2)$ に沿って変化する。即ち、駆動パルスの立ち上がり期間 T_r の間は、印加電圧 V_f が V_{th2} を超えると特性カーブ $I_{ec}(2)$ に沿って放出電流 I_e は急激に増加する。そして、 $V_f = V_{f1}$ の期間、即ち、 T_5 の間には、放出電流 I_e は I_{e3} の大きさを保つ。そして、駆動パルスの立ち下がり期間 T_f の間では、放出電流 I_e は特性カーブ $I_{ec}(2)$ に沿って急激に減少する。

【0164】

このように第3期間においては、第2期間における特性カーブ $I_{ec}(2)$ がメモリされているため、第1の期間と同じ素子電圧(V_{f1})が印加されても、放出電流 I_e は第1期間(I_{e1})よりも小さな値(I_{e3})となる。

10

【0165】

同様に(素子電圧 V_f)対(素子電流 I_f)特性に関しても図20(b)に示すように、第1期間においては特性カーブ $I_{fc}(1)$ に沿うようになり、それに続く第3期間においては、第2期間でメモリされた特性カーブ $I_{fc}(2)$ に沿って動作することになる。

【0166】

なお、ここでは説明の便宜上、第1～第3期間の3つの期間だけを例示したが、むしろこの設定条件だけに限られた現象ではない。即ち、メモリ機能が付与された表面伝導型放出素子にパルス電圧を印加する場合には、それ以前に印加された電圧値よりも高い電圧値の
20
パルスが印加されると特性がシフトし、しかもメモリされる。そしてそれ以降、さらに高い電圧値のパルスが印加されない限りその特性がメモリされ続ける。このようなメモリ機能は、例えばFE型を始めとした他の電子放出素子においては観測されておらず、表面伝導型放出素子に特有の機能であると言える。

【0167】

図21は、このようなメモリ機能を利用してスペーサ近傍の放出素子のメモリ特性を変更するための処理を示すフローチャートである。

【0168】

まずステップS10で、その素子がスペーサから所定の距離内にあるかどうかを調べ、所定の距離内になればステップS14に進む。尚、この場合の所定の距離も、前述の図1
30
7のフローチャートの場合と同様である。ステップS10で所定の距離内にある時はステップS11に進み、その素子から電子が放出される方向にスペーサがあるかどうかをみる(図16の(B)の素子1012-1の場合に相当)。そうであればステップS12に進み、その素子のメモリ特性を、例えば図20(a)の $I_{ec}(1)$ で示す特性とする。一方、ステップS11で、その電子の放出方向にスペーサがないとき(例えば、図16(B)の素子1012-2の場合等に相当)はステップS13に進み、その素子のメモリ特性を例えば図20(a)の $I_{ec}(2)$ で示す特性とする。そしてステップS14に進み、全ての素子に対して処理を終了したかどうかを調べ、そうでない時はステップS10に戻り、前述の処理を実行する。こうして本実施の形態の表示パネルの全ての素子に対する処理が終了すると、この処理を終了する。

40

【0169】

こうしてスペーサ近傍の素子の電子放出特性を変更した後、前述の図17のフローチャートを参照して説明したように、素子に印加する電圧を制御することにより、例えば図16(B)の素子1012-1は低い素子電圧でも多くの放出電流が得られるので図16(C)のように素子電圧を下げても、同じ輝度の画像を表示できる。また図16(B)の素子1012-2は、素子電圧を高めても通常の素子電圧と略同等の放出電流が得られるので、通常の素子電圧と同様の発光輝度が得られることになる。

【0170】

[実施例]

以下に、各種実施例を挙げて本発明をさらに詳述する。

50

【0171】

以下に述べる各実施例においては、マルチ電子源として、前述した電極間の導電性微粒子膜に電子放出部を有するタイプの $N \times M$ 個 ($N = 3072$, $M = 1024$) の表面伝導型放出素子を、 M 本の行方向配線と N 本の列方向配線とによりマトリクス配線 (図2および図3参照) したマルチ電子源を用いた。なお、スペーサは画像形成装置の耐大気圧を得るための適当な枚数を配置している。

【0172】

(実施例1)

本実施例1を、図22を参照して説明する。

【0173】

2030は蛍光体メタルバックを含むフェースプレート、2031は電子源基板を含むリアプレート、2020はスペーサ、2013は走査信号用配線、2111-1, 2111-2, 2111-3, 2111-4は電子放出素子、2112-1, 2112-2, 2112-3, 2112-4のそれぞれは、各素子から放出された電子の軌道を示す。まず、素子の中心間距離 a 、および走査信号用配線の中心間距離 a をともに $3000 \mu\text{m}$ 、フェースプレート2030の内面とリアプレート2031の内面間の距離を 4mm 、加速電圧 V_a を 4kV 、列方向配線 (不図示) に -8V 、走査信号用配線 (2013-1, 2013-2, 2013-3, 2013-4) に $+8 \text{V}$ を印加し、電子放出型素子2111-1, 2111-2, 2111-3, 2111-4の素子電圧を 16V とした。ただし、スペーサ2020には絶縁性スペーサを用いた。尚、ここで各電子放出素子は、電子の放出方向が y 軸と平行になるように配置している。

【0174】

図22(B)は、図22(A)で示した画像形成装置の電子放出素子の配置を示す平面図で、2014は列方向配線を示している。

【0175】

このときの各素子の電子放出部と電子のランディング位置との位置関係を調べた。電子放出素子2111-1, 2111-2, 2111-3, 2111-4のそれぞれから電子を放出した場合、各素子の電子放出部からランディング位置までの距離はそれぞれ約 $360 \mu\text{m}$ ($= e-1$)、約 $390 \mu\text{m}$ ($= e-2$)、約 $330 \mu\text{m}$ ($= e-3$)、約 $360 \mu\text{m}$ ($= e-4$)となり、スペーサ2020近傍の電子放出素子2111-2, 2111-3を駆動した場合、そのランディング位置までのずれが大きくなっていることがわかる。実際には、スペーサ2020の近傍だけ若干の輝度低下が観測が認められた。これは、スペーサ2020の帯電による電子軌道の変化に起因していると考えられる。

【0176】

そこで、前述のように、スペーサ2020近傍の素子 (ここでは2111-2および2111-3) に印加する素子印加電圧 (V_f) を所定値に設定する。これによって、そのスペーサ近傍の素子 (2111-2および2111-3) から放出された電子のランディング位置が、通常の素子と同様のランディング位置 (約 $360 \mu\text{m}$) となるように制御することができる。本実施例1では、前述の式(1)に基づいて、素子2111-2に印加する素子電圧 V_f を 13V 、素子2111-3に印加する素子電圧 V_f を 19V とした。

【0177】

しかし前述のように素子への印加電圧を変えることによって、電子軌道だけでなく電子放出量 (I_e) も変化してしまうため、スペーサ近傍で輝度が変化してしまう。この輝度の変化に対する対策として、前述の表面伝導型素子のメモリ機能を用いて、輝度の調整を行った。具体的には素子2111-2の素子を素子電圧 $V_f = 13 \text{V}$ で、他の素子 (2111-1および2111-4) と同じ電子放出量となるように、また素子2111-3の素子には $V_f = 19 \text{V}$ で他の素子 (2111-1および2111-4) と同じ電子放出量となるように、予めそれぞれ所定の電圧値を印加 (メモリ) させておいた。この結果、どの素子においてもそれぞれ素子中心 (電子放出部) からの電子のランディング位置までの距離を略同様にでき、また電子放出量も同じとすることができ、これによりスペーサ202

10

20

30

40

50

0 近傍の素子からの電子ビームずれ、及び輝度の変化のない良好な画像を得ることができた。

【0178】

(実施例2)

この実施例2が前述の実施例1と異なるのは、スペーサ2020及び電子放出素子の配置である。この実施例2を図23を参照して説明する。この実施例2では、スペーサ2020を列方向配線上に配置する。これに伴って電子放出素子の配置もx-y平面上で90度回転した方向に配置して構成し、各素子からの電子の放出方向がx軸に平行な方向となるようにした。また、各素子の中心間距離および画像配線中心間距離bを、ともに3000μmとした。

10

【0179】

この場合も前述の実施例1で示したものと同等に、スペーサ2020の近傍で輝度低下が見られず、歪みのない画像を得ることができた。

【0180】

(実施例3)

本実施例3は、他の実施例と異なる点はスペーサに導電性のスペーサを用いた点にある。

【0181】

本実施例3では、スペーサを絶縁性部材の表面に酸化スズの膜(以下高抵抗膜)を形成し、このスペーサが電子源およびフェースプレート(メタルバック)との間で導電性を有するフリットを介して電氣的に接続されている。一般に上述の高抵抗膜の抵抗値が所望の値となるように成膜することで、スペーサの表面に微弱電流を流し、帯電を防止することが可能である。しかし、この成膜状態が不良の場合、導電性を有するフリットに不良があった場合、スペーサの導電性が不十分である場合、組立時のアライメントミス等の理由でスペーサに予期せぬ電子ビームが照射されてスペーサ表面の微弱電流では帯電を防止できない場合などの何らかの理由でスペーサが帯電し、スペーサの近傍で画像が歪む場合にも、前述の実施例1,2と同様に電子放出素子に印加する電圧を調整することで歪みのない画像を得ることができる。

20

【0182】

尚、本実施の形態の画像形成装置は、表示用として好適な画像形成装置に限るものでなく、感光性ドラムと発光ダイオード等で構成された光プリンタの発光ダイオード等の代替の発光源として、上述の画像形成装置を用いることもできる。またこの際、上述のM本の行方向配線とN本の列方向配線を適宜選択することにより、ライン状の発光源としてだけでなく、2次元状の発光源にも応用できる。この場合、画像形成部材としては、上述の実施の形態で用いる蛍光体のような、電子の照射により発光する物質に限りものではなく、電子の帯電による潜像画像が形成されるような部材を用いることもできる。

30

【0183】

また、本実施の形態によれば、例えば電子顕微鏡のように、電子源からの放出電子の被照射部材が、蛍光体等の画像形成部材以外のものである場合についても本発明が適用できる。従って、本発明は被照射部材を特定しない一般的電子線装置としての形態もとりうる。

【0184】

【発明の効果】

以上説明したように本発明によれば、電子源とフェースプレートの間配設される支持部材による画質の劣化を防止できるという効果がある。

40

【0185】

また本発明によれば、支持部材近傍の冷陰極素子から放出される電子の軌道を制御することにより、支持部材近傍での画像の歪みを小さくし、かつ輝度の低下を抑えることができるという効果がある。

【0186】

【図面の簡単な説明】

【図1】本発明の実施の形態の画像表示装置の概略断面図である。

50

【図 2】本発明の実施の形態の画像表示装置の表示パネルの一部を切り欠いて示した斜視図である。

【図 3】本実施の形態で用いたマルチ電子源の基板の平面図である。

【図 4】図 3 のマルチ電子源の B - B ' 断面図である。

【図 5】本実施の形態の表示パネルのフェースプレートの蛍光体配列を例示した平面図である。

【図 6】実施の形態で用いた平面型の表面伝導型放出素子の平面図 (a) , 断面図 (b) である。

【図 7】平面型の表面伝導型放出素子の製造工程を示す断面図である。

【図 8】本実施の形態における通電フォーミング処理の際の印加電圧波形を示す図である 10

【図 9】通電活性化処理の際の印加電圧波形 (a) , 放電電流 I_e の変化 (b) を示す図である。

【図 10】本実施の形態で用いた垂直型の表面伝導型放出素子の断面図である。

【図 11】垂直型の表面伝導型放出素子の製造工程を示す断面図である。

【図 12】実施の形態で用いた表面伝導型放出素子の典型的な特性を示すグラフ図である

【図 13】本発明の実施の形態である画像表示装置の駆動回路の概略構成を示すブロック図である。

【図 14】電子放出素子から放出された電子がフェースプレートに衝突する状態を説明する図である。 20

【図 15】電子放出素子と蛍光体との位置関係を説明する図である。

【図 16】電子放出素子から放出された電子の軌道がスペーサの影響により曲げられる状態を説明する図である。

【図 17】スペーサ近傍の素子に印加する素子電圧を制御してスペーサの帯電による影響を防止する処理を示すフローチャートである。

【図 18】本発明の実施の形態のマルチ電子源の基板の平面図である。

【図 19】メモリ特性を付与するために表面伝導型放出素子に印加する駆動信号の電圧波形を示す図である。

【図 20】表面伝導型放出素子のメモリ特性を説明する図である。 30

【図 21】本実施の形態の表示パネルの素子のメモリ特性を変更する処理を示すフローチャートである。

【図 22】本発明の実施の形態の実施例 1 の表示パネルの断面図および平面図である。

【図 23】本発明の実施の形態の実施例 2 の表示パネルの平面図である。

【図 24】従来知られた表面伝導型放出素子の一例を示す図である。

【図 25】従来知られた FE の一例を示す図である。

【図 26】従来知られた MIM 型の一例を示す図である。

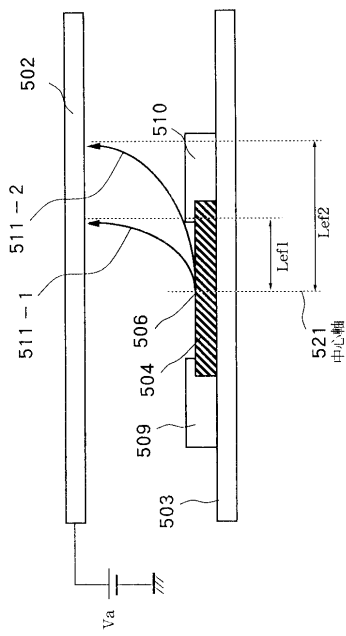
【図 27】画像表示装置の表示パネルの一部を切り欠いて示した斜視図である。

【図 28】本発明の課題を説明するための図で、スペーサの帯電とそれが電子軌道に及ぼす影響を説明するための図である。 40

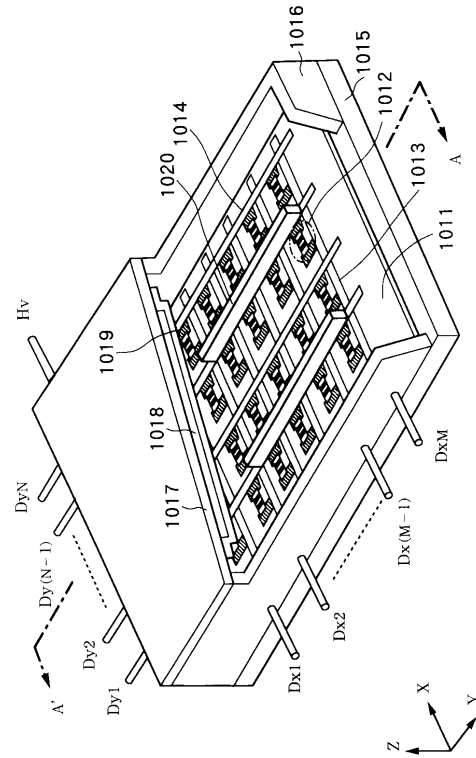
【符号の説明】

1 0 1 1	基板
1 0 1 8	蛍光体
1 1 0 2 , 1 1 0 3	素子電極
1 1 0 4	導電性薄膜
1 1 0 5	電子放出部
1 1 0 7	フェースプレート

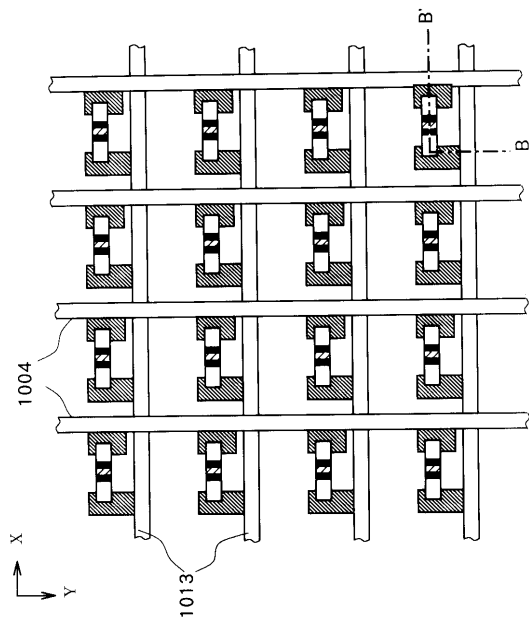
【 図 1 】



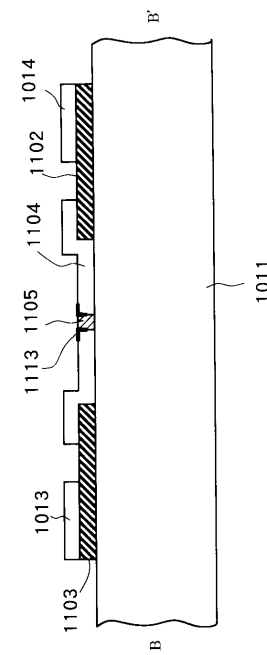
【 図 2 】



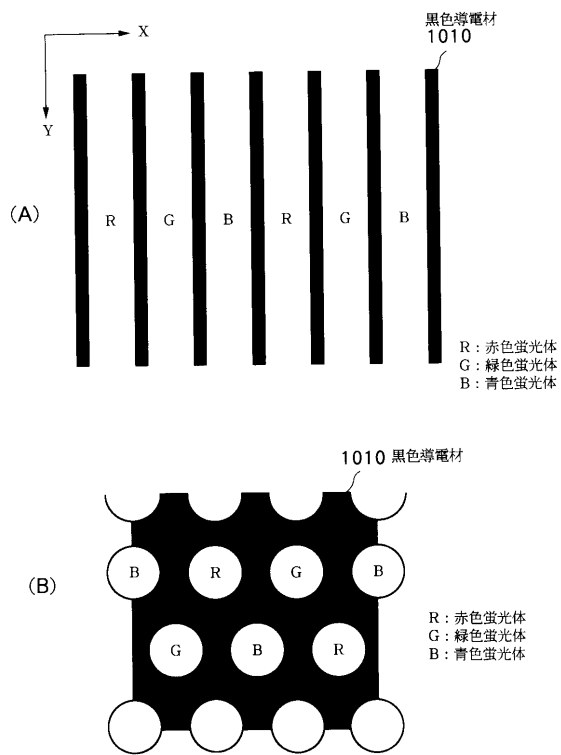
【 図 3 】



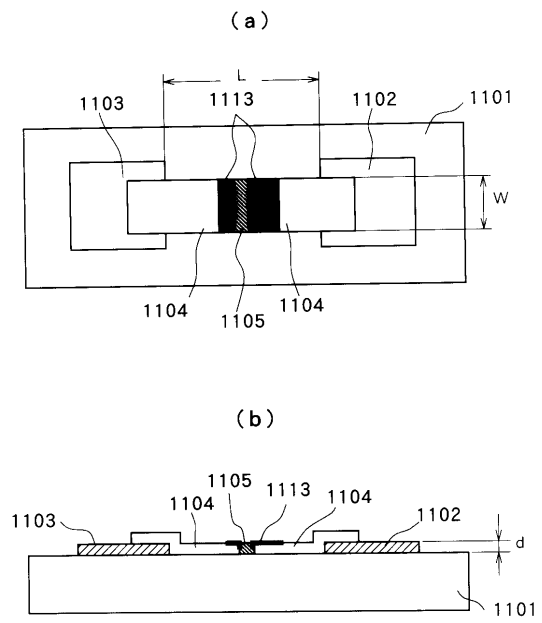
【 図 4 】



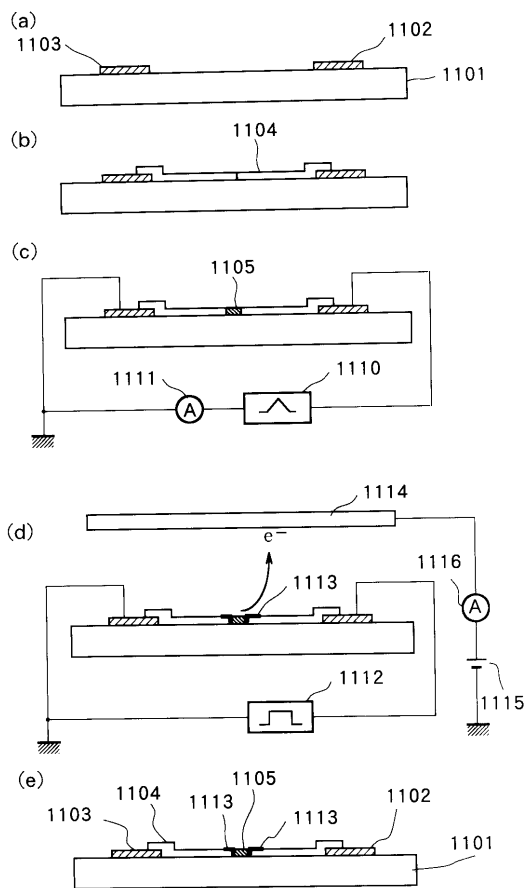
【 図 5 】



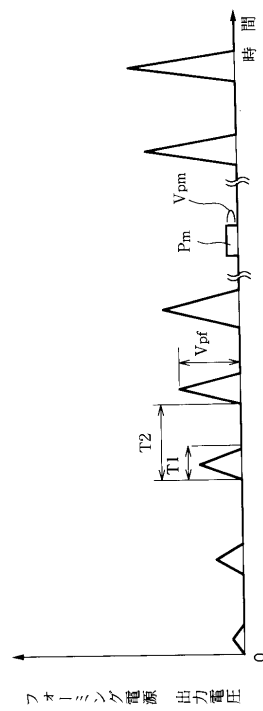
【 図 6 】



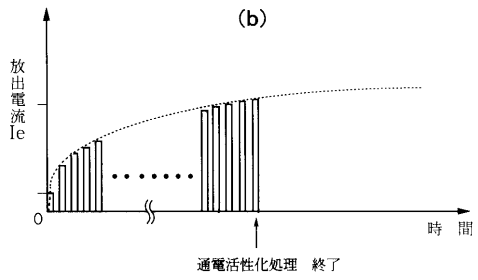
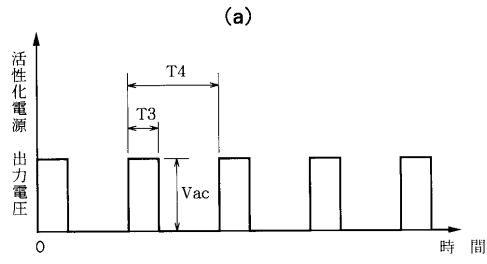
【 図 7 】



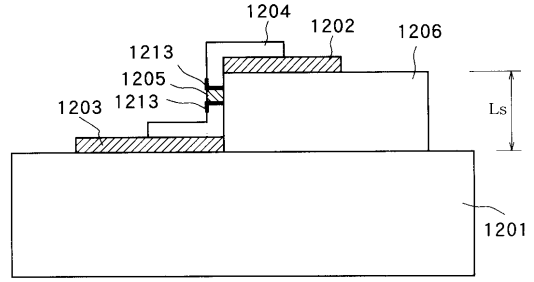
【 図 8 】



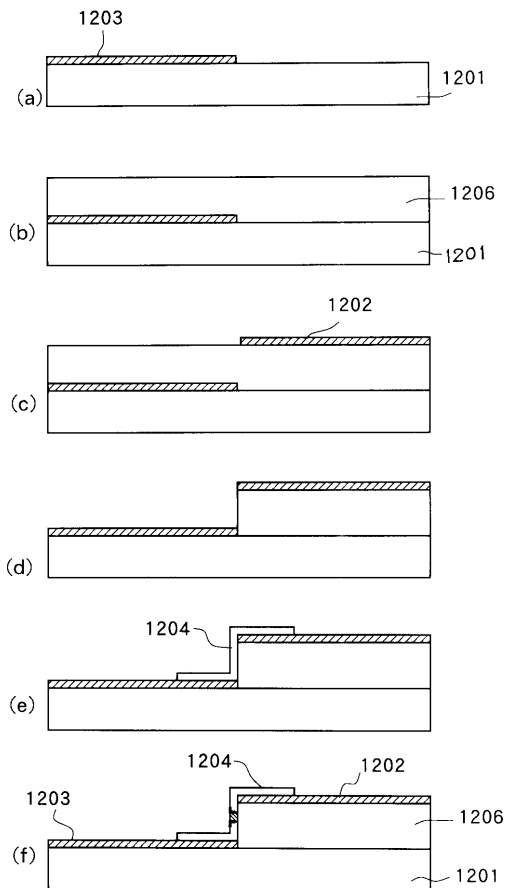
【 図 9 】



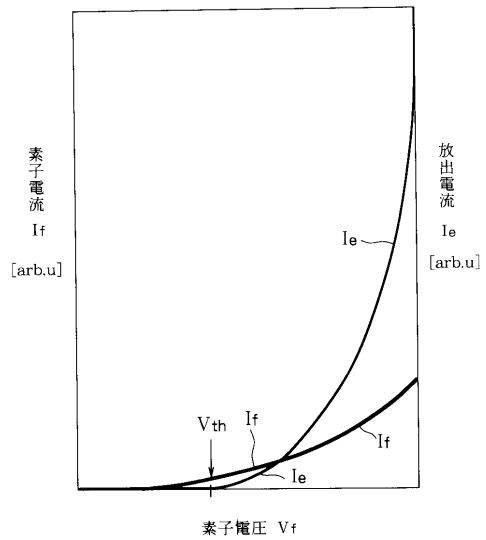
【 図 10 】



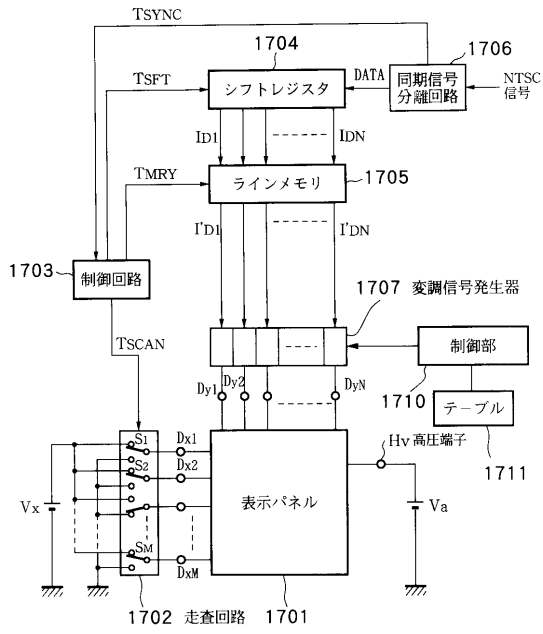
【 図 11 】



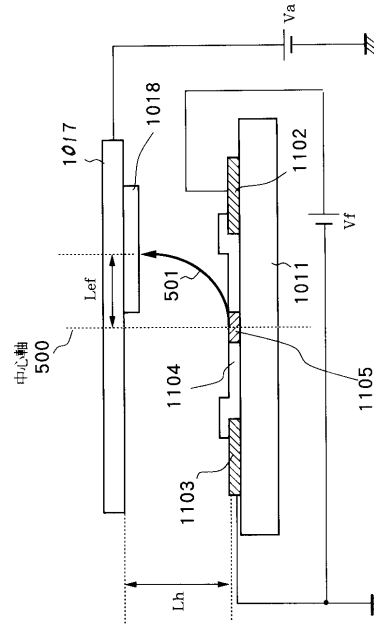
【 図 12 】



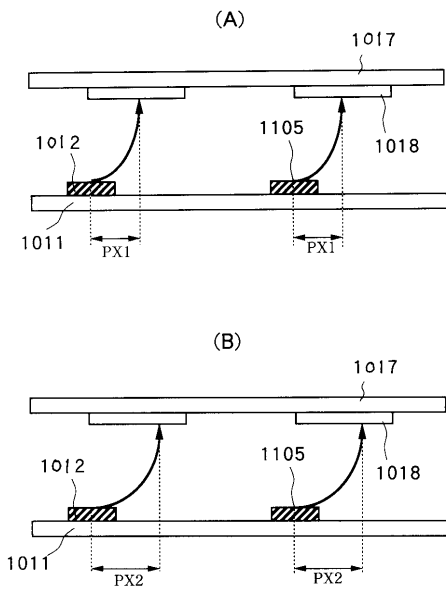
【 図 1 3 】



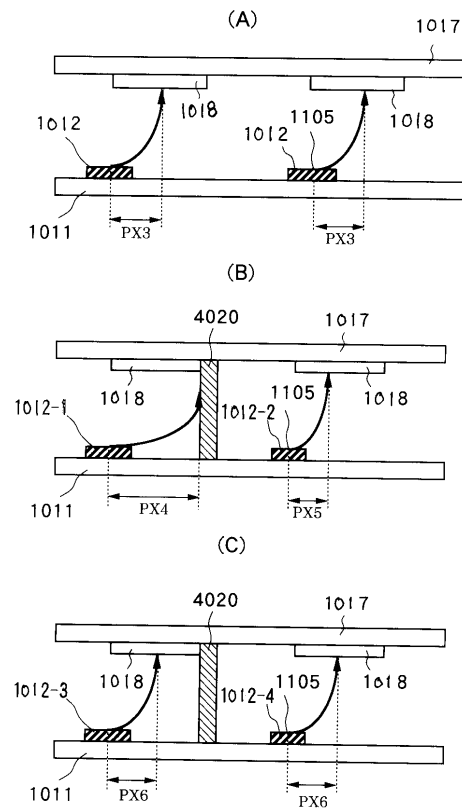
【 図 1 4 】



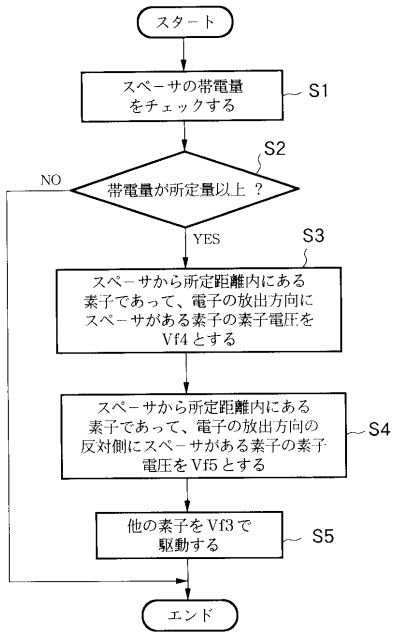
【 図 1 5 】



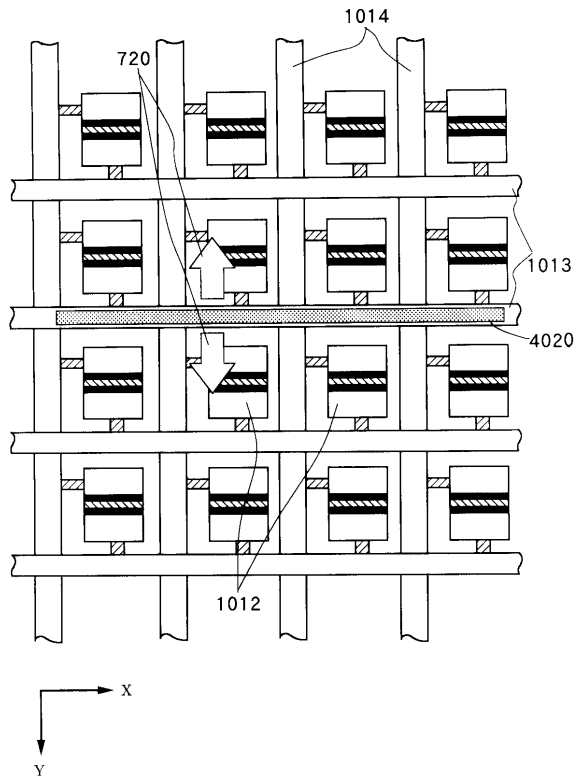
【 図 1 6 】



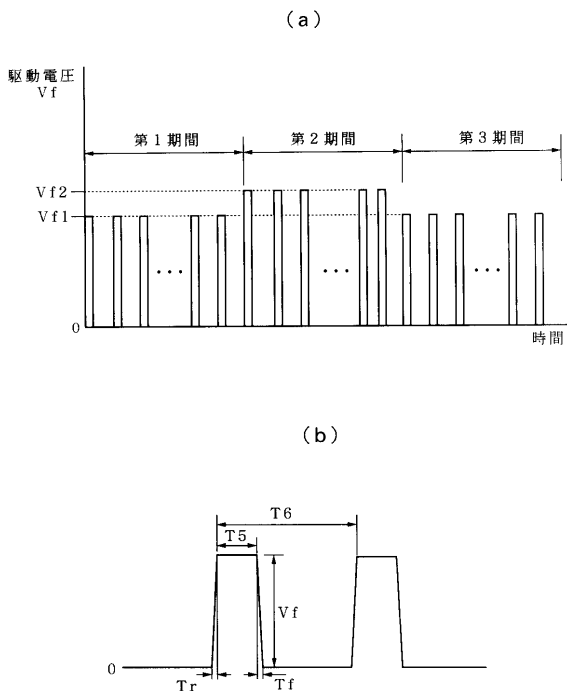
【 図 1 7 】



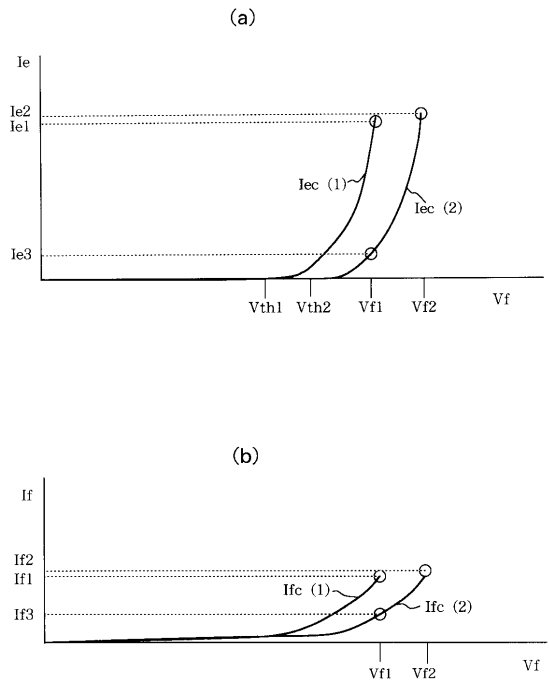
【 図 1 8 】



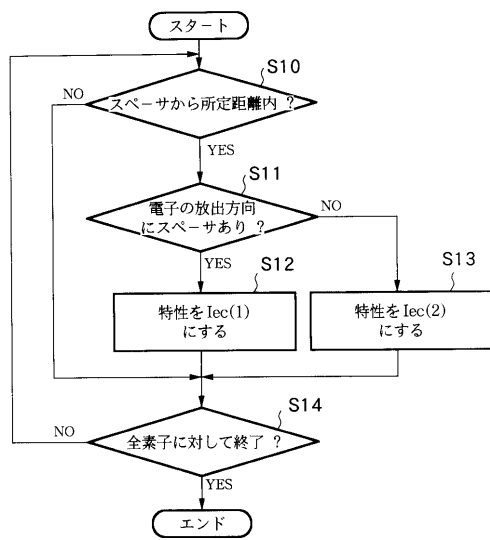
【 図 1 9 】



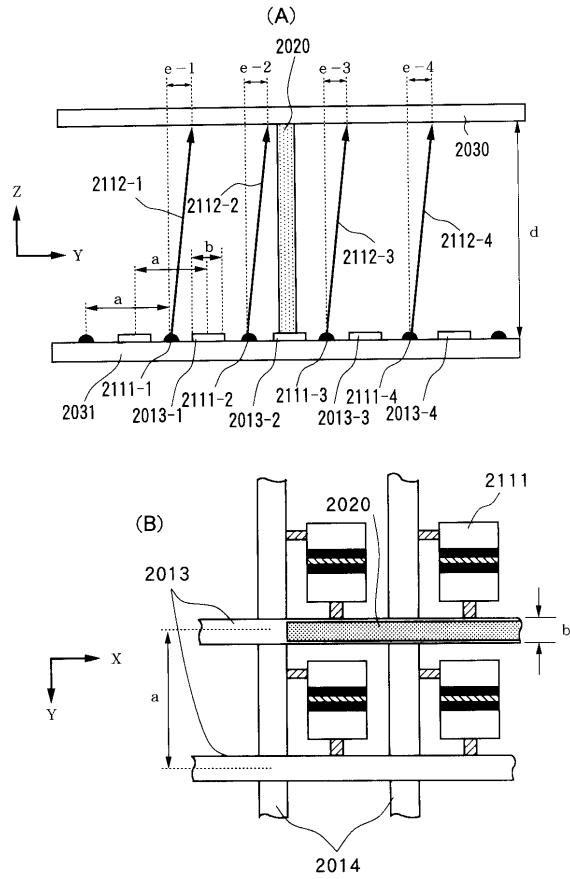
【 図 2 0 】



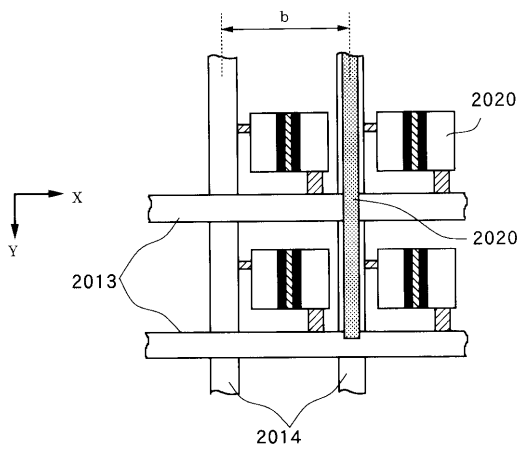
【 図 2 1 】



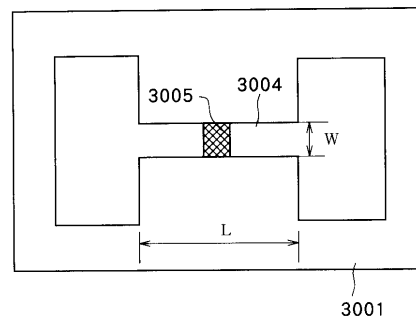
【 図 2 2 】



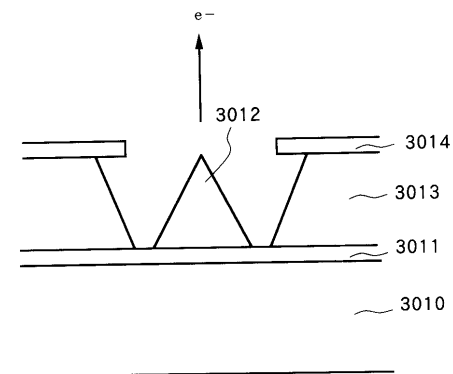
【 図 2 3 】



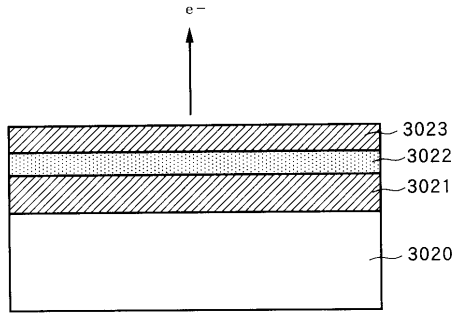
【 図 2 4 】



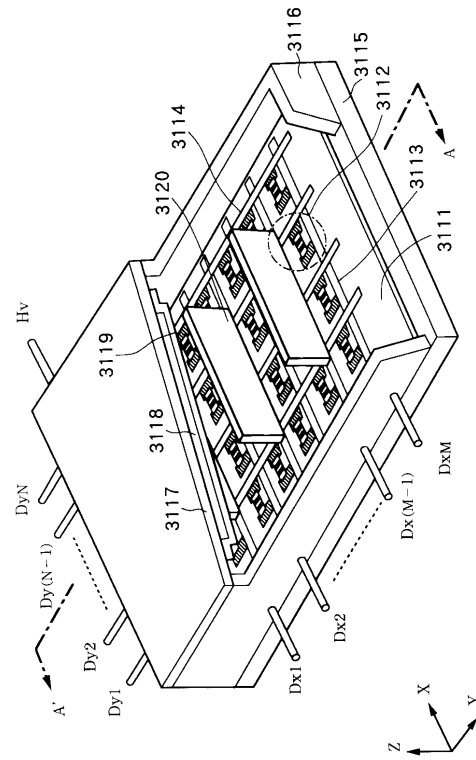
【 図 2 5 】



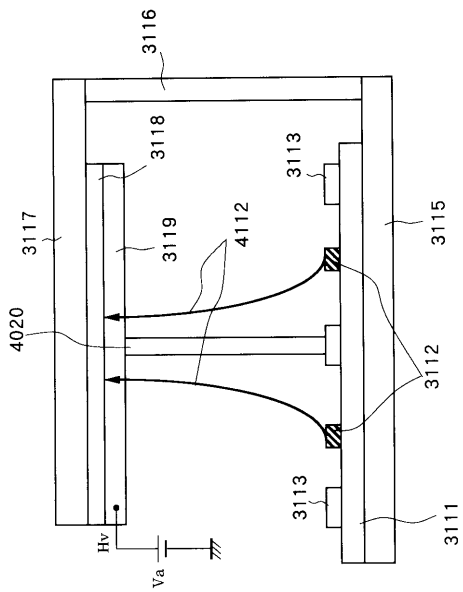
【 図 2 6 】



【 図 2 7 】



【 図 2 8 】



フロントページの続き

- (56)参考文献 特開平09 - 022649 (JP, A)
特開平08 - 329865 (JP, A)
特開平08 - 007807 (JP, A)
特開平08 - 273523 (JP, A)
特開平09 - 161668 (JP, A)

(58)調査した分野(Int.Cl.⁷, DB名)

G09G 3/22
G09G 3/20 610
H01J 31/12
H01J 29/04