

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第7部門第2区分

【発行日】平成22年9月30日(2010.9.30)

【公開番号】特開2009-54661(P2009-54661A)

【公開日】平成21年3月12日(2009.3.12)

【年通号数】公開・登録公報2009-010

【出願番号】特願2007-217762(P2007-217762)

【国際特許分類】

H 01 L	21/02	(2006.01)
H 01 L	27/12	(2006.01)
H 01 L	21/336	(2006.01)
H 01 L	29/786	(2006.01)
H 01 L	21/762	(2006.01)
H 01 L	27/08	(2006.01)
H 01 L	21/8238	(2006.01)
H 01 L	27/092	(2006.01)
H 01 L	25/04	(2006.01)
H 01 L	25/18	(2006.01)
H 01 L	51/50	(2006.01)
G 02 F	1/1368	(2006.01)

【F I】

H 01 L	27/12	B
H 01 L	29/78	6 2 7 D
H 01 L	27/12	L
H 01 L	21/76	D
H 01 L	29/78	6 1 3 A
H 01 L	29/78	6 2 0
H 01 L	27/08	3 3 1 E
H 01 L	27/08	3 2 1 B
H 01 L	25/04	Z
H 05 B	33/14	A
G 02 F	1/1368	

【手続補正書】

【提出日】平成22年8月16日(2010.8.16)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

複数の第1の凸部を有する第1のボンド基板を、前記複数の第1の凸部において劈開させることで、複数の第1の半導体膜を形成し、

複数の第2の凸部を有する第2のボンド基板を、前記複数の第2の凸部において劈開させることで、前記複数の第1の半導体膜とは異なる結晶面方位を有する複数の第2の半導体膜を形成し、

前記複数の第1の半導体膜とベース基板とを貼り合わせ、

前記複数の第2の半導体膜と前記ベース基板とを、前記複数の第1の半導体膜と前記複

数の第2の半導体膜との間隔があくように貼り合わせ、

前記複数の第1の半導体膜と前記複数の第2の半導体膜とをエッティングすることで、複数の第3の半導体膜と複数の第4の半導体膜とを形成することを特徴とする半導体装置の作製方法。

#### 【請求項2】

複数の第1の凸部を有する第1のボンド基板を、前記複数の第1の凸部において劈開させることで、複数の第1の半導体膜を形成し、

複数の第2の凸部を有する第2のボンド基板を、前記複数の第2の凸部において劈開させることで、前記複数の第1の半導体膜とは異なる結晶面方位を有する複数の第2の半導体膜を形成し、

前記複数の第1の半導体膜とベース基板とを、前記複数の第1の半導体膜の前記劈開により露出した面が前記ベース基板側を向くように貼り合わせ、

前記複数の第2の半導体膜と前記ベース基板とを、前記複数の第1の半導体膜と前記複数の第2の半導体膜との間隔があくように、なおかつ前記複数の第2の半導体膜の前記劈開により露出した面が前記ベース基板側を向くように貼り合わせ、

前記複数の第1の半導体膜と前記複数の第2の半導体膜とをエッティングすることで、複数の第3の半導体膜と複数の第4の半導体膜とを形成することを特徴とする半導体装置の作製方法。

#### 【請求項3】

複数の第1の凸部を有する第1のボンド基板を、前記複数の第1の凸部において劈開させることで、複数の第1の半導体膜を形成し、

複数の第2の凸部を有する第2のボンド基板を、前記複数の第2の凸部において劈開させることで、前記複数の第1の半導体膜とは異なる結晶面方位を有する複数の第2の半導体膜を形成し、

前記複数の第1の半導体膜とベース基板とを、前記複数の第1の半導体膜の前記劈開により露出した面の反対側の面が前記ベース基板側を向くように貼り合わせ、

前記複数の第2の半導体膜と前記ベース基板とを、前記複数の第1の半導体膜と前記複数の第2の半導体膜との間隔があくように、なおかつ前記複数の第2の半導体膜の前記劈開により露出した面の反対側の面が前記ベース基板側を向くように貼り合わせ、

前記複数の第1の半導体膜と前記複数の第2の半導体膜とをエッティングすることで、複数の第3の半導体膜と複数の第4の半導体膜とを形成することを特徴とする半導体装置の作製方法。

#### 【請求項4】

第1のドーピングにより第1のボンド基板に第1の欠陥層を形成し、

前記第1のボンド基板を部分的にエッティングすることで、前記第1の欠陥層を有する複数の第1の凸部を形成し、

前記第1のボンド基板に熱処理を行い、前記第1の欠陥層において前記第1のボンド基板を劈開させることで、複数の第1の半導体膜を形成し、

第2のドーピングにより第2のボンド基板に第2の欠陥層を形成し、

前記第2のボンド基板を部分的にエッティングすることで、前記第2の欠陥層を有する複数の第2の凸部を形成し、

前記第2のボンド基板に熱処理を行い、前記第2の欠陥層において前記第2のボンド基板を劈開させることで、前記複数の第1の半導体膜とは異なる結晶面方位を有する複数の第2の半導体膜を形成し、

前記複数の第1の半導体膜とベース基板とを貼り合わせ、

前記複数の第2の半導体膜と前記ベース基板とを、前記複数の第1の半導体膜と前記複数の第2の半導体膜との間隔があくように貼り合わせ、

前記複数の第1の半導体膜と前記複数の第2の半導体膜とをエッティングすることで、複数の第3の半導体膜と複数の第4の半導体膜とを形成することを特徴とする半導体装置の作製方法。

**【請求項 5】**

第1のドーピングにより第1のボンド基板に第1の欠陥層を形成し、  
第2のドーピングにより前記第1のボンド基板に第2の欠陥層を選択的に形成し、  
前記第1のボンド基板に熱処理を行い、前記第1の欠陥層及び前記第2の欠陥層において前記第1のボンド基板を劈開させることで、複数の第1の半導体膜を形成し、  
第3のドーピングにより第2のボンド基板に第3の欠陥層を形成し、  
第4のドーピングにより前記第2のボンド基板に第4の欠陥層を選択的に形成し、  
前記第2のボンド基板に熱処理を行い、前記第3の欠陥層及び前記第4の欠陥層において前記第2のボンド基板を劈開させることで、前記複数の第1の半導体膜とは異なる結晶面方位を有する複数の第2の半導体膜を形成し、  
前記複数の第1の半導体膜とベース基板とを貼り合わせ、  
前記複数の第2の半導体膜と前記ベース基板とを、前記複数の第1の半導体膜と前記複数の第2の半導体膜との間隔があくように貼り合わせ、  
前記複数の第1の半導体膜と前記複数の第2の半導体膜とをエッチングすることで、複数の第3の半導体膜と複数の第4の半導体膜とを形成することを特徴とする半導体装置の作製方法。

**【請求項 6】**

請求項 1乃至 5 のいずれか一において、  
前記複数の第1の半導体膜と前記複数の第2の半導体膜に 10 MHz ~ 1 THz の高周波数の振動を加えることで、前記複数の第1の半導体膜と前記ベース基板との間に、及び前記複数の第2の半導体膜と前記ベース基板との間に摩擦熱を生じさせ、前記摩擦熱により前記複数の第1の半導体膜と前記複数の第2の半導体膜を部分的に溶融させて前記複数の第1の半導体膜と前記複数の第2の半導体膜を前記ベース基板に貼り合わせることを特徴とする半導体装置の作製方法。

**【請求項 7】**

ボンド基板の劈開により形成される複数の半導体膜の一つを拾い上げるコレットと、  
前記コレットの位置を制御するコレット駆動部と、  
前記ボンド基板を支持する第1のステージと、ベース基板を支持する第2のステージと、  
前記第1のステージまたは前記第2のステージの位置を制御するステージ駆動部と、  
前記コレットの位置情報、前記第1のステージの位置情報または前記第2のステージの位置情報に従って、前記コレット駆動部または前記ステージ駆動部の動作を制御するCPUと、を有することを特徴とする製造装置。

**【請求項 8】**

ボンド基板の劈開により形成される複数の半導体膜の一つを拾い上げるコレットと、  
前記コレットの位置を制御するコレット駆動部と、  
前記ボンド基板及びベース基板を支持するステージと、  
前記ステージの位置を制御するステージ駆動部と、  
前記コレットの位置情報または前記ステージの位置情報に従って、前記コレット駆動部または前記ステージ駆動部の動作を制御するCPUと、を有することを特徴とする製造装置。