

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第6098366号
(P6098366)

(45) 発行日 平成29年3月22日(2017.3.22)

(24) 登録日 平成29年3月3日(2017.3.3)

(51) Int.Cl.

F I

G 0 6 T 1/60 (2006.01)

G 0 6 T 1/60 4 5 0 F

請求項の数 6 (全 24 頁)

(21) 出願番号	特願2013-110560 (P2013-110560)	(73) 特許権者	514315159
(22) 出願日	平成25年5月27日 (2013.5.27)		株式会社ソシオネクスト
(65) 公開番号	特開2014-229227 (P2014-229227A)		神奈川県横浜市港北区新横浜2丁目10番
(43) 公開日	平成26年12月8日 (2014.12.8)		23
審査請求日	平成28年1月28日 (2016.1.28)	(74) 代理人	100092152
			弁理士 服部 毅巖
		(72) 発明者	田中 将輝
			愛知県春日井市高蔵寺町二丁目1844番
			2 富士通VLSI株式会社内
		審査官	新井 則和

最終頁に続く

(54) 【発明の名称】 画像データ処理装置及び画像データ処理方法

(57) 【特許請求の範囲】

【請求項1】

撮像素子の N ($N \geq 2$)本の読み出しライン分の画素データを保持する $N \times N$ 個の記憶部と、

前記 $N \times N$ 個の記憶部に含まれる記憶部を列方向または行方向に選択して、 N 画素ずつ前記画素データを書き込み、 N ライン分の前記画素データの書き込みごとに、前記記憶部の選択方向を切り替える書き込み制御部と、

N の倍数ライン目の前記画素データの書き込み時、当該書き込み時における前記記憶部の選択方向とは異なる方向で N 個の前記記憶部を選択し、前記書き込まれた前記 N ライン分の画素データの並列読み出しを開始する読み出し制御部と、を有し、

前記 $N \times N$ 個の記憶部のうち、前記 N の倍数ライン目の画素データの書き込みで最初に選択される記憶部は、読み出しと書き込みを異なる端子を用いて行い、他の記憶部は、読み出しと書き込みを共通の端子を用いて行う、

ことを特徴とする画像データ処理装置。

【請求項2】

前記列方向または前記行方向で選択される前記 N 個の記憶部への1ライン分の前記画素データの書き込み開始前に、当該 N 個の記憶部に書き込まれている画素データの読み出しが完了している、ことを特徴とする請求項1に記載の画像データ処理装置。

【請求項3】

前記読み出し制御部は、前記 N の倍数ラインの画素データのうち、1ワード分の書き込

みが完了すると、前記並列読み出しを開始させる、ことを特徴とする請求項 1 または 2 に記載の画像データ処理装置。

【請求項 4】

前記撮像素子からの前記画素データの読み出し順で、前記画素データを受け取り、それぞれが、前記読み出し順に対して N 画素ずつ飛び飛びのデータ並びとなる N 並列の第 1 の並列データを生成する並列化部を有し、

書き込み時に選択される前記記憶部には、前記並列化部からの前記第 1 の並列データが N 画素ずつ書き込まれ、

読み出し時に選択される前記 N 個の記憶部から読み出される N 並列の第 2 の並列データのそれぞれのデータ並びは、前記読み出し順である、

ことを特徴とする請求項 1 乃至 3 の何れか一項に記載の画像データ処理装置。

【請求項 5】

前記 N の倍数ラインの前記画素データの書き込みで最初に選択される記憶部と、前記他の記憶部とを、同じ制御信号またはアドレスで動作させる 2 種類のインターフェースを有することを特徴とする請求項 1 乃至 4 の何れか一項に記載の画像データ処理装置。

【請求項 6】

書き込み制御部が、撮像素子の N (N ≥ 2) 本の読み出しライン分の画素データを保持する N × N 個の記憶部に含まれる記憶部を列方向または行方向に選択して、N 画素ずつ前記画素データを書き込み、N ライン分の前記画素データの書き込みごとに、前記記憶部の選択方向を切り替え、

読み出し制御部が、N の倍数ライン目の前記画素データの書き込み時、当該書き込み時における前記記憶部の選択方向とは異なる方向で N 個の前記記憶部を選択し、前記書き込まれた前記 N ライン分の画素データの並列読み出しを開始し、

前記 N × N 個の記憶部のうち、前記 N の倍数ライン目の画素データの書き込みで最初に選択される記憶部は、読み出しと書き込みを異なる端子を用いて行い、他の記憶部は、読み出しと書き込みを共通の端子を用いて行う、

ことを特徴とする画像データ処理方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、画像データ処理装置及び画像データ処理方法に関する。

【背景技術】

【0002】

近年、撮像素子の性能向上により、その動作周波数が高周波数化傾向にある。撮像素子の出力は、その後段につながる I S P (Image Signal Processor) の動作に関係なく出力されるが、I S P は、メモリの動作可能周波数の性能限界の影響で、撮像素子からの入力をリアルタイムに処理するための高周波数化には限度がある。

【0003】

そこで、撮像素子からラスタ走査順に読み出される画素データを、I S P が複数画素ずつ受け取り、並列に処理することで I S P 内の周波数を下げることが考えられる。

ただ、撮像素子からラスタ走査順に入力される画素データを複数画素ずつ受け取り並列に出力するだけでは、各並列出力のデータの並びは、ラスタ走査順ではなく、飛び飛びのデータとなり、このままでは後段の回路で並列に処理することができない。そのため、ラインバッファなどを用いて、飛び飛びの並列データを後段の回路で並列処理できるように並べ替えることが行われる。

【先行技術文献】

【特許文献】

【0004】

【特許文献 1】特開平 8 - 9 6 1 1 6 号公報

【特許文献 2】特開 2 0 0 1 - 6 7 2 6 5 号公報

10

20

30

40

50

【発明の概要】

【発明が解決しようとする課題】

【0005】

N画素並列に処理しようとする場合、N本のラインバッファ（たとえば、RAM（Random Access Memory））を用いることが考えられる。前述したように、撮像素子からの出力（読み出し）はISPの動作に関係なく次々に発生する。そこで、Nライン分のデータ書き込み完了時点で、次のラインの書き込み領域を確保できるだけの読み出しを完了しておくため、Nライン目の書き込みと読み出しをオーバーラップさせることが考えられる。

【0006】

しかし、このような処理を行う場合、並列数が増えると前のラインの読み出しが完了していないにも関わらず、新たなラインのデータの書き込みが同じアドレス上で発生してしまい、前のラインのデータを上書きし破壊してしまう可能性がある。これを避けるために、ラインバッファ数をN本よりも増やすことが考えられるが、面積の増加につながってしまう。

【課題を解決するための手段】

【0007】

発明の一観点によれば、撮像素子のN（N≧2）本の読み出しライン分の画素データを保持するN×N個の記憶部と、前記N×N個の記憶部に含まれる記憶部を列方向または行方向に選択して、N画素ずつ前記画素データを書き込み、Nライン分の前記画素データの書き込みごとに、前記記憶部の選択方向を切り替える書き込み制御部と、Nの倍数ライン目の前記画素データの書き込み時、当該書き込み時における前記記憶部の選択方向とは異なる方向でN個の前記記憶部を選択し、前記書き込まれた前記Nライン分の画素データの並列読み出しを開始する読み出し制御部と、を有し、前記N×N個の記憶部のうち、前記Nの倍数ライン目の画素データの書き込みで最初に選択される記憶部は、読み出しと書き込みを異なる端子を用いて行い、他の記憶部は、読み出しと書き込みを共通の端子を用いて行う、画像データ処理装置が提供される。

【0008】

また、発明の一観点によれば、書き込み制御部が、撮像素子のN（N≧2）本の読み出しライン分の画素データを保持するN×N個の記憶部に含まれる記憶部を列方向または行方向に選択して、N画素ずつ前記画素データを書き込み、Nライン分の前記画素データの書き込みごとに、前記記憶部の選択方向を切り替え、読み出し制御部が、Nの倍数ライン目の前記画素データの書き込み時、当該書き込み時における前記記憶部の選択方向とは異なる方向でN個の前記記憶部を選択し、前記書き込まれた前記Nライン分の画素データの並列読み出しを開始し、前記N×N個の記憶部のうち、前記Nの倍数ライン目の画素データの書き込みで最初に選択される記憶部は、読み出しと書き込みを異なる端子を用いて行い、他の記憶部は、読み出しと書き込みを共通の端子を用いて行う、画像データ処理方法が提供される。

【発明の効果】

【0009】

開示の画像データ処理装置及び画像データ処理方法によれば、小規模な回路で画素データを並列化できる。

【図面の簡単な説明】

【0010】

【図1】第1の実施の形態の画像データ処理装置と画像データ処理方法の一例を示す図である。

【図2】画像データ処理装置が4画素ずつデータを受け取り4並列で処理を行う例を示す図である。

【図3】並べ替え処理に用いられるRAMの例を示す図である。

【図4】4つのRAMを用いた並べ替え処理の一例の様子を示すタイミングチャートである（その1）。

10

20

30

40

50

【図 5】4つのRAMを用いた並べ替え処理の一例の様子を示すタイミングチャートである（その2）。

【図 6】第2の実施の形態の画像データ処理装置が適用される撮像装置の一例を示す図である。

【図 7】ライン分割処理部の一例を示す図である。

【図 8】並列数 $N = 4$ としたときの、RAM周辺部の一例を示す図である。

【図 9】入力信号制御部の入出力信号の関係の例を示す図である。

【図 10】出力信号制御部の入出力信号の関係の例を示す図である。

【図 11】並列数 $N = 4$ としたときの、記憶領域の例を示す図である。

【図 12】1RWの1ポートRAMに用いられるRAMI/Fの一例を示す図である。

10

【図 13】1RWの2ポートRAMに用いられるRAMI/Fの一例を示す図である。

【図 14】並列データのライト処理の一例の流れを示すフローチャートである。

【図 15】並列データのリード処理の一例の流れを示すフローチャートである。

【図 16】並列数 $N = 4$ のときのライン分割処理部によるデータの並べ替え処理の一例の様子を示すタイミングチャートである（その1）。

【図 17】並列数 $N = 4$ のときのライン分割処理部によるデータの並べ替え処理の一例の様子を示すタイミングチャートである（その2）。

【図 18】並列数 $N = 4$ のときのライン分割処理部によるデータの並べ替え処理の一例の様子を示すタイミングチャートである（その3）。

【図 19】 3×3 個のRAMに対するライトとリードの制御例を示す図である。

20

【発明を実施するための形態】

【0011】

以下、発明を実施するための形態を、図面を参照しつつ説明する。

（第1の実施の形態）

図1は、第1の実施の形態の画像データ処理装置と画像データ処理方法の一例を示す図である。

【0012】

画像データ処理装置10は、並列化部11、 $N \times N$ ($N \geq 2$ 、ただし図1の例では $N = 4$) 個の記憶部12（ただし、後述するように2つの記憶部12a, 12bは他のものとは種類が異なるため別の符号を付している）を有している。さらに、画像データ処理装置10は、書き込み制御部13、読み出し制御部14、入力信号制御部15、出力信号制御部16、回路部17を有している。以下の説明では、記憶部12, 12a, 12b、書き込み制御部13、読み出し制御部14、入力信号制御部15、出力信号制御部16を含む部分をライン分割処理部20と呼ぶ。

30

【0013】

並列化部11は、撮像部30の撮像素子31から画素データの読み出し順（ラスト走査順）で、画素データを受け取り、それぞれが、ラスト走査順に対して N 画素ずつ飛び飛びのデータ並びとなる N 並列の並列データを生成する。これにより、画像データ処理装置10内の周波数を撮像素子31の周波数の $1/N$ にすることができる。なお、並列化部11は、たとえば、撮像部30に含まれるようにしてもよい。

40

【0014】

ライン分割処理部20は、並列化部11から出力される各並列出力のデータを、後段の回路部17で処理できるようにラスト走査順に並び替え、ラスト走査順に並び替えられた N 並列の画素データを出力する。

【0015】

ライン分割処理部20内の、 $N \times N$ 個の記憶部12, 12a, 12bは、撮像素子31の N 本の読み出しライン（たとえば、水平方向の読み出しライン）分の画素データを保持する容量を有している。 $N = 4$ の場合は、16個の記憶部12, 12a, 12bによって、4ライン分の画素データが保持される。

【0016】

50

書き込み制御部 13 は、 $N \times N$ 個の記憶部 12, 12a, 12b に含まれる記憶部を、列方向または行方向に N 個選択して、 N 画素ずつ並列化部 11 から出力される画素データを書き込む。そして、書き込み制御部 13 は、 N ライン分の画素データの書き込みごとに、記憶部の選択方向を切り替える。

【0017】

読み出し制御部 14 は、 N の倍数ライン目の画素データの書き込み時、その書き込み時における記憶部の選択方向とは異なる方向で N 個の記憶部を選択し、 N ライン分の画素データの並列読み出しを開始する。

【0018】

入力信号制御部 15 は、書き込み制御部 13 と読み出し制御部 14 の制御のもと、行選択信号や列選択信号を生成し、 $N \times N$ 個の記憶部 12, 12a, 12b のうち、読み書きを行う記憶部を選択する。

【0019】

出力信号制御部 16 は、書き込み制御部 13 と読み出し制御部 14 の制御のもと、 $N \times N$ 個の記憶部 12, 12a, 12b のうち適切な N 個を選択し、 N 並列の画素データを出力し、後段の回路部 17 に供給する。

【0020】

なお、図 1 の例では、並列化部 11 と $N \times N$ 個の記憶部 12, 12a, 12b とを接続するデータ線や、入力信号制御部 15 及び出力信号制御部 16 と $N \times N$ 個の記憶部 12, 12a, 12b とを接続する信号線などは、図示を省略している。

【0021】

以下、第 1 の実施の形態の画像データ処理装置 10 の動作の一例を説明する。

図 2 は、画像データ処理装置が 4 画素ずつデータを受け取り 4 並列で処理を行う例を示す図である。

【0022】

図 2 では、クロック CK_1 に同期して撮像素子 31 から矢印 A で示されている読み出し順（ラスト走査順）で読み出される画素データが、0 ~ 26 で示されている。画像データ処理装置 10 では、撮像素子 30 でのクロック CK_1 の $1/4$ の速さのクロック CK_2 に同期した動作が行われる。

【0023】

並列化部 11 は、ラスト走査順で撮像素子 31 から読み出される画素データを、図 2 のような 4 つの並列データとして出力する。このとき各並列データは、0, 4, 8, ..., 1, 5, 9, ... のように、ラスト走査順に対して、4 画素ずつ飛び飛びの画素データとなっているため、ライン分割処理部 20 で、各並列データがラスト走査順になるように並べ替えられて、後段の回路部 17 に供給される。

【0024】

図 1 の下側には、画像データ処理装置 10 が 4 画素ずつデータを受け取り 4 並列で処理を行う際の、ライン分割処理部 20 における画素データのライトとリードの制御例が示されている。4 × 4 個の記憶部 12, 12a, 12b に対してライトまたはリードが行われる 8 つの状態の例が示されている。

【0025】

書き込み制御部 13 は、4 × 4 個の記憶部 12, 12a, 12b から、列方向に記憶部を順に選択して、並列化部 11 から 4 画素ずつ並列に入力される画素データを書き込ませる。これにより、まずは撮像素子 31 の水平方向の読み出しラインの画素データが、1 ライン目から順に、列方向に選択された記憶部にライトされる。

【0026】

そして、書き込み制御部 13 は、4 ライン分の画素データのライトが終わると、記憶部の選択方向を、列方向から行方向に切り替えている。また、書き込み制御部 13 は、さらに 4 ライン分の画素データのライトが終わると、記憶部の選択方向を、行方向から列方向に切り替えている。

10

20

30

40

50

【 0 0 2 7 】

読み出し制御部 1 4 は、列方向で記憶部を選択しての 4 ライン目の画素データのライト中に、行方向の 4 個の記憶部を選択し、1 ~ 4 ライン目の画素データのリード（並列読み出し）を開始させる。4 ライン目の画素データのライト完了時には、1 行目の 4 つの記憶部からのリードが完了する（その理由については後述する）。そのため、すぐにその行の記憶部に 5 ライン目の画素データをライトすることができる。これによって、読み出されていない 1 ~ 4 ライン目の画素データが、5 ライン目の画素データによって上書きされ破壊されることを防ぐことができる。

【 0 0 2 8 】

また、読み出し制御部 1 4 は、行方向で記憶部を選択しての 8 ライン目の画素データのライト中に、列方向の 4 個の記憶部を選択し、画素データのリード（並列読み出し）を開始させる。8 ライン目の画素データのライト完了時には、1 列目の 4 つの記憶部からのリードが完了する。そのため、すぐにその列の記憶部に 9 ライン目の画素データをライトすることができる。これによって、読み出されていない 5 ~ 8 ライン目の画素データが、9 ライン目の画素データによって上書きされ破壊されることを防ぐことができる。

【 0 0 2 9 】

撮像素子 3 1 の 9 ライン目以降の画素データに対しても同様の制御が行われる。

以上のような制御によれば、4 x 4 個の記憶部 1 2 , 1 2 a , 1 2 b のうち、記憶部 1 2 a , 1 2 b 以外の記憶部 1 2 は、ライトアクセスとリードアクセスが異なるタイミングで発生する。そのため、記憶部 1 2 には、ライトとリードを共通の端子で行う記憶装置（たとえば、1 R W などの 1 ポート R A M ）が用いられる。一方、4 の倍数ライン目の画素データの書き込み中に指定される最初のアドレスがある記憶部 1 2 a , 1 2 b は、ライトとリードを別々の端子を用いて行う記憶装置（たとえば、1 R 1 W などの 2 ポート R A M ）が用いられる。

【 0 0 3 0 】

これにより、記憶部 1 2 , 1 2 a , 1 2 b を全て、1 R 1 W などの 2 ポート R A M を用いる場合よりも回路面積を削減できる。並列数が多くなるほど、2 ポート R A M の割合を減らせるので、回路面積の削減効果は大きい。また、前のラインのリードが完了していないに関わらず、新たなラインのデータのライトが同じアドレス上で発生することも抑制できるので、前のラインの画素データが上書きされ破壊されてしまうことを防ぐことができる。

【 0 0 3 1 】

以下比較例として、4 画素ずつデータを受け取り 4 並列で処理を行う他の画像データ処理方法の例を示す。

（比較例）

図 3 は、並べ替え処理に用いられる R A M の例を示す図である。

【 0 0 3 2 】

4 画素ずつデータを受け取り、4 並列で処理を行う際に、第 1 の実施の形態の画像データ処理装置 1 0 と異なり、図 3 に示すように、4 つの R A M 4 0 ~ 4 3 を用いる場合を考える。各 R A M 4 0 ~ 4 3 は、撮像素子 3 1 の水平方向の 1 ライン分の画素データを保持する。各 R A M 4 0 ~ 4 3 のビット数 b_1 は 4 画素分である。また、各 R A M 4 0 ~ 4 3 のワード数 w_1 （1 ワードは 4 画素分）は最大の水平方向画素サイズの $1/4$ である。

【 0 0 3 3 】

このような R A M 4 0 ~ 4 3 に対するライト及びリードは、たとえば、以下のようになる。

図 4、図 5 は、4 つの R A M を用いた並べ替え処理の一例の様子を示すタイミングチャートである。

【 0 0 3 4 】

上から、画像データ処理装置 1 0 のクロック、水平同期信号、R A M 4 0 ~ 4 3 へ供給される 4 並列の画素データ（センサ入力 $I N_1 \sim I N_4$ ）、各 R A M 4 0 ~ 4 3 のライト

10

20

30

40

50

及びリード（出力）の様子が示されている。

【 0 0 3 5 】

水平同期信号が L（Low）レベルから H（High）レベルに立ち上がると（タイミング t 1）、撮像素子 3 1 の 1 ライン目の画素データが並列化部 1 1 で並列データとなり、図 4 のようなセンサ入力 I N 1 ~ I N 4 として R A M 4 0 にライトされる。なお、水平同期信号は次のクロックの立ち上がりで L レベルに立ち下がる。すなわち、水平同期信号は、1 クロック周期分のパルス幅をもつパルスである。

【 0 0 3 6 】

撮像素子 3 1 からの 1 ライン目の画素データのリード後、わずかなブランクを挟み水平同期信号のパルスが生成されると（タイミング t 2）、2 ライン目の画素データが、並列化部 1 1 で並列データとなり、図 4 のようなセンサ入力 I N 1 ~ I N 4 として R A M 4 1 にライトされる。

10

【 0 0 3 7 】

タイミング t 3、t 4 でも同様に、水平同期信号のパルスが生成されると、3 ライン目及び 4 ライン目の画素データの R A M 4 2、4 3 へのライトが行われる。ただし、次の 5 ライン目の画素データをライト可能な領域を確保するために、4 ライン目の 1 ワード分の画素データが書き込まれた時点（タイミング t 5）で、1 ~ 4 ライン目の画素データの並列読み出しが開始される。

【 0 0 3 8 】

しかしながら、タイミング t 6 で、5 ライン目の画素データのライトが開始されるとき、R A M 4 0 では、1 ライン目の画素データのリードが完了しておらず、5 ライン目の画素データによって、リードが済んでいないのに上書きされる画素データが発生する。

20

【 0 0 3 9 】

タイミング t 7 に関しても同様に、6 ライン目の画素データのライトが開始されるとき、R A M 4 1 では、2 ライン目の画素データのリードが完了しておらず、6 ライン目の画素データによって、リードが済んでいないのに上書きされる画素データが発生する。

【 0 0 4 0 】

このように、4 つの R A M 4 0 ~ 4 3 を用いた並列データの並べ替え処理では、ライトがリードを追い越してしまうことによるデータの上書きにより、データ破壊が生じる。そのため、R A M の数を、たとえば、2 つ増やすことが考えられるが、回路規模が増加する。また、この比較例のような並べ替え処理では、タイミング t 4 ~ t 6 のように、ライトとリードが同時に発生するため、R A M 4 0 ~ 4 3 は、1 R 1 W などの 2 ポート R A M が用いられる。これによっても回路規模が増加する。このようなデータ破壊は、並列数が 3 以上になると生じやすくなる。

30

【 0 0 4 1 】

これに対して、第 1 の実施の形態の画像データ処理装置 1 0 では、N x N 個の記憶部 1 2、1 2 a、1 2 b を用いて、前述したようなライト及びリードの制御を行うことで、データ破壊の発生を抑制できる。また、記憶部 1 2 a、1 2 b 以外の大部分の記憶部 1 2 に 1 ポート R A M を用いることができる。そのため、並列の画素データの並べ替え時のデータ破壊の発生を小規模な回路で抑制できる。

40

【 0 0 4 2 】

以下、第 2 の実施の形態の画像データ処理装置を説明する。

（第 2 の実施の形態）

図 6 は、第 2 の実施の形態の画像データ処理装置が適用される撮像装置の一例を示す図である。

【 0 0 4 3 】

撮像装置 5 0 は、撮像部 6 0、画像データ処理装置 7 0 を有している。

撮像部 6 0 は、レンズや反射鏡などの撮像光学系 6 1、C C D（Charge Coupled Device）などである撮像素子 6 2、アンプやフィルタ、A D C（Analog to Digital Converter）などを含むアナログフロントエンド 6 3（図 6 では A F E と表記されている）を有する

50

。

【 0 0 4 4 】

画像データ処理装置 7 0 は、たとえば、I S P であり、C P U (Central Processing Unit) 7 1 により各部が制御される。画像データ処理装置 7 0 は、並列データ生成 / 処理部 7 2、色処理部 7 3、他画像処理部 7 4、表示インターフェース (以下表示 I / F と表記する) 7 5、メモリカード I / F 7 6、静止画コーデック部 7 7、D M A (Direct Memory Access) 調停部 7 8、S D R A M (Synchronous Dynamic Random Access Memory) コントローラ 7 9 を有している。また、並列データ生成 / 処理部 7 2、色処理部 7 3、他画像処理部 7 4、表示 I / F 7 5、メモリカード I / F 7 6、静止画コーデック部 7 7 は、D M A コントローラ 7 2 a、7 3 a、7 4 a、7 5 a、7 6 a、7 7 a を有しており、内部バス 8 0 に接続されている。

10

【 0 0 4 5 】

並列データ生成 / 処理部 7 2 は、撮像部 6 0 に接続されており、並列化部 7 2 b、ライン分割処理部 7 2 c、回路部 7 2 d をさらに有している。これらは、たとえば、前述した図 1 の、並列化部 1 1、ライン分割処理部 2 0、回路部 1 7 と同様の機能を行う。回路部 7 2 d は、D M A コントローラ 7 2 a に接続されている。また、回路部 7 2 d としては、たとえば、シェーディング補正部、欠陥画素補正部、ノイズリダクション部、A E (Auto Exposure) / A F (Auto Focus) / A W B (Auto White Balance) 検波部などがある。

【 0 0 4 6 】

色処理部 7 3 は、撮像画像の色に関する処理を行い、他画像処理部 7 4 は、その他の種々画像処理を行う。表示 I / F 7 5 とメモリカード I / F 7 6 は、画像データ処理装置 7 0 と、表示デバイス 8 3 及びメモリカード 8 2 との間で情報の送受信を行う。静止画コーデック部 7 7 は、たとえば、J P E G (Joint Photographic Experts Group) など種々の符号化方式でのエンコードやデコードを行う。D M A 調停部 7 8 は、D M A コントローラ 7 2 a、7 3 a、7 4 a、7 5 a、7 6 a、7 7 a からのデータ転送の要求に対して内部バス 8 0 の使用権の調停を行う。また、D M A 調整部 7 8 は、S D R A M 8 1 を制御する S D R A M コントローラ 7 9 に接続されている。なお並列化部 7 2 b は、撮像部 6 0 に含まれていてもよい。

20

【 0 0 4 7 】

以下、並列データ生成 / 処理部 7 2 のライン分割処理部 7 2 c の一例を説明する。

30

(ライン分割処理部 7 2 c)

図 7 は、ライン分割処理部の一例を示す図である。

【 0 0 4 8 】

ライン分割処理部 7 2 c は、R A M 周辺部 9 0、書き込み制御部 9 1、読み出し制御部 9 2 を有している。

R A M 周辺部 9 0 は、記憶領域 9 0 a、入力信号制御部 9 0 b、出力信号制御部 9 0 c を有している。記憶領域 9 0 a は、生成する並列データの並列数 (N) に対応して、N × N 個の R A M を有している。記憶領域 9 0 a には、並列化部 7 2 b で並列化された N 並列の画素データや、ライトアドレス (W A D) や、リードアドレス (R A D) が入力される。

40

【 0 0 4 9 】

入力信号制御部 9 0 b は、書き込み制御部 9 1 と読み出し制御部 9 2 の制御のもと、行選択信号や列選択信号を生成し、N × N 個の R A M のうち、読み書きを行う記憶部を選択する。

【 0 0 5 0 】

出力信号制御部 9 0 c は、書き込み制御部 9 1 と読み出し制御部 9 2 の制御のもと、N × N 個の R A M のうち適切な N 個を選択し、N 並列の画素データを出力し、後段の回路部 7 2 d に供給する。

【 0 0 5 1 】

書き込み制御部 9 1 は、S T A T E カウント用レジスタ 9 1 a、W E N 生成部 9 1 b、

50

WADカウント用レジスタ91c、比較部91d、WCNTカウント用レジスタ91e、RSTART生成部91fを有する。

【0052】

STATEカウント用レジスタ91aは、水平同期信号HDの立ち上がり回数をカウントし、そのカウント値STATEをライト/リード状態として保持する。たとえば、並列数N=4である場合には、図1に示したように8つのライト/リード状態があり、STATEカウント用レジスタ91aは、3ビットの値を保持する。なお、水平同期信号HDは、たとえば、撮像部60とのI/F部(図示せず)で生成される。

【0053】

WEN生成部91bは、水平同期信号HDの立ち上がりに同期してライトイネーブル信号WENをアサートする。

WADカウント用レジスタ91cは、ライトイネーブル信号WENがアサートされている間、ライトアドレスWADを、画像データ処理装置70の図示しないクロックに同期して、毎サイクルインクリメントする。

【0054】

比較部91dは、ライトアドレスWADと、選択するRAMを切り替えるアドレスの閾値RAMTHとを比較する。そして比較部91dは、ライトアドレスWADが閾値RAMTHに達すると、WCNTカウント用レジスタ91eに対するイネーブル信号をアサートするとともに、WADカウント用レジスタ91cに、ライトアドレスWADの値をリセットさせる。N=4の場合、撮像素子62の1水平方向ラインの画素データが、4つのRAMにライトされる。このとき、各RAMに対して同じコラム(列)アドレスまたはロウ(行)アドレスで4画素並列にライトされる。そのため、閾値RAMTHは、撮像素子62の最大の水平方向画素サイズの1/16の値となる。

【0055】

WCNTカウント用レジスタ91eは、比較部91dがイネーブル信号をアサートするごとにカウント値WCNTをインクリメントする。カウント値WCNTは、ライトが行われるRAMを示す。また、WCNTカウント用レジスタ91eは、N回ライトアドレスWADが閾値RAMTHに達すると1ライン分の書き込みが完了したことになるので、ライトイネーブル信号WENをネゲートさせる。

【0056】

RSTART生成部91fは、カウント値STATEが“0”または“N”のときにリード開始信号RSTARTを生成する。リード開始信号RSTARTは、たとえば、1ショットのパルスである。

【0057】

読み出し制御部92は、REN生成部92a、タイミング調整用カウンタ92b、AND回路92c、RADカウント用レジスタ92d、比較部92e、RCNTカウント用レジスタ92fを有する。

【0058】

REN生成部92aは、リード開始信号RSTARTを受け取ると、リードイネーブル信号RENをアサートする。

タイミング調整用カウンタ92bは、リードイネーブル信号RENがアサートされてから図示しないクロックのNサイクルに1回アサートされ、リードイネーブル信号RENを有効にする信号“1”を送出する。これによって、読み出しのためのRAMアクセスをNサイクルに1回にするタイミングの調整が行われる。

【0059】

AND回路92cは、タイミング調整用カウンタ92bから“1”が出力されているときには、リードイネーブル信号RENの値を出力し、タイミング調整用カウンタ92bから“0”が出力されているときには、“0”を出力する。

【0060】

RADカウント用レジスタ92dは、タイミング調整用カウンタ92bが飽和するタイ

10

20

30

40

50

ミング、つまり、リードイネーブル信号 $R\overline{E}N$ が “ 1 ” を出力するタイミングで、リードアドレス RAD をインクリメントする。

【 0 0 6 1 】

比較部 9 2 e は、リードアドレス RAD と、選択する RAM を切り替えるアドレスの閾値 $RAMTH$ とを比較する。そして比較部 9 2 e は、リードアドレス RAD が閾値 $RAMTH$ に達すると、 $RCNT$ カウント用レジスタ 9 2 f に対するイネーブル信号をアサートするとともに、 RAD カウント用レジスタ 9 2 d に、リードアドレス RAD の値をリセットさせる。

【 0 0 6 2 】

$RCNT$ カウント用レジスタ 9 2 f は、比較部 9 2 e がイネーブル信号をアサートするごとにカウント値 $RCNT$ をインクリメントする。カウント値 $RCNT$ は、リードが行われる RAM を示す。また、 $RCNT$ 用レジスタ 9 2 f は、 N 回、リードアドレス RAD が閾値 $RAMTH$ に達すると読み出しが完了したことになるので、リードイネーブル信号 $R\overline{E}N$ をネゲートさせる。

【 0 0 6 3 】

次に、ライン分割処理部 7 2 c の RAM 周辺部 9 0 の一例を説明する。

(RAM 周辺部 9 0)

図 8 は、並列数 $N = 4$ としたときの、 RAM 周辺部の一例を示す図である。

【 0 0 6 4 】

ライトアドレス WAD 、リードアドレス RAD 、4 並列の画素データ (入力データ DI) については、全ての $RAM100 \sim 115$ に入力され、結線の図示は煩雑となるので省略されている。またそれぞれの $RAM100 \sim 115$ からの出力 $DO0 \sim 15$ の結線の図示も省略されている。

【 0 0 6 5 】

入力信号制御部 9 0 b は、 $STATE$ カウント用レジスタ 9 1 a の 3 ビットのカウンタ値 $STATE$ を入力する。また、入力信号制御部 9 0 b は、 $WCNT$ カウント用レジスタ 9 1 e の 2 ビットのカウンタ値 $WCNT$ 、 $RCNT$ カウント用レジスタ 9 2 f の 2 ビットのカウンタ値 $RCNT$ 、ライトイネーブル信号 $W\overline{E}N$ 、リードイネーブル信号 $R\overline{E}N$ を入力する。入力信号制御部 9 0 b は、これらの信号をもとに、それぞれ 4 ビットの、ライト用の列選択信号 $WSEL_C$ 、行選択信号 $WSEL_L$ 、リード用の列選択信号 $RSEL_C$ 、行選択信号 $RSEL_L$ を生成して出力する。

【 0 0 6 6 】

ライト用の列選択信号 $WSEL_C$ と、リード用の列選択信号 $RSEL_C$ の最上位ビット [3] により、 $RAM100, 104, 108, 112$ が選択され、その次のビット [2] により、 $RAM101, 105, 109, 113$ が選択される。さらに、その次のビット [1] により、 $RAM102, 106, 110, 114$ が選択され、最下位ビット [0] により、 $RAM103, 107, 111, 115$ が選択される。

【 0 0 6 7 】

また、ライト用の行選択信号 $WSEL_L$ と、リード用の行選択信号 $RSEL_L$ の最上位ビット [3] により、 $RAM100, 101, 102, 103$ が選択され、その次のビット [2] により、 $RAM104, 105, 106, 107$ が選択される。さらに、その次のビット [1] により、 $RAM108, 109, 110, 111$ が選択され、最下位ビット [0] により、 $RAM112, 113, 114, 115$ が選択される。

【 0 0 6 8 】

図 9 は、入力信号制御部の入出力信号の関係の例を示す図である。

図 9 では、入力信号制御部 9 0 b への入力 ($input$) として、 $STATE$ カウント用レジスタ 9 1 a の 3 ビットのカウンタ値 $STATE$ が示されている。また、入力信号制御部 9 0 b からの出力 ($output$) として、ライト及びリード用の、列選択信号 $WSEL_C$ 、 $RSEL_C$ 、行選択信号 $WSEL_L$ 、 $RSEL_L$ が示されている。

【 0 0 6 9 】

10

20

30

40

50

たとえば、カウント値 $STATE$ が “ 0 0 1 ” のときは、ライト用の列選択信号 $WSEL_C$ は “ 1 0 0 0 ”、行選択信号 $WSEL_L$ は、カウント値 $WCNT$ となる。また、リード用の列選択信号 $RSEL_C$ は、カウント値 $RCNT$ 、行選択信号 $RSEL_L$ “ 1 1 1 1 ” となる。

【 0 0 7 0 】

これによって、ライト時には、 $RAM100$, 104 , 108 , 112 が、カウント値 $WCNT$ がインクリメントされるごとに順に選択される。またリード時には、 $RAM100 \sim 103$, $104 \sim 107$, $108 \sim 111$, $112 \sim 115$ の順で、カウント値 $RCNT$ がインクリメントされるごとに4つずつ選択される。

【 0 0 7 1 】

なお、列選択信号 $WSEL_C$ と、行選択信号 $WSEL_L$ については、ライトイネーブル信号 WEN との AND 論理がとられ、列選択信号 $RSEL_C$ と、行選択信号 $RSEL_L$ については、リードイネーブル信号 REN との AND 論理がとられて出力される。

【 0 0 7 2 】

一方、図 8 の出力信号制御部 90c は、 $STATE$ カウント用レジスタ 91a のカウント値 $STATE$ の最上位ビットと、 $RAM100 \sim 115$ からの出力 $DO0 \sim DO15$ と、 $RCNT$ カウント用レジスタ 92f のカウント値 $RCNT$ を入力する。そして出力信号制御部 90c は、これらの信号をもとに、4つの並列データ $LINE0$, $LINE1$, $LINE2$, $LINE3$ を出力する。

【 0 0 7 3 】

図 10 は、出力信号制御部の入出力信号の関係の例を示す図である。

図 10 では、出力信号制御部 90c への入力として、 $STATE$ カウント用レジスタ 91a のカウント値 $STATE$ の最上位ビット $STATE[2]$ 及びカウント値 $RCNT$ が示されている。また、出力信号制御部 90c からの出力として、4つの並列データ $LINE0$, $LINE1$, $LINE2$, $LINE3$ が示されている。

【 0 0 7 4 】

カウント値 $STATE$ の最上位ビット $STATE[2]$ が “ 0 ” のときは、図 9 に示したように、リード用の列選択信号 $RSEL_C$ は、カウント値 $RCNT$ となり、行選択信号 $RSEL_L$ は、“ 1 1 1 1 ” となる。

【 0 0 7 5 】

たとえば、カウント値 $RCNT$ が “ 1 0 0 0 ” の場合には、 $RAM100$, 104 , 108 , 112 が選択されることから、図 10 に示すように、並列データ $LINE0 \sim LINE3$ は、出力 $DO0$, $DO4$, $DO8$, $DO12$ の値となる。

【 0 0 7 6 】

一方、カウント値 $STATE$ の最上位ビット $STATE[2]$ が “ 1 ” のときは、図 9 に示したように、リード用の列選択信号 $RSEL_C$ は、“ 1 1 1 1 ” となり、行選択信号 $RSEL_L$ は、カウント値 $RCNT$ となる。

【 0 0 7 7 】

たとえば、カウント値 $RCNT$ が “ 1 0 0 0 ” の場合には、 $RAM100$, 101 , 102 , 103 が選択されることから、図 10 に示すように、並列データ $LINE0 \sim LINE3$ は、出力 $DO0$, $DO1$, $DO2$, $DO3$ の値となる。

【 0 0 7 8 】

以下、記憶領域 90a の一例を説明する。

(記憶領域 90a)

図 11 は、並列数 $N = 4$ としたときの、記憶領域の例を示す図である。

【 0 0 7 9 】

並列数 $N = 4$ とした場合、 $RAM100 \sim 115$ のうち、同一行方向または同一列方向の4つの RAM により、撮像素子 62 の水平方向の1ライン分の画素データを保持する。各 $RAM100 \sim 115$ のビット数 b は4画素分である。また、各 $RAM100 \sim 115$ のワード数 w (1ワードは4画素分) は最大の水平方向画素サイズの $1 / 16$ である。

10

20

30

40

50

【 0 0 8 0 】

なお、図 8 において、RAM 1 0 3 , 1 1 2 は、ライトアクセス中にリードアクセスが発生する RAM であるため、1 R 1 W の 2 ポート RAM が用いられるが、他の RAM については、1 R W の 1 ポート RAM が用いられる。

【 0 0 8 1 】

このように、本実施の形態では、2 種類の RAM が用いられるが、同様に扱えるように、たとえば、以下のような I / F が適用される。

図 1 2 は、1 R W の 1 ポート RAM に用いられる RAM I / F の一例を示す図である。

【 0 0 8 2 】

RAM I / F 1 2 0 は、AND 回路 1 2 1 , 1 2 2 、OR 回路 1 2 3 、インバータ回路 1 2 4 、ビット連結回路 1 2 5 、選択回路 1 2 6 を有している。

AND 回路 1 2 1 の 2 つの入力端子には、ライト用の列選択信号 WSEL__C と行選択信号 WSEL__L が入力される。AND 回路 1 2 2 の 2 つの入力端子には、リード用の列選択信号 RSEL__C と行選択信号 RSEL__L が入力される。OR 回路 1 2 3 の 2 つの入力端子には、AND 回路 1 2 1 , 1 2 2 の出力信号が入力され、OR 回路 1 2 3 の出力信号は、RAM 1 0 0 のチップイネーブル端子 CE に入力される。インバータ回路 1 2 4 には、AND 回路 1 2 1 の出力信号が入力され、インバータ回路 1 2 4 の出力信号は、RAM 1 0 0 のライトイネーブル端子 WE に入力される。

【 0 0 8 3 】

ビット連結回路 1 2 5 は、AND 回路 1 2 1 , 1 2 2 の出力信号を連結して 2 ビットの選択信号を選択回路 1 2 6 に供給する。選択回路 1 2 6 は、ライトアドレス WAD とリードアドレス RAD と値 “ 0 ” を入力し、入力される選択信号が “ 1 0 ” のときにはライトアドレス WAD を出力し、選択信号が “ 0 1 ” のときにはリードアドレス RAD を出力する。また、選択回路 1 2 6 は、選択信号が “ 1 0 ” , “ 0 1 ” 以外の値 def のときには、“ 0 ” を出力する。選択回路 1 2 6 の出力信号は、RAM 1 0 0 のアドレス端子 IA に入力される。その他、RAM 1 0 0 のクロック端子 CK には、図示しないクロック供給部からのクロック SROCK が入力され、ライトデータ入力端子 I には、入力データ DI が入力される。また、RAM 1 0 0 のリードデータ出力端子 A から読み出されたリードデータは、出力信号制御部 9 0 c に供給される。

【 0 0 8 4 】

記憶領域 9 0 a のその他の 1 R W の 1 ポート RAM についても同様の I / F が用いられる。

図 1 3 は、1 R 1 W の 2 ポート RAM に用いられる RAM I / F の一例を示す図である。

【 0 0 8 5 】

RAM I / F 1 3 0 は、AND 回路 1 3 1 , 1 3 2 、選択回路 1 3 3 , 1 3 4 を有している。

AND 回路 1 3 1 の 2 つの入力端子には、ライト用の列選択信号 WSEL__C と行選択信号 WSEL__L が入力される。AND 回路 1 3 2 の 2 つの入力端子には、リード用の列選択信号 RSEL__C と行選択信号 RSEL__L が入力される。AND 回路 1 3 1 の出力信号は、RAM 1 0 3 のライトイネーブル端子 CEIW に入力されるとともに、選択信号として選択回路 1 3 3 に供給される。AND 回路 1 3 2 の出力信号は、RAM 1 0 3 のリードイネーブル端子 CER A に入力されるとともに、選択信号として選択回路 1 3 4 に供給される。

【 0 0 8 6 】

選択回路 1 3 3 は、ライトアドレス WAD と値 “ 0 ” を入力し、入力される選択信号が “ 1 ” のときにはライトアドレス WAD を出力し、選択信号が “ 0 ” のときには “ 0 ” を出力する。選択回路 1 3 3 の出力信号は、RAM 1 0 3 のライトアドレス端子 IW に入力される。

【 0 0 8 7 】

10

20

30

40

50

選択回路 134 は、リードアドレス RAD と値 “ 0 ” を入力し、入力される選択信号が “ 1 ” のときにはリードアドレス RAD を出力し、選択信号が “ 0 ” のときには “ 0 ” を出力する。選択回路 134 の出力信号は、RAM 103 のリードアドレス端子 RA に入力される。

【 0088 】

その他、RAM 103 のライト用クロック端子 CKIW 及びリード用クロック端子 CKRA には、図示しないクロック供給部からのクロック SROCK が入力され、ライトデータ入力端子 I には、入力データ DI が入力される。また、RAM 103 のリードデータ出力端子 A から読み出されたリードデータは、出力信号制御部 90c に供給される。

【 0089 】

1R1W の 2 ポート RAM である RAM 112 についても同様の I/F が用いられる。

図 12、図 13 のような RAM I/F 120, 130 を用いることで、異なるタイプの RAM を同じように扱うことが可能となる。

【 0090 】

次に、本実施の形態のライン分割処理部 72c の動作を説明する。

(ライン分割処理部 72c の動作)

図 14 は、並列データのライト処理の一例の流れを示すフローチャートである。

【 0091 】

書き込み制御部 91 の WEN 生成部 91b は、水平同期信号 HD が H レベルであるか判定し (ステップ S10)、水平同期信号 HD が H レベルである場合には、ライトイネーブル信号 WEN を H レベル (アサート) とする (ステップ S11)。これにより、以下の初期化及びモード遷移処理が開始される。

【 0092 】

ライトイネーブル信号 WEN が H レベルとなると、WAD カウント用レジスタ 91c は、ライトアドレス WAD を “ 0 ” にリセットする (ステップ S12)。その後、STATE カウント用レジスタ 91a は、カウント値 STATE をインクリメントし (ステップ S13)、WCNT カウント用レジスタ 91e は、カウント値 WCNT を “ 0 ” にリセットする (ステップ S14)。なお、カウント値 STATE をインクリメントする度に、たとえば、図 1 に示したようなライトとリードの状態が遷移する。N = 4 の場合には、その状態は図 1 に示したように 8 つある。カウント値 STATE が “ 1 ” のときは、左上の状態 (1 ライン目をライトする状態) になる。

【 0093 】

その後、RSTART 生成部 91f は、カウント値 STATE が “ 0 ” か、並列数 N であるか判定し (ステップ S15)、その何れかである場合には、リード開始信号 RSTART を H レベルとする (ステップ S16)。たとえば、並列数 N = 4 の場合、カウント値 STATE が “ 4 ” または “ 0 ” になると、図 1 に示したように 4 ライン目または 8 ライン目のライトとともに、リードが開始される。

【 0094 】

カウント値 STATE が “ 0 ” でも N でもない場合には、ステップ S18 の処理が行われる。なお、ステップ S10 の処理において、水平同期信号 HD が L レベルの場合には、RSTART 生成部 91f は、リード開始信号 RSTART を L レベルとし (ステップ S17)、その後、ステップ S18 の処理が行われる。

【 0095 】

ステップ S18 の処理では、WAD カウント用レジスタ 91c は、ライトイネーブル信号 WEN が H レベルであるか否か判定する。ライトイネーブル信号 WEN が L レベルである場合には、ステップ S10 からの処理が繰り返される。ライトイネーブル信号 WEN が H レベルである場合には、以下のアドレス計算処理が行われる。

【 0096 】

ライトイネーブル信号 WEN が H レベルである場合、ライトが行われ、比較部 91d は、ライトアドレス WAD が、閾値 RAMTH に達したか否かを判定する (ステップ S19

10

20

30

40

50

）。ライトアドレスWADが閾値RAMTHに達していない状態（ $WAD < RAMTH$ ）である場合には、WADカウント用レジスタ91cは、ライトアドレスWADをインクリメントし（ステップS20）、ライトを継続させる。その後、ステップS10からの処理が繰り返される。

【0097】

ライトアドレスWADが閾値RAMTHに達した場合、 $N \times N$ 個のRAMの1つに対するライトが終わる。そのとき、WCNTカウント用レジスタ91eは、カウント値WCNTが $N - 1$ であるか否かを判定する（ステップS21）。ここでは、各行または各列のN個のRAMに対して、撮像素子62の水平方向1ライン分の画素データのライトを終えたか否かが判定される。

10

【0098】

そして、カウント値WCNTが $N - 1$ である場合には、WCNTカウント用レジスタ91eは、WEN生成部91bにライトイネーブル信号WENをLレベルにさせる（ステップS22）。これによりライトが停止する。カウント値WCNTが $N - 1$ ではない場合には、WCNTカウント用レジスタ91eは、カウント値WCNTをインクリメントする（ステップS23）。これにより、次のRAMが選択される。ステップS22、S23の後、WADカウント用レジスタ91cは、ライトアドレスWADを“0”にリセットする（ステップS24）。その後、ステップS10からの処理が繰り返される。

【0099】

なお、上記の処理中において、たとえば、画像データ処理装置70の電源がオフになると、ライト処理が終了する。

20

図15は、並列データのリード処理の一例の流れを示すフローチャートである。

【0100】

読み出し制御部92のREN生成部92aは、リード開始信号RSTARTがHレベルであるか判定し（ステップS30）、リード開始信号RSTARTがHレベルである場合には、リードイネーブル信号RENをHレベルとする（ステップS31）。これにより、まず、以下の初期化処理が開始される。

【0101】

初期化処理では、RADカウント用レジスタ92dは、リードアドレスRADを“0”にリセットし（ステップS32）、RCNTカウント用レジスタ92fは、カウント値RCNTを“0”にリセットする（ステップS33）。ステップS33の処理後、またはステップS30の処理で、リード開始信号がLレベルであったときには、ステップS34の処理が行われる。

30

【0102】

ステップS34の処理では、RADカウント用レジスタ92dは、リードイネーブル信号RENがHレベルであるか否かを判定する。リードイネーブル信号RENがLレベルである場合には、ステップS30からの処理が繰り返される。リードイネーブル信号RENがHレベルである場合には、以下のアドレス計算処理が行われる。

【0103】

リードイネーブル信号RENがHレベルである場合、比較部92eは、リードアドレスRADが、閾値RAMTHに達したか否かを判定する（ステップS35）。リードアドレスRADが閾値RAMTHに達していない状態（ $RAD < RAMTH$ ）である場合には、タイミング調整用カウンタ92bは、カウント値が $N - 1$ であるか否かを判定する（ステップS36）。カウント値が $N - 1$ である場合、リードを開始させるために、RADカウント用レジスタ92dは、リードアドレスRADをインクリメントし（ステップS37）、タイミング調整用カウンタ92bはカウント値をリセットする（ステップS38）。カウント値が $N - 1$ に達していない場合には、タイミング調整用カウンタ92bは、リードを開始させるタイミングを調整するためのカウント値をインクリメントする（ステップS39）。ステップS38及びステップS39の処理後は、ステップS30からの処理が繰り返される。

40

50

【 0 1 0 4 】

リードアドレスRADが、閾値RAMTHに達した場合、1列または1行のN個のRAMのリードが完了する。このとき、RCNTカウント用レジスタ92fは、カウント値RCNTがN-1であるか否か判定する(ステップS40)。カウント値RCNTがN-1である場合には、N×N個のRAMに対するNライン分のリードが終わる。そのとき、RCNTカウント用レジスタ92fは、REN生成部92aにリードイネーブル信号RENをLレベルにさせる(ステップS41)。カウント値RCNTがN-1に達していない場合には、RCNTカウント用レジスタ92fは、カウント値RCNTをインクリメントする(ステップS42)。ステップS41及びステップS42の処理後は、RADカウント用レジスタ92dは、リードアドレスRADをリセットする(ステップS43)。その後、ステップS30からの処理が繰り返される。これにより、次の行または列のN個のRAMのリードが行われる。

10

【 0 1 0 5 】

なお、上記の処理中において、たとえば、画像データ処理装置70の電源がオフになると、リード処理が終了する。

次に、並列数N=4のときの、ライン分割処理部72cによるデータの並べ替え処理の一例を示す。

【 0 1 0 6 】

図16、図17、図18は、並列数N=4のときのライン分割処理部によるデータの並べ替え処理の一例の様子を示すタイミングチャートである。

20

上から、画像データ処理装置70のクロック、水平同期信号、ライン分割処理部72cに入力される4並列の画素データ(センサ入力IN1~IN4)、各RAM100~115のライト及びリードの様子が示されている。

【 0 1 0 7 】

1クロック周期の水平同期信号のパルスが生成されると(タイミングt10)、撮像素子62から1ライン目の画素データが並列化部72bで並列データとなる。そして、図16に示されるようなセンサ入力IN1~IN4として、まずは列方向のRAM100, 104, 108, 112の順に4画素ずつライトされる。

【 0 1 0 8 】

1ライン目の16画素がライトされ、次に水平同期信号のパルスが生成されると(タイミングt11)、2ライン目の画素データが並列化部72bで並列データとなる。そして、センサ入力IN1~IN4として、2列目のRAM101, 105, 109, 113の順に4画素ずつライトされる。

30

【 0 1 0 9 】

タイミングt12でも同様に、水平同期信号のパルスが生成されると、3ライン目の画素データが、3列目のRAM102, 106, 110, 114の順に4画素ずつライトされる。

【 0 1 1 0 】

タイミングt13において、水平同期信号のパルスが生成されると、4ライン目の画素データが、4列目のRAM103, 107, 111, 115の順に4画素ずつライトされるが、1ワード目のライトが完了した時点でリードが開始される(タイミングt14)。

40

【 0 1 1 1 】

タイミングt14から開始されるリードは、行方向の4個のRAM100~103が同時に選択され、タイミングt14までの間にライトされた画素データが並列にリードされる。

【 0 1 1 2 】

タイミングt15からは、ライト時のRAMの選択方向が列方向から行方向に変わる。タイミングt15において、水平同期信号のパルスが生成されると、5ライン目の画素データが、リードが完了した1行目のRAM100~103に順にライトされる。また、1行目のRAM100~103からのリードが完了すると、連続して2行目のRAM104

50

～ 1 0 7 からのリード、3 行目の R A M 1 0 8 ～ 1 1 1 からのリード、4 行目の R A M 1 1 2 ～ 1 1 5 からのリードが行われる。

【 0 1 1 3 】

タイミング t 1 6 において、水平同期信号のパルスが生成されると、6 ライン目の画素データが、リードが完了した 2 行目の R A M 1 0 4 ～ 1 0 7 に順にライトされる。同様に、タイミング t 1 7 において、水平同期信号のパルスが生成されると、7 ライン目の画素データが、リードが完了した 3 行目の R A M 1 0 8 ～ 1 1 1 に順にライトされる。

【 0 1 1 4 】

タイミング t 1 8 において、水平同期信号のパルスが生成されると、8 ライン目の画素データが、リードが完了した 4 行目の R A M 1 1 2 ～ 1 1 5 に順にライトされる。また、1 ワード目のライトが完了した時点でリードが開始される (タイミング t 1 9) 。

【 0 1 1 5 】

タイミング t 1 9 から開始されるリードは、R A M の選択方向が行方向から列方向に変わり、まず、列方向の 4 個の R A M 1 0 0 , 1 0 4 , 1 0 8 , 1 1 2 が同時に選択され、タイミング t 1 9 までの間にライトされた画素データが並列にリードされる。

【 0 1 1 6 】

一方、4 行目の R A M 1 1 2 ～ 1 1 5 に対するライトが完了し、次に、タイミング t 2 0 において、水平同期信号のパルスが生成されると、9 ライン目の画素データが、リードが完了した 1 列目の R A M 1 0 0 , 1 0 4 , 1 0 8 , 1 1 2 に順にライトされる。つまり、ライトされる R A M の選択方向が、行方向から列方向に変わる。

【 0 1 1 7 】

なお、R A M 1 0 0 , 1 0 4 , 1 0 8 , 1 1 2 のリードが完了すると、連続して 2 列目の R A M 1 0 1 , 1 0 5 , 1 0 9 , 1 1 3 のリードが行われる。

以降も同様のライト及びリードが行われる。

【 0 1 1 8 】

このような処理により、ラスト走査順ではなく飛び飛びの順序であった各並列データ (センサ入力 I N 1 ～ I N 4) のデータの順序が並び変えられる。そして、それぞれがラスト走査順のデータ並びとなる 4 つの並列データ L I N E 0 , L I N E 1 , L I N E 2 , L I N E 3 として出力される。

【 0 1 1 9 】

以上説明してきた、画像データ処理装置 7 0 及び画像データ処理方法によれば、撮像素子 6 2 からリードされるデータを N (2) 並列で処理することができるため、撮像素子 6 2 の動作周波数の 1 / N で処理が可能となる。

【 0 1 2 0 】

また、並列数 N = 4 としても、図 1 6 ～ 図 1 8 に示したように、4 つの R A M のリードが完了してからその R A M に対するライトが行われるため、リードが完了していないにも関わらず、データを上書きしてしまうということがない。

【 0 1 2 1 】

なお、図 1 6 ～ 図 1 8 などでは、撮像素子 6 2 からのリードにおいて、ラインとラインの間の期間 (ブランク) を、最小の 1 サイクル (クロック 1 周期分) として説明したが、実際の撮像素子 6 2 からのリードでは、数 1 0 サイクル以上のブランクが含まれる。リードは一度スタートすると各ラインのライトタイミングに関係なく、図 1 6 ～ 図 1 8 に示したように水平画素サイズ分のサイクルをかけて一気に実行される。ブランクのサイクル数によっては、図 1 6 ～ 図 1 8 に示したよりも早いタイミングでリードが完了するが、最小のブランクでも図 1 6 ～ 図 1 8 に示したように、ライトがリードを追い越すことはないのでデータの上書きによる破壊は起こらない。

【 0 1 2 2 】

また、たとえば、N = 4 のときは、図 8、図 1 1 などに示したように 4 × 4 の R A M 1 0 0 ～ 1 1 5 は、4 ライン分の画素データを保持できる容量をもつ。そのため、データ破壊を回避するために、6 ライン分の画素データを保持するような R A M を用いる場合より

10

20

30

40

50

も R A M 容量の増加を抑えられる。

【 0 1 2 3 】

また、図 1 6 ~ 図 1 8 に示したように、R A M 1 0 3 と R A M 1 1 2 以外の R A M では、ライトとリードが独立して行われている。R A M 1 0 3 と R A M 1 1 2 は、ライトアクセスの際にリードアクセスが生じるため、1 R 1 W のような 2 ポート R A M が用いられるが、その他の R A M には 1 R W のような 1 ポート R A M を用いることができる。1 ポート R A M は、2 ポート R A M に比べて面積がかなり小さいため、面積の増加を抑えることができる。

【 0 1 2 4 】

なお、図 1 6 ~ 図 1 8 では、リードは 4 , 8 ライン目のライトに対して、1 サイクル遅れて開始されているが、数サイクル遅れて開始されることも考えられる。その場合、たとえば、リードが、図 1 7 に示したタイミング t 1 5 で終了せず、R A M 1 0 3 , 1 1 2 以外でもライトとリードの同時アクセスが発生する可能性がある。しかし、前述したブランクがライトとリードの開始タイミングのずれ分のサイクル数よりも大きければ、そのような R A M のライトとリードの同時アクセスは発生しない。ライトとリードの開始タイミングのずれは 1 ワード分のライトを待つだけの数サイクル分である (図 1 6 ~ 図 1 8 では 1 サイクル分) 。もともと他の回路での処理のために、ブランクは数 1 0 サイクルである。

【 0 1 2 5 】

このため、R A M 1 0 3 , 1 1 2 以外の R A M ではライトとリードの同時アクセスは発生しないものとして行うことができる。

このように、本実施の形態の画像データ処理装置 7 0 及び画像データ処理方法によれば、小規模な回路で画素データを適切に並列化できる。

【 0 1 2 6 】

R A M に関してはプロセスによりサイズが異なるが、一例として 6 5 n m テクノロジー、水平方向最大サイズ = 6 7 8 4 画素、1 画素 = 1 4 ビットとしたとき、1 ライン分の 1 R 1 W の容量は 7 M バイトである。たとえば、2 並列処理を行う場合に、2 ライン分の 1 R 1 W の R A M を用いると、 $7 \times 2 = 1 4$ M バイトの容量となる。4 並列処理を行う場合に、データ破壊を回避するために、6 ライン分の画素データを保持するように、1 R 1 W の R A M を 6 つ使用すると、 $7 \times 6 = 4 2$ M バイトの容量となる。

【 0 1 2 7 】

これに対し、本実施の形態の画像データ処理装置 7 0 において 4 並列処理を行う場合、R A M 1 0 0 ~ 1 1 5 は、それぞれ 1 / 4 ライン分の画素データを保持し、容量は 1 R 1 W の R A M で 1 . 7 M バイト、1 R W の R A M で 0 . 9 M バイトとなる。前述したように 1 6 個の R A M 1 0 0 ~ 1 1 5 のうち、R A M 1 0 3 , 1 1 2 以外は、1 R W の R A M を適用できるので、トータルの容量は、 $1 . 7 \times 2 + 0 . 9 \times 1 4 = 1 6$ M バイトとなる。このように、1 R 1 W の R A M を 6 つ使用する場合よりも大幅に、R A M 容量を削減でき、面積を小さくすることができる。また、2 並列処理を行うために、2 ライン分の 1 R 1 W の R A M を使う場合に対しても、4 並列処理を行っても、本実施の形態の画像データ処理装置 7 0 によれば 1 4 % の容量増加に抑えることができる。

【 0 1 2 8 】

以上、実施の形態に基づき、本発明の画像データ処理装置及び画像データ処理方法の一観点について説明してきたが、これらは一例にすぎず、上記の記載に限定されるものではない。

【 0 1 2 9 】

たとえば、上記では、N 並列処理の例として、主に N = 4 の場合について説明したが、N = 2 , 3 でも N = 5 でも同様に、本発明を適用できる。

以下に N = 3 の場合、すなわち画像データ処理装置 7 0 が 3 画素ずつデータを受け取り 3 並列で処理を行う際の、ライン分割処理部 7 2 c における画素データのライトとリードの制御例を説明する。

【 0 1 3 0 】

図 19 は、 3×3 個の RAM に対するライトとリードの制御例を示す図である。

図 19 には、 3×3 個の RAM に対してライトまたはリードが行われる 6 つの状態の例が示されている。状態は、前述したカウント値 STATE の値で表されている。

【0131】

3×3 個の RAM 150 の各列または各行の 3 つの RAM 150 により、撮像素子 62 の 1 ライン分の画素データが保持できる。

書き込み制御部 91 は、 3×3 個の RAM 150 から、列方向に RAM 150 を順に選択して、並列化部 72b から 3 画素ずつ並列に入力される画素データを書き込ませる。これにより、まずは撮像素子 62 の水平方向の読み出しラインの画素データが、1 ライン目から順に、列方向に選択された RAM 150 にライトされる。

10

【0132】

そして、書き込み制御部 91 は、3 ライン分の画素データのライトが終わると、RAM 150 の選択方向を、列方向から行方向に切り替えている。また、書き込み制御部 91 は、さらに 3 ライン分の画素データのライトが終わると、RAM 150 の選択方向を、行方向から列方向に切り替える。

【0133】

読み出し制御部 92 は、列方向で RAM 150 を選択しての 3 ライン目の画素データのライト中 (STATE = 3) に、行方向の 3 個の RAM 150 を選択し、1 ~ 3 ライン目の画素データのリードを開始させる。3 ライン目の画素データのライト完了時には、1 行目の 3 つの RAM からのリードを完了させる。そのため、すぐにその行の RAM 150 に 4 ライン目の画素データをライトすることができる。

20

【0134】

また、読み出し制御部 92 は、行方向で RAM 150 を選択しての 6 ライン目の画素データのライト中 (STATE = 0) に、列方向の 3 個の RAM 150 を選択し、画素データのリードを開始させる。6 ライン目の画素データのライト完了時には、1 列目の 3 つの RAM 150 からのリードが完了する。そのため、すぐにその列の RAM 150 に 7 ライン目の画素データをライトすることができる。

【0135】

撮像素子 62 の 7 ライン目以降の画素データに対しても同様の制御が行われる。

以上のような制御によれば、 3×3 個の RAM 150 のうち、カウント値 STATE = 3, 0 でライトアクセスとリードアクセスが同じタイミングで行われる RAM 150a, 150b 以外の RAM 150 は、ライトとリードが異なるタイミングで行われる。そのため、RAM 150a, 150b 以外の RAM 150 は、1 RW などの 1 ポート RAM を用いることができるため、回路面積を小さくできる。また、前のラインのリードが完了していないにも関わらず、新たなラインのデータのライトが同じアドレス上で発生することも抑制できるので、前のラインの画素データが上書きされてしまうことを防ぐことができる。

30

【符号の説明】

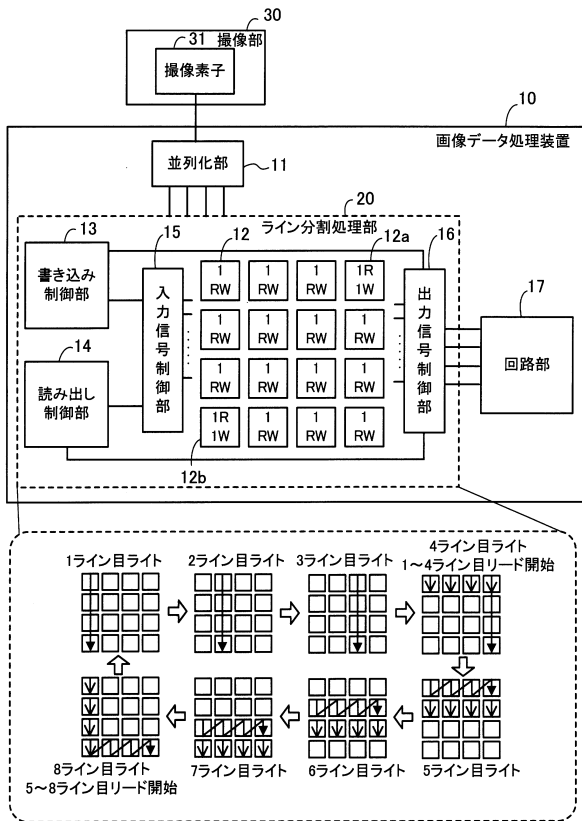
【0136】

- 10 画像データ処理装置
- 11 並列化部
- 12, 12a, 12b 記憶部
- 13 書き込み制御部
- 14 読み出し制御部
- 15 入力信号制御部
- 16 出力信号制御部
- 17 回路部
- 20 ライン分割処理部
- 30 撮像部
- 31 撮像素子

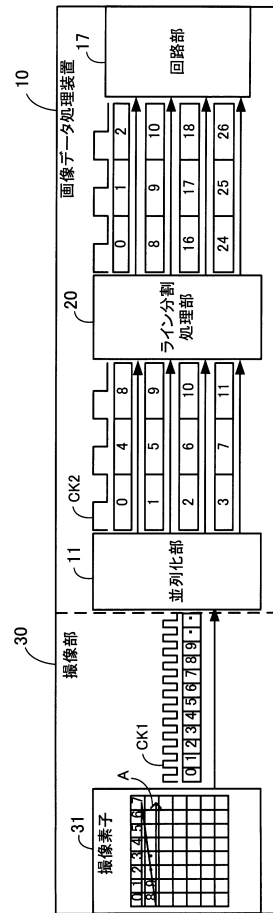
40

50

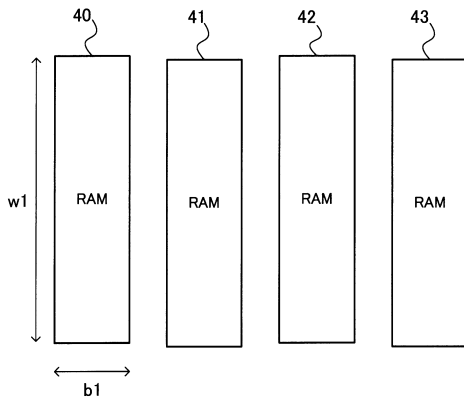
【図 1】



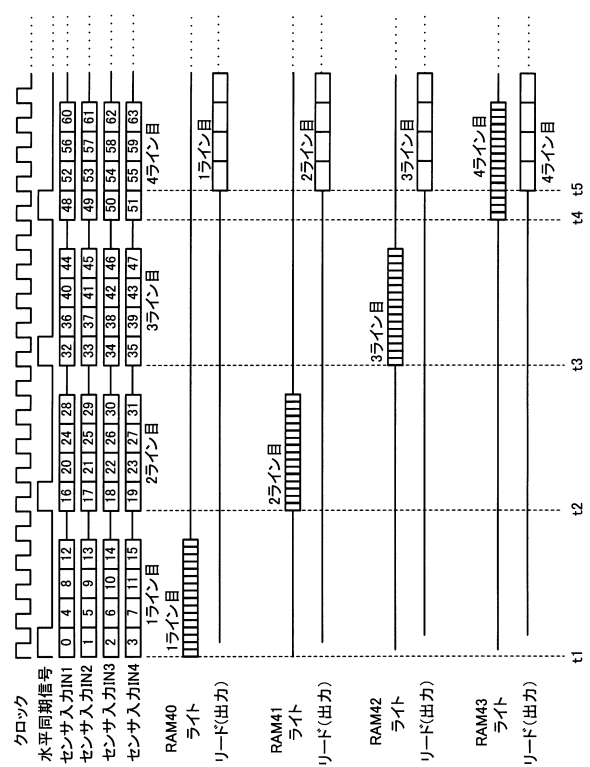
【図 2】



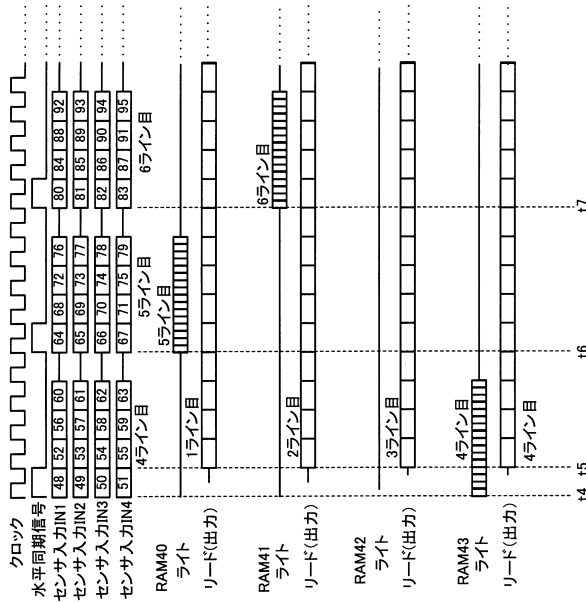
【図 3】



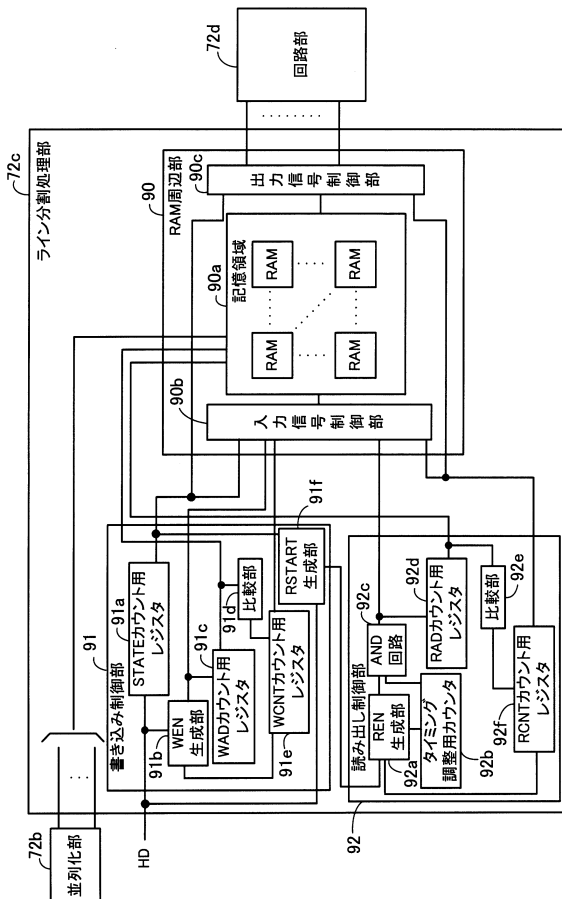
【図 4】



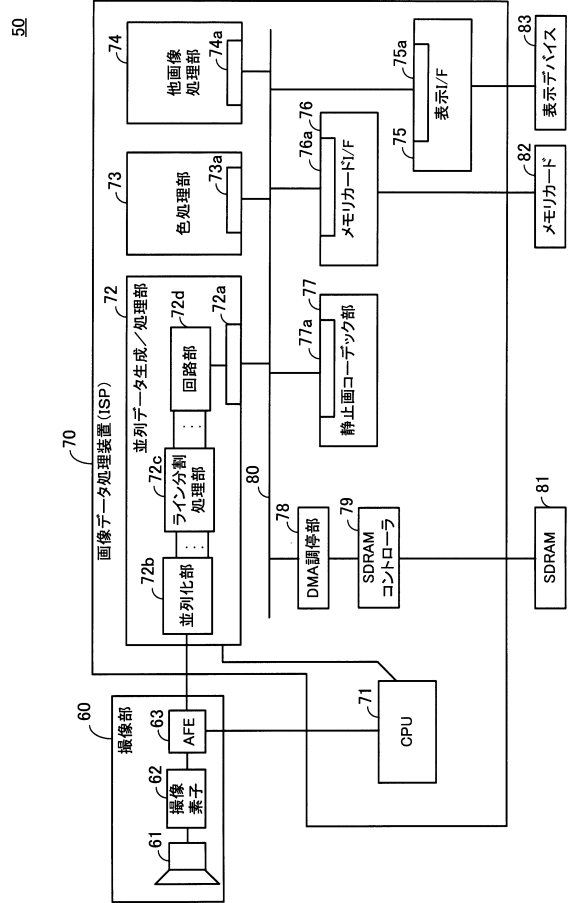
【図 5】



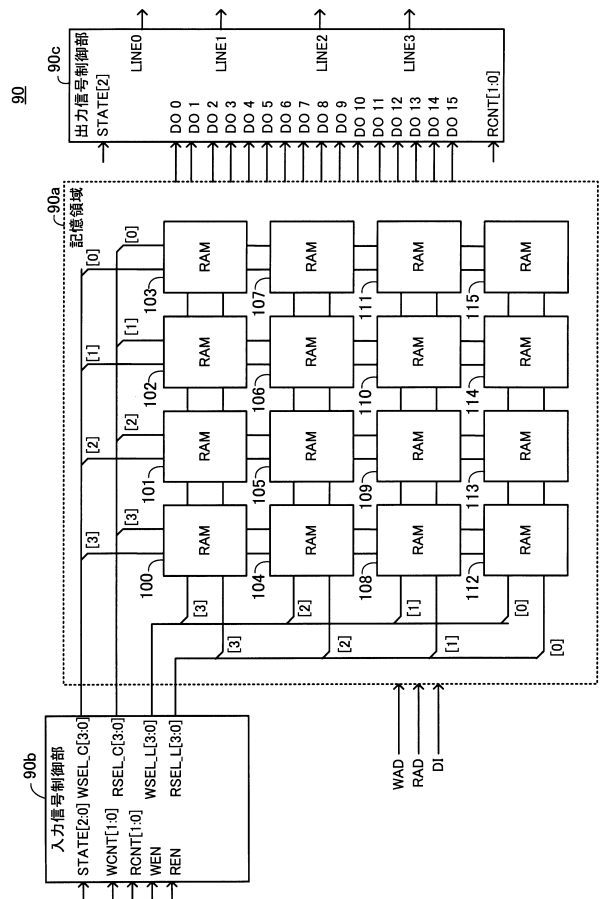
【図 7】



【図 6】



【図 8】



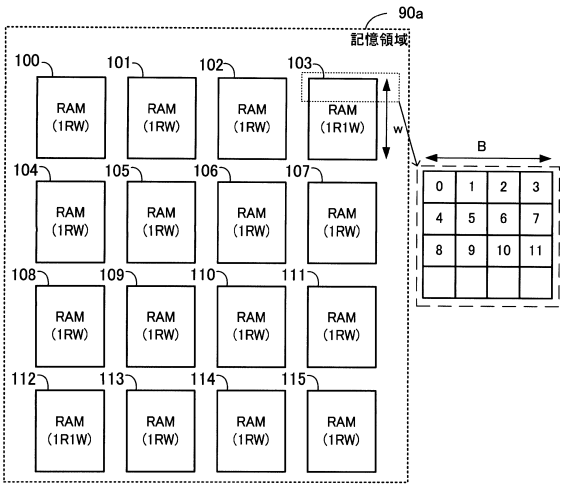
【図 9】

input		output			
STATE	WSEL_C	WSEL_L	RSEL_C	RSEL_L	
001	1000	WCNT	RCNT	1111	
010	0100	WCNT	RCNT	1111	
011	0010	WCNT	RCNT	1111	
100	0001	WCNT	1111	RCNT	
101	WCNT	1000	1111	RCNT	
110	WCNT	0100	1111	RCNT	
111	WCNT	0010	1111	RCNT	
000	WCNT	0001	RCNT	1111	

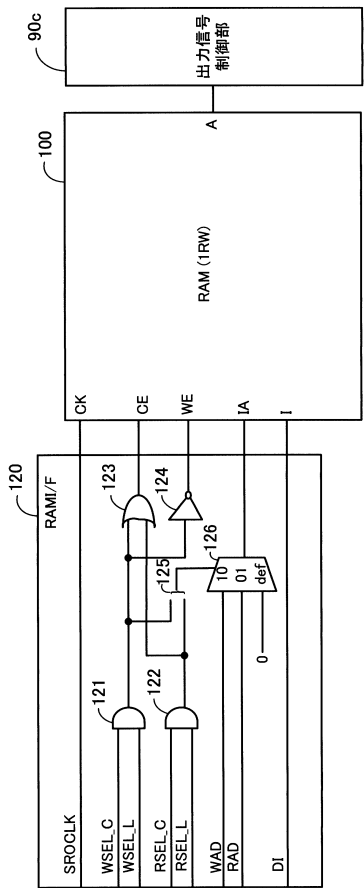
【図 10】

input		output				
RCNT	STATE[2]	LINE0	LINE1	LINE2	LINE3	
1000	0	DO0	DO4	DO8	DO12	
0100	0	DO1	DO5	DO9	DO13	
0010	0	DO2	DO6	DO10	DO14	
0001	0	DO3	DO7	DO11	DO15	
1000	1	DO0	DO1	DO2	DO3	
0100	1	DO4	DO5	DO6	DO7	
0010	1	DO8	DO9	DO10	DO11	
0001	1	DO12	DO13	DO14	DO15	

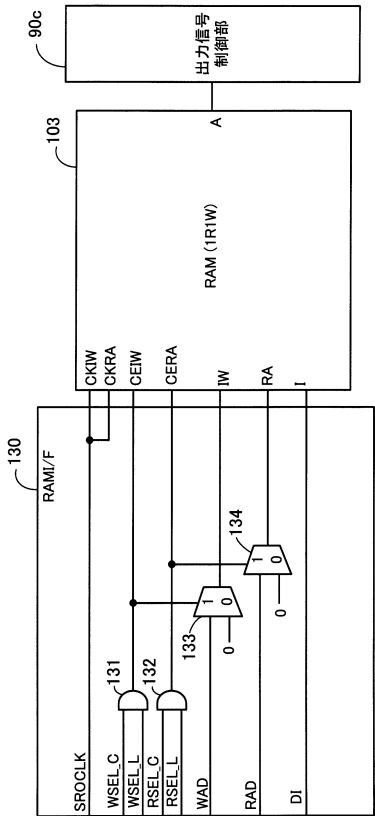
【図 11】



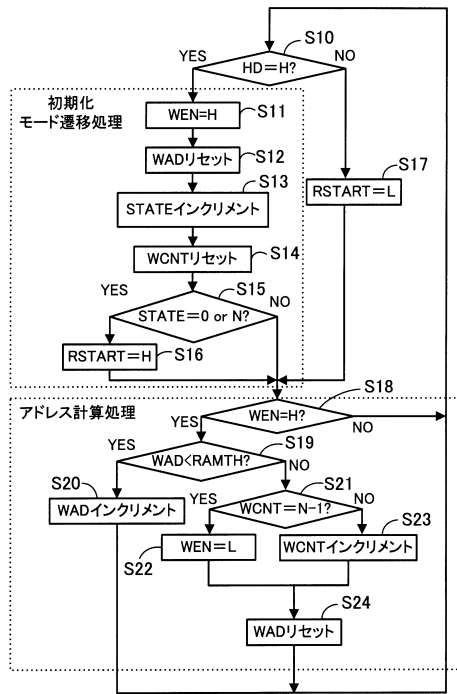
【図 12】



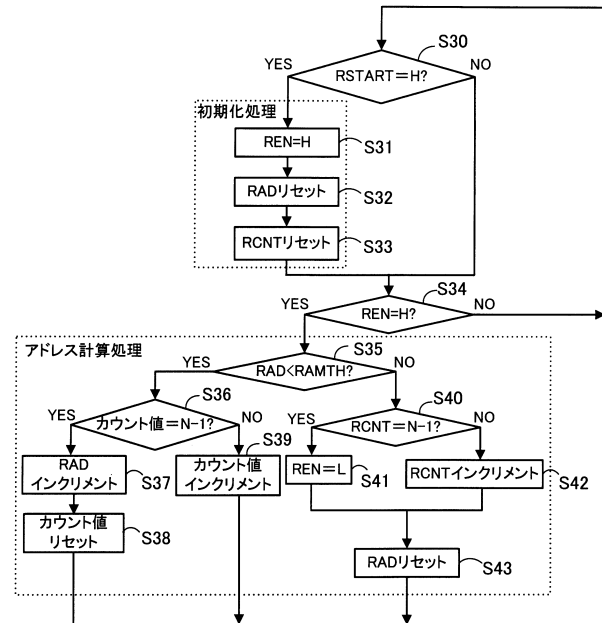
【図 13】



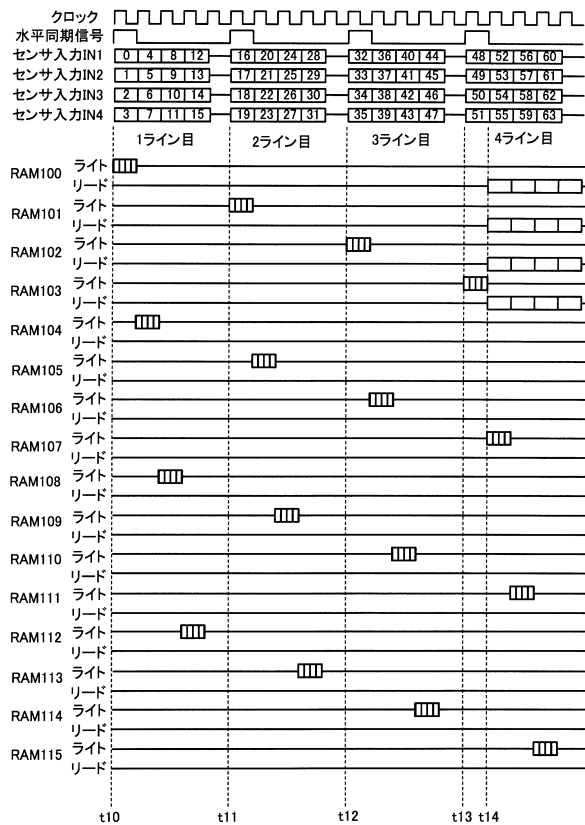
【図 14】



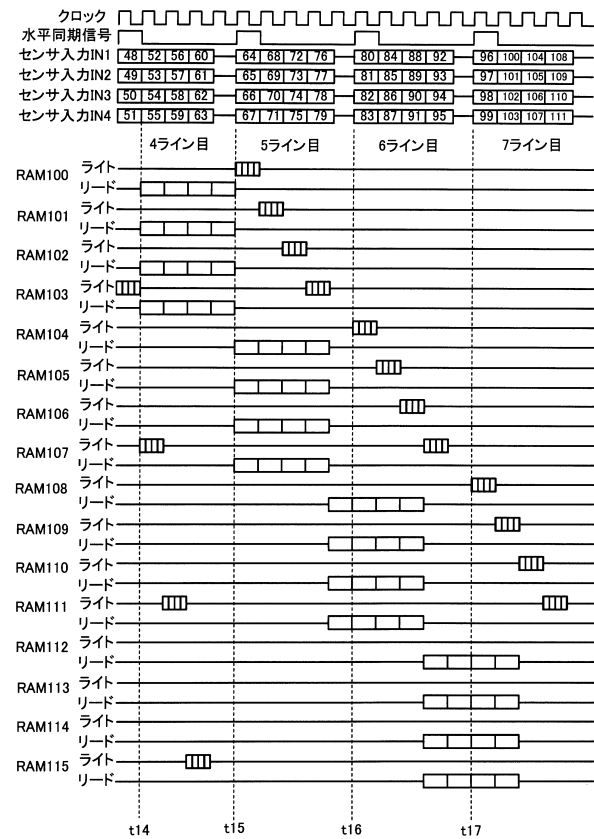
【図 15】



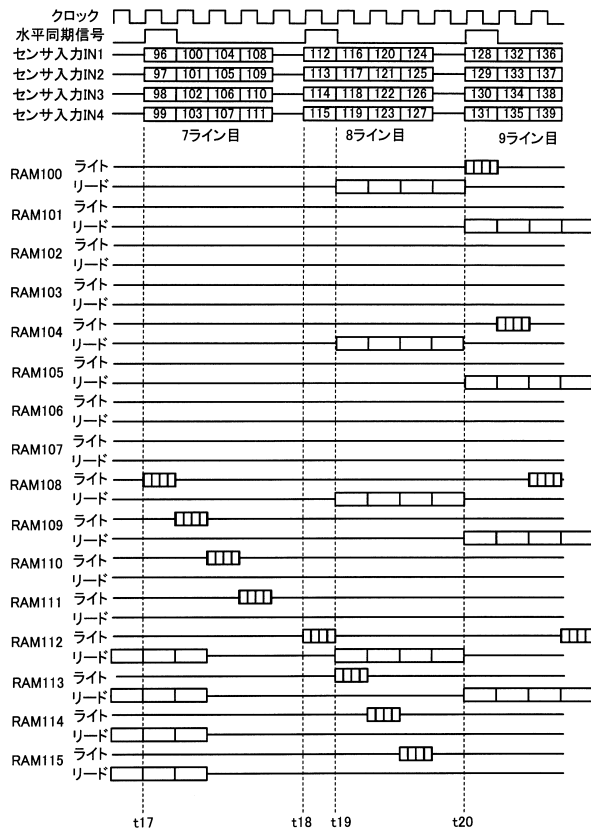
【図 16】



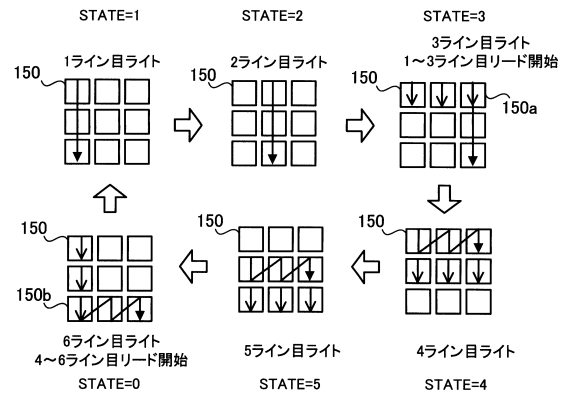
【図 17】



【図18】



【図19】



フロントページの続き

(56)参考文献 特開平 0 3 - 0 6 9 0 9 0 (J P , A)
特開平 0 6 - 1 8 9 0 8 0 (J P , A)
特開平 1 1 - 1 4 5 8 5 1 (J P , A)

(58)調査した分野(Int.Cl. , D B 名)
G 0 6 T 1 / 0 0 - 9 / 4 0