

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2021年7月15日(15.07.2021)



(10) 国際公開番号

WO 2021/140664 A1

(51) 国際特許分類:

H01L 23/12 (2006.01) H01L 39/02 (2006.01)

H01L 23/14 (2006.01) H05K 1/02 (2006.01)

(21) 国際出願番号: PCT/JP2020/000733

(22) 国際出願日: 2020年1月10日(10.01.2020)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(71) 出願人: 日本電気株式会社 (NEC CORPORATION) [JP/JP]; 〒1088001 東京都港区芝五丁目7番1号 Tokyo (JP).

(72) 発明者: 渡辺 秀 (WATANABE Suguru); 〒1088001 東京都港区芝五丁目7番1号 日本電気株式会社内 Tokyo (JP). 西教徳(NISHI

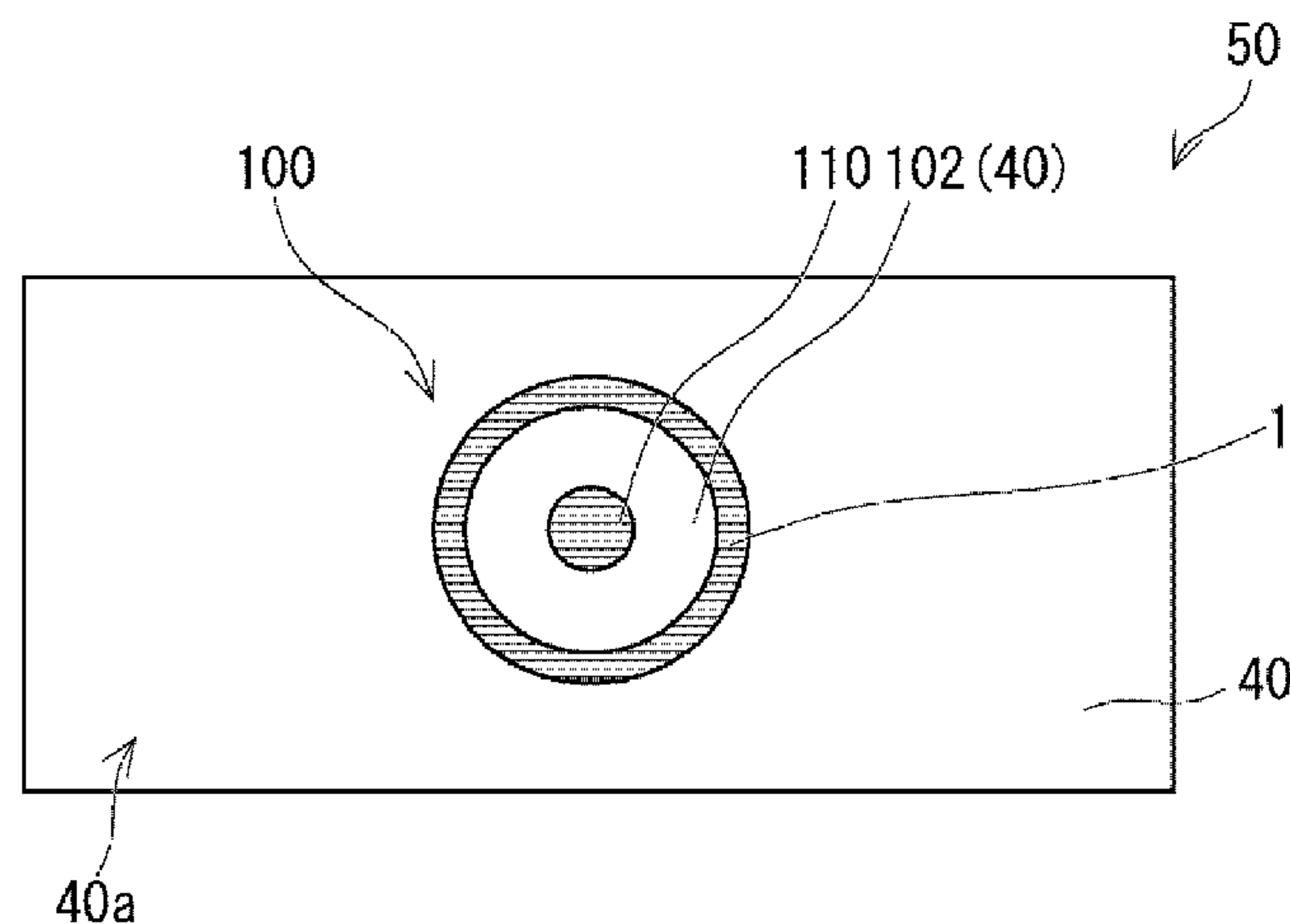
Takanori); 〒1088001 東京都港区芝五丁目7番1号 日本電気株式会社内 Tokyo (JP).

(74) 代理人: 家入 健(IEIRI Takeshi); 〒2210835 神奈川県横浜市神奈川区鶴屋町三丁目3番8 アサヒビルディング5階 響国際特許事務所 Kanagawa (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ,

(54) Title: WIRING BOARD AND PRODUCTION METHOD FOR SAME

(54) 発明の名称: 配線基板及びその製造方法



(57) Abstract: Provided is a wiring board that makes it possible to achieve a through electrode that has an insulating layer that has low dielectric loss. A wiring board (50) that includes a silicon board (40) that is formed from silicon and has an electrical resistivity of at least $1000 \Omega \cdot \text{cm}$ and a through electrode (100) that is formed in the silicon board (40). The through electrode (100) is formed from a center conductor (110) that passes through the silicon board (40) and an exterior conductor (120, 130, 140) that is formed around the center conductor (110). The center conductor (110) and the exterior conductor (120, 130, 140) are electrically insulated from each other by the silicon board (40).

(57) 要約: 誘電損失の小さな絶縁層を有する貫通電極を実現可能な配線基板を提供する。配線基板(50)は、電気抵抗率が $1000 \Omega \cdot \text{cm}$ 以上であるシリコンで形成されたシリコン基板(40)と、シリコン基板(40)に形成された貫通電極(100)とを有する。貫通電極(100)は、シリコン基板(40)を貫通する中心導体(110)と、中心導体(110)の周囲に形成された外部導体(120, 130, 140)とによって形成されている。中心導体(110)と外部導体(120, 130, 140)との間は、シリコン基板(40)によって電氣的に絶縁されている。

[続葉有]

NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT,
QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL,
ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG,
US, UZ, VC, VN, WS, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保
護が可能): ARIPO (BW, GH, GM, KE, LR, LS,
MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM,
ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ,
TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ,
DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT,
LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS,
SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM,
GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類 :

一 国際調査報告 (条約第21条(3))

明 細 書

発明の名称：配線基板及びその製造方法

技術分野

[0001] 本発明は、配線基板及びその製造方法に関する。

背景技術

[0002] 基板の表面と裏面とを電氣的に接続するための貫通電極（TSV（Through Silicon Via）等）が知られている。ここで、高周波信号を扱う回路では、電磁界の漏えい及びそれに伴うクロストークを抑制するため、貫通電極は、中心導体と中心導体の周囲の外部導体とで構成される、同軸型TSVとなっていることがある。なお、「同軸型」とは、中心導体と外部導体とが同心である場合に限られない。

[0003] この技術に関連し、特許文献1は、同軸線等の信号伝送素子を開示している。特許文献1にかかる信号伝送素子において、第1導体及び第2導体は、間にリング状の誘電体層（絶縁層）を挟んで、同軸状に配置されている。絶縁層は、有機Si化合物及びSi微粒子を反応させて非晶質シリカ（ SiO_2 ）によって、完全に埋めた構造となっている。

[0004] また、特許文献2は、貫通基板ビア構造を含む基板を備える装置を開示する。特許文献2にかかる装置は、基板に配置された外側導電層と、外側絶縁層と、内側絶縁層と、内側導電層とを有する。外側絶縁層は、外側導電層と基板とを分離するように基板に配置されている。内側絶縁層は、内側導電層と外側導電層とを分離するように基板に配置されている。

先行技術文献

特許文献

[0005] 特許文献1：特許第5401617号公報

特許文献2：特許第5568644号公報

発明の概要

発明が解決しようとする課題

[0006] 上述した特許文献では、同軸型TSVの絶縁層にSiO₂又は樹脂を用いているため、同軸型TSVにおける誘電損失が大きすぎるおそれがある。したがって、特に高周波信号が同軸型TSV（貫通電極）を伝送する場合には問題となるおそれがある。例えば、超伝導量子回路では、誘電損失によってコヒーレンス時間が短くなるおそれがある。

[0007] 本開示の目的は、このような課題を解決するためになされたものであり、誘電損失の小さな絶縁層を有する貫通電極を実現可能な配線基板及びその製造方法を提供することにある。

課題を解決するための手段

[0008] 本開示にかかる配線基板は、電気抵抗率が1000Ω・cm以上であるシリコンで形成されたシリコン基板と、前記シリコン基板に形成された貫通電極とを有し、前記貫通電極は、前記シリコン基板を貫通する中心導体と、前記中心導体の周囲に形成された外部導体とによって形成されており、前記中心導体と前記外部導体との間は、前記シリコン基板によって電氣的に絶縁されている。

[0009] また、本開示にかかる配線基板の製造方法は、電気抵抗率が1000Ω・cm以上であるシリコンで形成されたシリコン基板の第1の面を表面加工することによって、貫通電極の中心導体のための非貫通穴を形成し、めっきによって前記非貫通穴に導体を充填することで、前記中心導体を形成し、前記シリコン基板の前記第1の面とは反対側の面である第2の面を少なくとも表面加工することにより、前記中心導体の周囲に前記貫通電極の外部導体のための穴である少なくとも1つの外部導体用穴を形成し、めっきによって前記外部導体用穴に導体を充填することで、前記外部導体を形成し、前記第2の面において前記中心導体が露出するように、前記第2の面を表面加工する。

発明の効果

[0010] 本開示によれば、誘電損失の小さな絶縁層を有する貫通電極を実現可能な配線基板及びその製造方法を提供できる。

図面の簡単な説明

[0011] [図1]超伝導回路装置を示す図である。

[図2]本実施の形態にかかる配線基板の構造を示す図である。

[図3]実施の形態1にかかる配線基板を示す図である。

[図4]実施の形態1にかかる配線基板の製造方法を示す図である。

[図5]実施の形態1にかかる配線基板の製造方法を示す図である。

[図6]実施の形態1にかかる配線基板の製造方法を示す図である。

[図7]実施の形態1にかかる配線基板の製造方法を示す図である。

[図8]実施の形態1にかかる配線基板の製造方法を示す図である。

[図9]実施の形態1にかかる配線基板の製造方法を示す図である。

[図10]実施の形態1にかかる配線基板の製造方法を示す図である。

[図11]実施の形態1にかかる配線基板の製造方法を示す図である。

[図12]実施の形態2にかかる配線基板を示す図である。

[図13]実施の形態2にかかる外部導体が図12に示す形状とすることの効果
を説明するための図である。

[図14]実施の形態2にかかる外部導体が図12に示す形状とすることの効果
を説明するための図である。

[図15]実施の形態2にかかる外部導体が図12に示す形状とすることの効果
を説明するための図である。

[図16]実施の形態2にかかる外部導体が図12に示す形状とすることの効果
を説明するための図である。

[図17]実施の形態2にかかる貫通電極の実装例を説明するための図である。

[図18]実施の形態2にかかる貫通電極の実装例を説明するための図である。

[図19]実施の形態2にかかる貫通電極の実装例を説明するための図である。

[図20]実施の形態3にかかる配線基板を示す図である。

[図21]実施の形態3にかかる配線基板の製造方法を示す図である。

[図22]実施の形態3にかかる配線基板の製造方法を示す図である。

[図23]実施の形態3にかかる配線基板の製造方法を示す図である。

[図24]実施の形態3にかかる配線基板の製造方法を示す図である。

[図25]実施の形態3にかかる配線基板の製造方法を示す図である。

[図26]実施の形態3にかかる配線基板の製造方法を示す図である。

[図27]実施の形態3にかかる配線基板の製造方法を示す図である。

[図28]実施の形態3にかかる配線基板の製造方法を示す図である。

[図29]実施の形態3にかかる配線基板の製造方法を示す図である。

[図30]実施の形態3にかかる配線基板の製造方法を示す図である。

[図31]本実施の形態にかかる配線基板の製造方法を示すフローチャートである。

発明を実施するための形態

[0012] (本開示にかかる実施の形態の概要)

本開示の実施形態の説明に先立って、本開示にかかる実施の形態の概要について説明する。図1は、超伝導回路装置1を示す図である。図1は、超伝導回路装置1の側面から見た断面図である。超伝導回路装置1は、例えば、量子計算機である。超伝導回路装置1は、超伝導回路実装構造2と、読み出し部3と、制御部4とを有する。超伝導回路実装構造2は、量子回路チップ20と、シリコン基板40とを有する。量子回路チップ20と、シリコン基板40とは、フリップチップ接続によって接続されている。

[0013] 読み出し部3及び制御部4は、300K（K：ケルビン）程度の室温下で使用される。一方、超伝導回路実装構造2（量子回路チップ20及びシリコン基板40）は、10mK程度の極低温に冷却される。具体的には、シリコン基板40は、コールドステージ（図示せず）に熱的に接触している。コールドステージは、10mK程度に冷却された、冷凍機のステージである。これにより、超伝導回路実装構造2は、10mK程度の極低温に冷却され得る。

[0014] 量子回路チップ20は、超伝導材料を用いた量子回路22を有する。量子回路22は、量子回路チップ20の表面20a（おもて面；シリコン基板40と対向する面）に形成されている。また、量子回路チップ20の表面20aには、導電部である電極24（24A，24B）が形成されている。電極

24は、量子回路チップ20のグラウンド電極である。

[0015] 量子回路22は、複数の超伝導量子ビットが集積された超伝導量子回路である。量子回路22は、10 mK程度の極低温で超伝導状態となる超伝導材料で形成されている。各超伝導量子ビットは、共振器を用いて構成されている。ここで、量子回路22を動作させる温度は、100 mK以下であることが好ましく、100 mK以下であれば温度は低いほど好ましい。例えば、量子回路22は、10 mK程度の極低温に冷却して動作される。

[0016] シリコン基板40は、シリコン基板である。ここで、シリコン基板40は、電気抵抗率が1000 $\Omega \cdot \text{cm}$ 以上であるシリコンで形成された高抵抗シリコン基板である。シリコン基板40の表面40a（おもて面；量子回路チップ20と対向する面）には、導電部である電極42（42A, 42B）及び電極44（44A, 44B）が形成されている。電極44は、シリコン基板40のグラウンド電極である。また、後述するように、電極42と量子回路22とが、キャパシティブ結合12又はインダクティブ結合14によって、非接触に結合されている。

[0017] シリコン基板40の裏面40bは、コールドステージと熱的に接触している。また、シリコン基板40の裏面40bには、導電部である電極46（46A, 46B）及び電極48（48A, 48B）が形成されている。電極48A, 48Bは、シリコン基板40のグラウンド電極である。電極46A及び電極48Aは、配線30を介して読み出し部3と電氣的に接続されている。また、電極46B及び電極48Bは、配線30を介して制御部4と電氣的に接続されている。なお、配線30は、例えば同軸ケーブルである。

[0018] また、シリコン基板40には、シリコン基板40を貫通する貫通電極100が形成されている。具体的には、電極42Aと電極46Aとの間及び電極42Bと電極46Bとの間には、貫通電極100が形成されている。同様に、電極44Aと電極48Aとの間及び電極44Bと電極48Bとの間には、貫通電極100が形成されている。貫通電極100は、例えば同軸TSVである。このように、シリコン基板40と、貫通電極100と、電極42, 4

4, 46, 48とによって、配線基板50が構成されている。言い換えると、配線基板50は、シリコン基板40と、貫通電極100とを少なくとも有する。

[0019] 量子回路チップ20の表面20aに形成された電極24と、シリコン基板40の表面40aに形成された電極44とが、バンプ10で接続されている。つまり、量子回路チップ20の表面20aに形成された電極24Aと、シリコン基板40の表面40aに形成された電極44Aとが、バンプ10Aで接続されている。同様に、量子回路チップ20の表面20aに形成された電極24Bと、シリコン基板40の表面40aに形成された電極44Bとが、バンプ10Bで接続されている。

[0020] また、量子回路チップ20の表面20aに形成された量子回路22の導電部と、シリコン基板40の表面40aに形成された電極42Bとが対向している。そして、量子回路22と電極42Bとの間に存在する相互インダクタンスを介して、量子回路22と電極42Bとは、インダクティブ結合14によって結合している。ここで、インダクティブ結合とは、上記の相互インダクタンスを介した非接触の結合のことである。

[0021] また、量子回路チップ20の表面20aに形成された量子回路22の別の導電部と、シリコン基板40の表面40aに形成された電極42Aとが対向している。そして、量子回路22と電極42Aとの間に存在するキャパシタンスを介して、量子回路22と電極42Aとは、キャパシティブ結合12によって結合している。ここで、キャパシティブ結合とは、上記のキャパシタンスを介した非接触の結合のことである。

[0022] そして、シリコン基板40の裏面40bの電極46, 48に読み出し部3及び制御部4を接続することにより、量子回路22の制御及び読み出しを行う。具体的には、制御部4から出力された制御信号は、貫通電極100を通過してシリコン基板40の表面40aに形成された電極42Bに到達する。そして、制御信号は、インダクティブ結合14を介して、量子回路22に伝達される。このようにして、制御部4は、貫通電極100及びインダクティブ

結合を介して、量子回路チップ20上の量子回路22の制御を行う。同様に、量子回路チップ20の量子回路22の状態は、量子回路チップ20とシリコン基板40の間のキャパシティブ結合12を介して、シリコン基板40の表面40aに形成された電極42Aと貫通電極100とを經由して、読み出し部3によって読み出される。つまり、読み出し部3は、貫通電極100及びキャパシティブ結合12を介して、量子回路22の状態を読み出す。

[0023] ここで、制御信号と読み出し信号は1GHz以上の高周波信号であるので、電磁界の漏えい及びそれに伴うクロストークを抑制するため、貫通電極100は同軸構造（同軸型TSV）であることが望ましい。なお、本明細書において、「同軸型」及び「同軸構造」は、必ずしも中心導体と外部導体とが同心である場合に限られない。「同軸型」及び「同軸構造」は、中心導体と外部導体とで構成された多層構造を意味する。

[0024] 図2は、本実施の形態にかかる配線基板50の構造を示す図である。図2は、配線基板50をシリコン基板40の表面40a（又は裏面40b）の側から見た図である。上述したように、配線基板50は、シリコン基板40と、貫通電極100とを有する。貫通電極100は、シリコン基板40を貫通する中心導体110と、外部導体120とを有する。外部導体120は、中心導体110の周囲に形成されている。言い換えると、貫通電極100は、中心導体110と、外部導体120とによって形成されている。また、中心導体110と外部導体120との間には、絶縁層102が設けられている。ここで、貫通電極100において、少なくとも中心導体110はシリコン基板40を貫通している。したがって、中心導体110と外部導体120とによって、貫通電極100が構成されている。

[0025] 中心導体110は、例えば円柱形状に形成されているが、このような構造に限定されない。中心導体110は、少なくとも柱状であればよく、円柱形状でなくてもよい。中心導体110は、高周波信号が伝送される芯線の役割を果たす。

[0026] 外部導体120は、例えば表面40aに平行な面における断面において円

環形状となるように形成されているが、このような構造に限定されない。外部導体 120 の形状（外部導体 120 の断面形状）は、少なくとも中心導体 110 を囲むような環状であればよく、円環形状でなくてもよい。つまり、外部導体 120 の形状は、中空の柱状（筒状）であればよい。外部導体 120 は、グラウンドの役割を果たす。なお、図 2 では、外部導体 120 は、シリコン基板 40 の表面 40a の側から見て閉じた（連続した）形状であるが、このような形状である必要はない。外部導体 120 は、シリコン基板 40 の表面 40a の側から見て、その一部が開いた形状（例えば C 字形状）であってもよい。したがって、外部導体 120 の少なくとも一部の側面がシリコン基板 40 を貫通しているが、外部導体 120 の側面全体がシリコン基板 40 を貫通していなくてもよい。

[0027] ここで、芯線である中心導体 110 がグラウンドである外部導体 120 に囲まれているため、電磁界の漏えい（クロストークの原因）を抑制することができる。そして、貫通電極 100 の寸法を適切に設計することにより、反射を抑制することができる。したがって、高周波信号の伝送のためには、インピーダンスを $50\ \Omega$ 程度にする必要があるため、このような同軸型 TSV を用いることが望ましい。

[0028] ここで、上述したように、上述した特許文献では、同軸型 TSV の絶縁層に SiO_2 又は樹脂を用いているため、同軸型 TSV における誘電損失が大きすぎるおそれがある。したがって、上述した特許文献にかかる同軸型 TSV は、超伝導量子計算機（超伝導回路装置 1）には用いることができないおそれがある。具体的には、特許文献 1 及び特許文献 2 で用いられている SiO_2 の誘電正接は約 300×10^{-6} である。特許文献 1 では絶縁層に樹脂が用いられているが、樹脂の誘電正接は一般に非常に大きい。超伝導量子計算機では、これらの SiO_2 や樹脂のような誘電正接が大きい材料（したがって誘電損失が大きい材料）は、量子回路のコヒーレンス時間を短くしてしまうため、用いることが困難である。一方、シリコン基板に用いられる結晶性の高いケイ素（Si）の誘電正接は約 0.15×10^{-6} 以下と極めて小さい。その

ため、超伝導量子計算機は、金属と結晶性の高いシリコン基板のみを用いて作製しなければならないという制約がある。以上のように、超伝導量子計算機を実用化するためには、誘電損失の大きな絶縁材料を用いない、誘電損失の小さな同軸型TSV（貫通電極）を実現することが、不可欠な課題となっている。

[0029] ここで、本実施の形態では、貫通電極100における絶縁層102がシリコン基板40で形成されている。つまり、本実施の形態にかかる配線基板50の貫通電極100では、中心導体110と外部導体120との間は、高抵抗シリコンであるシリコン基板40によって電氣的に絶縁されている。このような構成によって、誘電損失の小さな絶縁層を有する貫通電極を実現可能である。したがって、超伝導回路装置1における高周波信号の伝送を適切に行うことができる。また、超伝導回路装置1の量子計算に必要なコヒーレンス時間を適切に確保することができる。

[0030] また、本実施の形態では、後述するように、シリコン基板40の両面にエッチング等によって穴を形成し、これらの穴にめっきによって導体を充填する。これにより、中心導体110と外部導体120との間が高抵抗シリコンであるシリコン基板40によって電氣的に絶縁される構造を製造することができる。

[0031] （実施の形態1）

以下、実施形態について、図面を参照しながら説明する。説明の明確化のため、以下の記載及び図面は、適宜、省略、及び簡略化がなされている。また、各図面において、同一の要素には同一の符号が付されており、必要に応じて重複説明は省略されている。

[0032] 図3は、実施の形態1にかかる配線基板50を示す図である。図3の上図は、配線基板50をシリコン基板40の表面40aの側から見た上面図である（後述する図においても同様）。また、図3の下図は、上面図におけるA-A線断面を示す断面図である（後述する図においても同様）。

[0033] 上述したように、配線基板50は、シリコン基板40と、貫通電極100

とを有する。シリコン基板40は、電気抵抗率が $1000\Omega\cdot\text{cm}$ 以上である高抵抗シリコンで形成されている。貫通電極100は、例えば同軸型TSVである。貫通電極100は、シリコン基板40を貫通する中心導体110と、外部導体120とを有する。外部導体120は、中心導体110の周囲に形成されている。言い換えると、貫通電極100は、中心導体110と、外部導体120とによって形成されている。また、中心導体110と外部導体120との間には、シリコン基板40によって絶縁層102が設けられている。つまり、中心導体110と外部導体120との間は、シリコン基板40によって電氣的に絶縁されている。ここで、実施の形態1においては、外部導体120の側面全体が、シリコン基板40を貫通している。

[0034] 実施の形態1において、中心導体110は、例えば円柱形状（柱状）に形成されている。また、実施の形態1において、外部導体120は、例えば円筒形状（筒状）に形成されている。言い換えると、実施の形態1にかかる外部導体120は、シリコン基板40の表面40aと平行な任意の面における断面において、連続的な円環形状（環状）となるように形成されている。さらに言い換えると、実施の形態1にかかる外部導体120は、中心導体110の周囲を連続した環状となるように囲むように形成されている。また、さらに言い換えると、実施の形態1にかかる外部導体120は、表面40a（又は裏面40b）から見て連続した環状となるように形成されている。また、さらに言い換えると、実施の形態1にかかる外部導体120は、中心導体110の周囲に、中心導体110を周回する連続した環状となるように、形成されている。したがって、実施の形態1にかかる外部導体120は、シリコン基板40の表面40aと平行な任意の面における断面形状が、シリコン基板40の厚さ方向の位置（つまり切断位置）によらず同一（環状）となるように、形成されている。つまり、実施の形態1にかかる外部導体120は、シリコン基板40の厚さ方向に連続した形状となるように形成されている。

[0035] なお、中心導体110及び外部導体120は、以下のような構成としても

よい。すなわち、中心導体 1 1 0 は第一の円柱の形状をしている。外部導体 1 2 0 は、第一の円柱の中心軸と同一の中心軸を有し第一の円柱の直径 D_1 よりも大きい直径を有する第二の円柱と、第一の円柱の中心軸と同一の中心軸を有し第二の円柱の直径よりも大きい直径 D_2 を有する第三の円柱とに囲まれた領域に形成されている。

[0036] ここで、シリコン基板 4 0 に貫通電極 1 0 0 を高密度に集積するため、貫通電極 1 0 0 の最外径 D_2 をできるだけ小さくすることが好ましい。そのためには、外部導体 1 2 0 の幅 W_2 は、狭いことが好ましい。具体的には、外部導体 1 2 0 の幅 W_2 は、中心導体 1 1 0 の径 D_1 (外形寸法) の 0.5 倍以下であることが好ましい。言い換えると、第三の円柱の直径と第二の円柱の直径との差は、第一の円柱の直径の 0.5 倍以下である。

[0037] また、上述したように、中心導体 1 1 0 は高周波の制御信号や読み出し信号が伝送される芯線の役割を果たし、外部導体 1 2 0 はグラウンドの役割を果たす。したがって、貫通電極 1 0 0 の両端に特性インピーダンスが例えば $50\ \Omega$ の電気系を接続して、貫通電極 1 0 0 の片方の端子から他方の端子に 1 GHz 以上の高周波信号を伝送したとき、反射が小さくなるように絶縁層の幅 W_1 を設計する。具体的には、 S_{11} (反射係数、又は入力端子の反射特性) が $-10\ \text{dB}$ 以下になるように、貫通電極 1 0 0 を設計する。

[0038] シリコン基板 4 0 の厚さ H は $300\ \mu\text{m}$ 程度である。また、中心導体 1 1 0 の直径 D_1 は $50\ \mu\text{m}$ 以下であることが好ましい。中心導体 1 1 0 及び外部導体 1 2 0 は金属 (導体) であり、銅 (Cu) などの比較的電気抵抗率の低い常伝導金属、又は、ニオブ (Nb)、アルミニウム (Al) などの超伝導材料である金属が好ましい。

[0039] 図 4 ~ 図 1 1 は、実施の形態 1 にかかる配線基板 5 0 の製造方法を示す図である。なお、図 4 ~ 図 1 1 において、上側の図は上面図を示し、下側の図は断面図を示す。上面図は、シリコン基板 4 0 の表面 4 0 a の側、又は、シリコン基板 4 0 を裏返したときの裏面 4 0 b の側から見た図である。

[0040] まず、図 4 に示すように、シリコン基板 4 0 を用意する。次に、図 5 に示

すように、シリコン基板40の表面40aに、例えばエッチング等の表面加工によって、中心導体110のための非貫通穴210（ブラインドビア）を形成する。つまり、シリコン基板40の表面40a（第1の面）を表面加工することによって、中心導体110のための非貫通穴210を形成する。ここで、非貫通穴210は、シリコン基板40を貫通しない穴である。

[0041] 次に、図6に示すように、シリコン基板40の表面40aの全体に、例えばスパッタリングや蒸着等によって、導体のシード層200を形成する。なお、シード層200を形成する導体は、例えば銅（Cu）であるが、これに限定されない。また、中心導体110の径（外形寸法）D1は比較的大きいため、非貫通穴210のアスペクト比（穴の深さ／穴径）は小さい。したがって、非貫通穴210の底部210bにスパッタが到達し得るため、底部210bにもシード層200が形成され得る。

[0042] 次に、図7に示すように、シード層200を電極に接続して、めっきによって、Cu膜等の導体膜201を形成することにより、非貫通穴210に導体を充填する。これにより、中心導体110を形成する。なお、上述したように、非貫通穴210の底部210bにもシード層200が形成されているので、めっきによって非貫通穴210の底部210bまで中心導体110を形成することは可能である。

[0043] 次に、図8に示すように、導体膜201に対して例えばエッチング等の表面加工を施すことにより、中心導体110のためのパッド202（中心電極；電極42，44）と、グラウンドプレーン204（ベタパターン）とを形成する。このとき、エッチング等によって、パッド202とグラウンドプレーン204とが電氣的に絶縁される。このようにして、中心導体110のパッド202とグラウンドプレーン204とを、容易に形成することができる。

[0044] 次に、図9に示すように、シリコン基板40を裏返して、シリコン基板40の裏面40b（第2の面）にエッチング等の表面加工を施すことによって、中心導体110の周囲に外部導体120のための穴である外部導体用穴2

20（ビア）を形成する。つまり、シリコン基板40の第1の面とは反対側の面である第2の面を表面加工することにより、中心導体110の周囲に外部導体用穴220を形成する。ここで、実施の形態1において、外部導体用穴220は、表面40aに形成されたグラウンドプレーン204に達するまで形成される。

[0045] 次に、図10に示すように、シリコン基板40の表面40aに形成されたグラウンドプレーン204を電極に接続して、めっきによって、シリコン基板40の裏面40bにCu膜等の導体膜230を形成することにより、外部導体用穴220にCu等の導体を充填する。これにより、外部導体120を形成する。なお、上述したように、外部導体用穴220はグラウンドプレーン204に達するまで形成されているので、めっきによって外部導体120を形成することは可能である。さらに、外部導体用穴220はグラウンドプレーン204に達するまで形成されているので、外部導体120は、グラウンドプレーン204と電氣的に接続される。

[0046] 次に、図11に示すように、シリコン基板40の裏面40bを薄化处理する。薄化处理は、例えば研磨や研削によって行われてもよい。これにより、裏面40bに形成された余計な導体膜230が除去され、さらに、裏面40bにおいて中心導体110が露出する。つまり、裏面40b（第2の面）において中心導体110が露出するように、裏面40b（第2の面）を表面加工する。このようにして、同軸型TSVである貫通電極100がシリコン基板40に形成される。なお、この後の工程で、グラウンドプレーン204と同様のベタパターンのグラウンドプレーン、及び、パッド202と同様のパッド（中心電極）を、シリコン基板40の裏面40bに形成してもよい。

[0047] 以上説明したように、実施の形態1にかかる貫通電極100は、シリコン基板40を貫通する中心導体110と、中心導体110の周囲に形成された外部導体120とによって形成されている。そして、中心導体110と外部導体120との間は、高抵抗シリコンで形成されたシリコン基板40によって電氣的に絶縁されている。これにより、貫通電極100における誘電損失

を抑制することができる。したがって、超伝導回路装置 1 における量子計算のコヒーレンス時間を長く維持することができる。

[0048] また、実施の形態 1 にかかる貫通電極 100 では、外部導体 120 は、中心導体 110 を囲む筒状（円筒に限定されない）に形成されている。言い換えると、実施の形態 1 にかかる外部導体 120 は、シリコン基板 40 の表面 40a（第 1 の面）と平行な任意の面におけるシリコン基板 40 の断面において、連続した環状（円に限定されない）となるように、形成されている。これにより、中心導体 110 の周囲が外部導体 120 によって完全に囲まれるので、芯線である中心導体 110 から周囲に電磁波が漏えいすること及びクロストークをより確実に抑制することができる。

[0049] また、このような外部導体 120 を中心導体 110 の周囲に形成するため、上述した実施の形態 1 では、シリコン基板 40 の表面 40a から中心導体 110 を形成した後、裏面 40b に外部導体用穴 220 を形成する。そして、めっきによって外部導体用穴 220 に導体を充填することで、外部導体 120 を形成する。具体的には、シリコン基板 40 の表面 40a から中心導体 110 を形成する際に、めっきによって表面 40a にグラウンドプレーン 204 を形成する。そして、外部導体用穴 220 を、裏面 40b から、表面 40a に形成されたグラウンドプレーン 204 に達するまで形成する。そして、裏面 40b にめっきを施す際に、表面 40a に形成されたグラウンドプレーン 204 を電極に接続する。

[0050] これにより、幅の狭い（つまりアスペクト比の大きい）外部導体 120 をめっきで形成することができる。つまり、外部導体 120 の幅（W2）が中心導体 110 の外形寸法（D1）の 0.5 倍以下となるように、外部導体 120 を形成することができる。したがって、最外径 D2（外形寸法）の小さな貫通電極 100 を形成することが可能となる。すなわち、アスペクト比の大きな外部導体用穴 220 を形成しておき、シード層の代わりに表面 40a に形成されたグラウンドプレーン 204 を電極に接続することで、アスペクト比の大きな外部導体 120 を、容易に形成することができる。言い換える

と、外部導体用穴 220 の底部に設けられたグラウンドプレーン 204 を電極に接続するので、外部導体用穴 220 のアスペクト比が大きくても、外部導体用穴 220 に導体が隙間なく確実に充填される。

[0051] また、裏面 40b にめっきを施す際に、表面 40a に形成されたグラウンドプレーン 204 を電極に接続することで、外部導体 120 を形成する際に、スパッタリングによってシード層を形成することが不要となる。ここで、アスペクト比の大きな外部導体 120 を形成するためにアスペクト比の大きな穴を形成し、その穴にスパッタリングによってシード層を形成することを考える。この場合、穴の浅い部分の側壁に遮られて、スパッタが穴の深い部分（底部等）にまで到達しないおそれがある。したがって、アスペクト比の大きな穴の深い箇所にはシード層を形成することができないおそれがある。そして、この場合、めっきによって外部導体 120 を形成しようとしても、穴の浅い箇所にはシード層が形成されていないので、穴の浅い箇所には導体を形成できず、穴全体に導体を充填できないおそれがある。一方、上述したように、実施の形態 1 では、外部導体 120 を形成する際に、スパッタリングによってシード層を形成することが不要であるので、アスペクト比の大きな外部導体 120 をより確実に形成することができる。

[0052] また、上述したように、実施の形態 1 では、シリコン基板 40 の表面 40a（第 1 の面）を表面加工することによって、中心導体 110 のための非貫通穴 210 を形成する（図 5）。そして、表面 40a にめっきを施すことで、非貫通穴 210 に導体を充填して中心導体 110 を形成するとともに、表面 40a にグラウンドプレーンを形成する（図 6～図 8）。このようにしてグラウンドプレーン 204 を形成することで、グラウンドプレーン 204 を容易に形成することができる。すなわち、中心導体 110 を形成する工程で、グラウンドプレーン 204 も形成することができる。

[0053] （実施の形態 2）

次に、実施の形態 2 について説明する。説明の明確化のため、以下の記載及び図面は、適宜、省略、及び簡略化がなされている。また、各図面におい

て、同一の要素には同一の符号が付されており、必要に応じて重複説明は省略されている。実施の形態2は、外部導体の形状が実施の形態1にかかるものと異なる点で、実施の形態1と異なる。

[0054] 図12は、実施の形態2にかかる配線基板50を示す図である。図12において、上面図（上図）は、配線基板50をシリコン基板40の表面40aの側から見た図である。下面図（下図）は、配線基板50をシリコン基板40の裏面40bの側から見た図である。また、断面図（中図）は、上面図及び下面図におけるB-B線断面を示す（後述する図においても同様）。

[0055] 実施の形態2にかかる配線基板50は、高抵抗シリコンで形成されたシリコン基板40と、例えば同軸型TSVである貫通電極100とを有する。貫通電極100は、シリコン基板40を貫通する中心導体110と、外部導体130とを有する。外部導体130は、実施の形態1にかかる外部導体120に対応する。実施の形態1にかかる外部導体120と同様に、外部導体130は、中心導体110の周囲に形成されている。中心導体110と外部導体130との間には、シリコン基板40によって絶縁層102が設けられている。つまり、中心導体110と外部導体130との間は、シリコン基板40によって電氣的に絶縁されている。

[0056] なお、実施の形態2においても、中心導体110は、例えば円柱形状等の柱状に形成されている。また、実施の形態2にかかる外部導体130は、シリコン基板40の表面40aと平行な任意の面における断面において、一部が切り欠かれた円環形状（環状）となるように、形成されている。つまり、実施の形態2にかかる外部導体130は、シリコン基板40の表面40aと平行な任意の面における断面において、円環（環状）の一部が欠けた形状となるように、形成されている。言い換えると、実施の形態2にかかる外部導体130は、シリコン基板40の表面40aと平行な任意の面における断面において、連続した環状になっていない。さらに言い換えると、実施の形態2にかかる外部導体130は、シリコン基板40の表面40aと平行な任意の面における断面において、C字形状となるように形成されている。つまり

、実施の形態2にかかる外部導体130は、シリコン基板40の表面40aから見てC字形状となるように形成されている。さらに言い換えると、実施の形態2にかかる外部導体130は、中心導体110の周囲を一部が切り欠かれた環状となるように囲むように形成されている。また、さらに言い換えると、実施の形態2にかかる外部導体130は、表面40a（又は裏面40b）から見て一部が切り欠かれた環状となるように形成されている。また、さらに言い換えると、実施の形態2にかかる外部導体130は、中心導体110の周囲に、中心導体110を周回する一部が切り欠かれた環状となるように、形成されている。

[0057] つまり、実施の形態2にかかる外部導体130は、側面に切欠部132を有する。そして、この切欠部132は、シリコン基板40で形成されている。これにより、実施の形態2にかかる外部導体130は、側面に溝（切欠部132）が形成された円筒形状（筒状）に形成されている。したがって、実施の形態2にかかる外部導体130は、シリコン基板40の表面40aと平行な任意の面における断面形状が、シリコン基板40の厚さ方向の位置（つまり切断位置）によらず同一（C字形状）となるように、形成されている。言い換えると、実施の形態1にかかる外部導体120は、シリコン基板40の厚さ方向に連続した形状（C字形状）となるように形成されている。なお、実施の形態2にかかる外部導体130が、上記のように、その断面がC字形状となるように形成されている理由については、後述する。

[0058] ここで、実施の形態1にかかる外部導体120と同様に、実施の形態2においては、外部導体120は、シリコン基板40の表面40aと平行な任意の面における断面形状が、シリコン基板40の厚さ方向の位置によらず同一となるように、形成されている。したがって、実施の形態2にかかる配線基板50（貫通電極100）は、実施の形態1にかかる製造方法と実質的に同様の方法で製造され得る。

[0059] 図13～図16は、実施の形態2にかかる外部導体130が図12に示す形状とすることの効果の説明するための図である。一般的に、めっきで形成

した導体（中心導体 110）とシリコン基板 40 との結合（密着度）は弱い。したがって、中心導体 110 に圧力を加えると、中心導体 110 がシリコン基板 40 から剥離するおそれがある。

[0060] 図 13 は、実施の形態 1 にかかる貫通電極 100 が形成されたシリコン基板 40 に量子回路チップ 20 をフリップチップ接続する場合の問題点を説明するための図である。実施の形態 1 にかかる貫通電極 100 が形成されたシリコン基板 40 に量子回路チップ 20 をフリップチップ接続する場合、貫通電極 100 の中心導体 110 に、バンプ 10 を介して、矢印 A で示す方向に圧力が加わる。これにより、矢印 B で示すように、貫通電極 100（中心導体 110）がシリコン基板 40 から剥離し、貫通電極 100 が破損するおそれがある。

[0061] 図 14 及び図 15 は、図 13 を用いて説明した問題点を低減する方法の一例を説明するための図である。図 14 に示すように、中心導体 110 に引出線 62 が接続される。シリコン基板 40 の表面 40a（又は裏面 40b）には、引出線 62 と外部導体 120 とを電氣的に絶縁するために、絶縁層 64 が設けられている。

[0062] これにより、図 15 に示すように、バンプ 10 の位置を、中心導体 110 の真上からずらすことができる。したがって、フリップチップ接続の際に矢印 A で示す方向にバンプ 10 を押圧したときに、中心導体 110 に圧力が加わることが抑制され、中心導体 110 がシリコン基板 40 から剥離することを抑制できる。また、引出線 62 によって、量子回路 22 と中心導体 110 とが、電氣的に接続される。

[0063] しかしながら、この例では、引出線 62 と外部導体 120 とを電氣的に絶縁するために、表面 40a に絶縁層 64 を形成する必要がある。そして、この絶縁層 64 の材料としては SiO_2 などが考えられる。しかしながら、上述したように、 SiO_2 等の絶縁材料は誘電損失が大きいいため、量子回路 22 のコヒーレンス時間を短くしてしまうおそれがあるという問題がある。

[0064] 図 16 は、実施の形態 2 にかかる貫通電極 100 に引出線 62 が接続され

た状態を示す図である。実施の形態2にかかる貫通電極100では、図16に示すように、中心導体110に引出線62が接続されている。このとき、引出線62は、表面40a又は裏面40bにおいて、切欠部132に配置されている。これにより、表面40a又は裏面40bに絶縁層を形成しなくても、引出線62と外部導体130とを電氣的に絶縁することができる。したがって、量子回路22のコヒーレンス時間を短くすることを抑制しつつ、貫通電極100の破損を抑制することができる。つまり、実施の形態2にかかる貫通電極100を用いることで、量子回路22のコヒーレンス時間を短くすることを抑制しつつ、貫通電極100の機械的な強度を高くすることができる。

[0065] 図17～図19は、実施の形態2にかかる貫通電極100の実装例を説明するための図である。図17にかかる実装例において、超伝導回路装置1は、配線基板50と、読み出し部3及び制御部4とが、ソケット70を介して接続されている。具体的には、シリコン基板40をソケット70に装着してから、ソケット70に、読み出し部3及び制御部4を接続する。ここで、ソケット70は、セラミックで形成されたハウジング72に、金属で形成された多数のプロープピン74が装着されて構成されている。これらのプロープピン74を貫通電極100に対して圧着することによって、プロープピン74と貫通電極100とが電氣的に接続される。

[0066] このとき、貫通電極100には、プロープピン74から圧力がかかる。したがって、貫通電極100には、上述したような剥離（抜け落ち）などの破損が発生するおそれがある。さらに、Cuの線膨張係数はSiの線膨張係数より大きいため、室温から10mK程度の極低温に冷却すると、SiよりもCuの方が強く収縮する。ここで、室温と極低温（例えば10mK）との温度差は約300度もあるので、この収縮の差のインパクトは大きい。その結果、貫通電極100のCu（導体）とSi（シリコン基板40）との密着度がさらに低下するため、貫通電極100の破損の可能性は高まる。これは極低温に冷却する超伝導量子計算機特有の課題である。

[0067] この破損を回避するためにも、引出線 6 2 により、シリコン基板 4 0 の裏面 4 0 b においてプローブピン 7 4 が突き当たる位置を導体（中心導体 1 1 0）からずらす方法が考えられる。ここで、上述したように、実施の形態 1 の場合は、シリコン基板 4 0 に絶縁層を形成しなければならないのに対して、実施の形態 2 では、絶縁層が不要であるという利点がある。

[0068] 図 1 8 及び図 1 9 は、2 つの貫通電極 1 0 0 を配線で接続した実装例を示す図である。図 1 8 及び図 1 9 は、量子回路 2 2 を制御するためのインダクタ（配線）を示している。貫通電極 1 0 0 の中心導体 1 1 0（芯線）には、様々な配線が接続される。図 1 8 は、実施の形態 1 にかかる 2 つの貫通電極 1 0 0 の中心導体 1 1 0 を配線 6 6 で接続した状態を示す図である。この場合、配線 6 6 と外部導体 1 2 0 とを電氣的に絶縁するため、シリコン基板 4 0 に絶縁層 6 4 が形成される必要がある。しかしながら、上述したように、絶縁材料は誘電損失が大きいいため、量子回路 2 2 のコヒーレンス時間を短くしてしまうおそれがあるという問題がある。

[0069] 一方、図 1 9 は、実施の形態 2 にかかる 2 つの貫通電極 1 0 0 の中心導体 1 1 0 を配線 6 6 で接続した状態を示す図である。この場合、配線 6 6 は、切欠部 1 3 2 に配置されている。これにより、シリコン基板 4 0 に絶縁層を形成しなくても、配線 6 6 と外部導体 1 3 0 とを電氣的に絶縁することができる。したがって、量子回路 2 2 のコヒーレンス時間を短くすることを抑制することができる。つまり、実施の形態 2 にかかる貫通電極 1 0 0 を用いることで、量子回路 2 2 のコヒーレンス時間を短くすることを抑制しつつ、様々なレイアウトの配線を施すことができる。

[0070] なお、実施の形態 2 において、切欠部 1 3 2 の長さ L 1（図 1 2）は、高周波特性の観点からは、長すぎない方がよい。切欠部 1 3 2 の長さ L 1（離間距離）が長すぎると、電磁界の漏えい及びそれに伴うクロストークを抑制することが困難となるためである。一方で、切欠部 1 3 2 の長さ L 1 が短すぎると、引出線 6 2 及び配線 6 6 を、外部導体 1 3 0 と絶縁するように、中心導体 1 1 0 に接続することが困難となる。したがって、切欠部 1 3 2 の長

さ L_1 は、引出線62及び配線66の幅よりも長く、かつ、中心導体110の径 D_1 以下であることが好ましい。つまり、外部導体130の切り欠かれた箇所の離間距離 L_1 が、中心導体110の径以下であることが好ましい。例えば、引出線62及び配線66の幅が $1\mu\text{m}$ であり、 D_1 が $50\mu\text{m}$ である場合、インピーダンスを 50Ω 程度に抑えることを考慮すると、 L_1 は、 $2\mu\text{m}$ 以上 $50\mu\text{m}$ 以下であることが好ましい。

[0071] (実施の形態3)

次に、実施の形態3について説明する。説明の明確化のため、以下の記載及び図面は、適宜、省略、及び簡略化がなされている。また、各図面において、同一の要素には同一の符号が付されており、必要に応じて重複説明は省略されている。実施の形態3は、外部導体の形状が実施の形態1及び実施の形態2にかかるものと異なる点で、実施の形態1及び実施の形態2と異なる。

[0072] 図20は、実施の形態3にかかる配線基板50を示す図である。図20において、上面図（最上図）は、配線基板50をシリコン基板40の表面40aの側から見た図である。下面図（下から2番目の図）は、配線基板50をシリコン基板40の裏面40bの側から見た図である。また、断面図（上から2番目の図）は、上面図及び下面図におけるC-C線断面を示す（後述する図においても同様）。また、断面図（最下図）は、C-C線断面図（上から2番目の図）におけるD-D線断面を示す。

[0073] 実施の形態3にかかる配線基板50は、高抵抗シリコンで形成されたシリコン基板40と、例えば同軸型TSVである貫通電極100とを有する。貫通電極100は、シリコン基板40を貫通する中心導体110と、外部導体140とを有する。外部導体140は、実施の形態1にかかる外部導体120に対応する。実施の形態1にかかる外部導体120と同様に、外部導体140は、中心導体110の周囲に形成されている。中心導体110と外部導体140との間には、シリコン基板40によって絶縁層102が設けられている。つまり、中心導体110と外部導体140との間は、シリコン基板4

0によって電氣的に絶縁されている。

[0074] なお、実施の形態3においても、中心導体110は、例えば円柱形状等の柱状に形成されている。また、実施の形態3にかかる外部導体140は、シリコン基板40の表面40aの側に形成された外部導体部分140a（第1の外部導体部分）と、シリコン基板40の裏面40bの側に形成された外部導体部分140b（第2の外部導体部分）とを有する。したがって、外部導体部分140aは、シリコン基板40を貫通していない。同様に、外部導体部分140bは、シリコン基板40を貫通していない。

[0075] なお、図20に示すように、外部導体140は、外部導体部分140aと外部導体部分140bとの間に、外部導体部分140c（第3の外部導体部分）を有してもよい。この場合、外部導体部分140aと外部導体部分140bとは、外部導体部分140cを介して電氣的に接続している。ここで、D-D線断面図に示すように、外部導体部分140cは、実施の形態1にかかる外部導体120と同様に、側面に溝のない円筒形状（筒状）に形成されている。つまり、外部導体部分140cは、シリコン基板40の表面40aと平行な任意の面におけるシリコン基板40の断面において、連続した環状となるように、形成されている。言い換えると、外部導体部分140cは、中心導体110の周囲を連続した環状となるように囲むように形成されている。さらに言い換えると、外部導体部分140cは、表面40a（又は裏面40b）から見て連続した環状となるように形成されている。また、さらに言い換えると、外部導体部分140cは、中心導体110の周囲に、中心導体110を周回する連続した環状となるように、形成されている。

[0076] あるいは、外部導体140は、外部導体部分140aと外部導体部分140bとの間に、外部導体部分140cを有さなくてもよい。この場合、外部導体部分140aと外部導体部分140bとは、物理的に直接結合していることで、電氣的に接続していてもよい。つまり、外部導体部分140cの有無に関わらず、外部導体部分140aと外部導体部分140bとが電氣的に接続されている。したがって、上述した実施の形態と同様に、外部導体14

0において、シリコン基板40の表面40aの側と裏面40bの側とで電氣的な導通が確保される。

[0077] また、実施の形態2にかかる外部導体130と同様に、実施の形態3にかかる外部導体部分140aは、シリコン基板40の表面40aと平行な面における断面において、一部が切り欠かれた円環形状（環状）となるように、形成されている。したがって、実施の形態3にかかる外部導体部分140aは、側面に切欠部142A（第1の切欠箇所）を有する。言い換えると、実施の形態3にかかる外部導体部分140aは、シリコン基板40の表面40aと平行な任意の面における断面において、C字形状となるように形成されている。つまり、実施の形態3にかかる外部導体部分140aは、シリコン基板40の表面40aから見てC字形状となるように形成されている。同様に、実施の形態3にかかる外部導体部分140bは、シリコン基板40の裏面40bと平行な面における断面において、一部が切り欠かれた円環形状（環状）となるように、形成されている。したがって、実施の形態3にかかる外部導体部分140bは、側面に切欠部142B（第2の切欠箇所）を有する。言い換えると、実施の形態3にかかる外部導体部分140bは、シリコン基板40の裏面40bと平行な任意の面における断面において、C字形状となるように形成されている。つまり、実施の形態3にかかる外部導体部分140bは、シリコン基板40の裏面40bから見てC字形状となるように形成されている。そして、これらの切欠部142A、142Bは、シリコン基板40で形成されている。これにより、実施の形態3にかかる外部導体部分140a、140bは、側面に溝が形成された円筒形状（筒状）に形成されている。言い換えると、外部導体140は、シリコン基板40の表面40aの側及び裏面40bの側において、側面に溝（切欠箇所）が形成された筒状に形成されている。また、さらに言い換えると、実施の形態3にかかる外部導体部分140a、140bは、中心導体110の周囲を連続した環状となるように囲むように形成されている。また、さらに言い換えると、実施の形態3にかかる外部導体部分140a、140bは、表面40a（又は裏面

40b) から見て連続した環状となるように形成されている。また、さらに言い換えると、実施の形態3にかかる外部導体部分140a, 140bは、中心導体110の周囲に、中心導体110を周回する連続した環状となるように、形成されている。

[0078] ここで、外部導体部分140aにおける切欠部142Aの位置（第1の位置）は、外部導体部分140bにおける切欠部142Bの位置（第2の位置）と、対応している必要はない。図20において、外部導体部分140aにおける切欠部142Aは、中心導体110の右側に設けられており、外部導体部分140bにおける切欠部142Bは、中心導体110の左側に設けられている。言い換えると、表面40aの側から見たときに、表面40aの側に形成された外部導体部分140aにおける切欠部142Aの位置（第1の位置）が、裏面40bの側に形成された外部導体部分140bにおける切欠部142Bの位置（第2の位置）と異なっている。さらに言い換えると、表面40aにおける切欠部142Aの位置の中心導体110に対する向きが、裏面40bにおける切欠部142Bの位置の中心導体110に対する向きと異なっている。つまり、中心導体110に対する第1の位置が、中心導体110に対する第2の位置と異なっている。

[0079] 実施の形態3にかかる外部導体140が上記のように形成されている理由について、以下に説明する。図12に示したような実施の形態2にかかる構造では、シリコン基板40の表面40aの側から見たときに、シリコン基板40の表面40aと裏面40bとで切欠部132の位置が対応している。つまり、表面40aにおける切欠部132の位置の中心導体110に対する向きが、裏面40bにおける切欠部132の位置の中心導体110に対する向きと同じである。したがって、実施の形態2にかかる構造では、中心導体110から引き出す配線の方角を、シリコン基板40の表面40aと裏面40bとで同一にしなければならないという制約がある。

[0080] 一方、実施の形態3にかかる構造では、表面40aにおける切欠部142Aの位置の中心導体110に対する向きが、裏面40bにおける切欠部14

2 B の位置の中心導体 1 1 0 に対する向きと異なっている。したがって、実施の形態 3 にかかる構造を採用することで、中心導体 1 1 0 から引き出す配線の方法を、後述するように、任意に変えることができる。したがって、配線の設計の自由度が向上する。

[0081] なお、実施の形態 2 の切欠部 1 3 2 と同様に、高周波信号の伝送において電磁界の漏えい及びそれに伴うクロストークを抑制するという観点からは、切欠部 1 4 2 A の長さ L_1 及び切欠部 1 4 2 B の長さ L_2 は、長すぎない方がよい。つまり、切欠部 1 4 2 A の長さ L_1 及び切欠部 1 4 2 B の長さ L_2 は、配線の幅よりも長く、かつ、中心導体 1 1 0 の径 D_1 以下であることが好ましい。例えば、配線の幅が $1\ \mu\text{m}$ であり、 D_1 が $50\ \mu\text{m}$ である場合、インピーダンスを $50\ \Omega$ 程度に抑えることを考慮すると、 L_1 及び L_2 は、 $2\ \mu\text{m}$ 以上 $50\ \mu\text{m}$ 以下であることが好ましい。

[0082] 図 2 1 ～図 3 0 は、実施の形態 3 にかかる配線基板 5 0 の製造方法を示す図である。なお、図 2 1 ～図 3 0 において、上側の図は上面図を示し、下側の図は断面図を示す。上面図は、シリコン基板 4 0 の表面 4 0 a の側、又は、シリコン基板 4 0 を裏返したときの裏面 4 0 b の側から見た図である。

[0083] まず、図 2 1 に示すように、シリコン基板 4 0 を用意する。次に、図 2 2 に示すように、シリコン基板 4 0 の表面 4 0 a に、例えばエッチング等の表面加工によって、中心導体 1 1 0 のための非貫通穴 2 1 0（ブラインドビア）を形成する。つまり、シリコン基板 4 0 の表面 4 0 a（第 1 の面）を表面加工することによって、中心導体 1 1 0 のための非貫通穴 2 1 0 を形成する。

[0084] 次に、図 2 3 に示すように、シリコン基板 4 0 の表面 4 0 a にエッチング等の表面加工を施すことによって、中心導体 1 1 0 の周囲に外部導体 1 4 0（外部導体部分 1 4 0 a）のための外部導体用穴 2 4 1（第 1 の外部導体用穴）を形成する。ここで、外部導体用穴 2 4 1 は、シリコン基板 4 0 の表面 4 0 a に平行な面における形状が C 字形状となるように形成される。つまり、外部導体用穴 2 4 1 は、シリコン基板 4 0 の表面 4 0 a から見て C 字形状

となるように形成される。また、外部導体用穴 241 の深さが、中心導体 110 のための非貫通穴 210 の深さよりも浅くなるように、表面加工を行う。つまり、外部導体用穴 241 は、非貫通穴（ブラインドビア）である。

[0085] 次に、図 24 に示すように、シリコン基板 40 の表面 40a の全体に、例えばスパッタリング等によって、導体（Cu など）のシード層 200（第 1 のシード層）を形成する。なお、上述したように、非貫通穴 210 のアスペクト比（穴の深さ／穴径）は小さいので、非貫通穴 210 の底部 210b にスパッタが到達し得る。したがって、底部 210b にもシード層 200 が形成され得る。また、外部導体用穴 241 の幅は非貫通穴 210 の直径より狭いが、外部導体用穴 241 の深さは非貫通穴 210 の深さよりも浅いため、外部導体用穴 241 のアスペクト比は、外部導体用穴 241 の底部 241b にスパッタが到達し得る程度に十分小さい。したがって、底部 241b にもシード層 200 が形成され得る。

[0086] 次に、図 25 に示すように、シード層 200 を電極に接続して、シード層 200 にめっきを施す。めっきによって、Cu 膜等の導体膜 201 を形成することにより、非貫通穴 210 及び外部導体用穴 241 に導体を充填する。これにより、中心導体 110 及び外部導体 140 の一部（外部導体部分 140a, 140c）を形成する。なお、上述したように、非貫通穴 210 の底部 210b にもシード層 200 が形成されているので、めっきによって中心導体 110 を形成することは可能である。同様に、外部導体用穴 241 の底部 241b にもシード層 200 が形成されているので、めっきによって外部導体部分 140a（及び外部導体部分 140c）を形成することは可能である。

[0087] 次に、図 26 に示すように、導体膜 201 に対して例えばエッチング等の表面加工を施すことにより、中心導体 110 のためのパッド 202（中心電極；電極 42, 44）と、グラウンドプレーン 204（ベタパターン）とを形成する。このとき、エッチング等によって、パッド 202 とグラウンドプレーン 204 とが電氣的に絶縁される。このようにして、中心導体 110 の

パッド202とグラウンドプレーン204とを、容易に形成することができる。ここで、外部導体部分140aは、グラウンドプレーン204に電氣的に接続されている。なお、上述した、中心導体110に接続され外部導体140と絶縁された配線を形成する場合、エッチング等によって、グラウンドプレーン204の、切欠部142Aに対応する箇所の導体を除去すればよい。

[0088] 次に、図27に示すように、シリコン基板40を裏返す。そして、シリコン基板40の裏面40b（第2の面）にエッチング等の表面加工を施すことによって、中心導体110の周囲に外部導体140（外部導体部分140b）のための穴である外部導体用穴242（第2の外部導体用穴）を形成する。つまり、シリコン基板40の第1の面とは反対側の面である第2の面を加工することにより、中心導体110の周囲に外部導体用穴242を形成する。

[0089] ここで、外部導体用穴242は、シリコン基板40の裏面40bに平行な面における形状がC字形状となるように形成される。つまり、外部導体用穴242は、シリコン基板40の裏面40bから見てC字形状となるように形成される。また、外部導体用穴242の深さが、中心導体110のための非貫通穴210の深さよりも浅くなるように、表面加工を行う。つまり、外部導体用穴242は、非貫通穴（ブラインドビア）である。さらに、外部導体用穴242の底部242bが図26の工程で形成された外部導体140（外部導体部分140a, 140c）の底部140dに少なくとも到達する程度まで深くなるように、表面加工を行う。つまり、図27の状態において、シリコン基板40の厚さを H' とする。また、中心導体110の高さ（深さ）を $H1$ とし、図26の工程で形成された外部導体140（外部導体部分140a, 140c）の高さを $H a$ とし、外部導体用穴242の深さを $H b$ とする。このとき、以下の式1が成り立つ。

$$(H' - H a) \leq H b < H 1 \quad \cdots (1)$$

つまり、外部導体用穴241（第1の外部導体用穴）の深さ $H a$ と外部導

体用穴 242（第2の外部導体用穴）の深さ H_b との合計は、シリコン基板 40 の厚さ H' 以上である。

[0090] 次に、図 28 に示すように、シリコン基板 40 の裏面 40b の全体に、例えばスパッタリング等によって、導体（Cu など）のシード層 250（第2のシード層）を形成する。なお、外部導体用穴 242 の幅は非貫通穴 210 の直径より狭いが、外部導体用穴 242 の深さは非貫通穴 210 の深さよりも浅いため、外部導体用穴 242 のアスペクト比は、外部導体用穴 242 の底部 242b にスパッタが到達し得る程度に十分小さい。したがって、底部 242b にもシード層 250 が形成され得る。

[0091] 次に、図 29 に示すように、シード層 250 を電極に接続して、シード層 250 にめっきを施す。めっきによって、Cu 膜等の導体膜 251 を形成することにより、外部導体用穴 242 に導体を充填する。これにより、外部導体 140 の一部（外部導体部分 140b, 140c）を形成する。なお、上述したように、外部導体用穴 242 の底部 242b にもシード層 250 が形成されているので、めっきによって外部導体部分 140b（及び外部導体部分 140c）を形成することは可能である。

[0092] 次に、図 11 の工程と同様に、図 30 に示すように、シリコン基板 40 の裏面 40b を薄化处理する。薄化处理は、例えば研磨や研削によって行われてもよい。これにより、裏面 40b に形成された余計な導体膜 251 が除去され、さらに、裏面 40b において中心導体 110 及び外部導体部分 140b が露出する。つまり、裏面 40b（第2の面）において中心導体 110 及び外部導体部分 140b が露出するように、裏面 40b（第2の面）を表面加工する。このようにして、同軸型 TSV である貫通電極 100 がシリコン基板 40 に形成される。なお、この後の工程で、グラウンドプレーン 204 と同様のベタパターンのグラウンドプレーン、及び、パッド 202 と同様のパッド（中心電極）を、シリコン基板 40 の裏面 40b に形成してもよい。

[0093] なお、上記の式 1 で、 $(H - H_a) = H_b$ とした場合、外部導体部分 140a と外部導体部分 140b との間に、外部導体部分 140c は形成されな

い。したがって、この場合、外部導体部分 1 4 0 a と外部導体部分 1 4 0 b とは、物理的に直接結合している。

[0094] なお、高周波信号を伝達するという観点からは、連続した環状に形成された外部導体部分 1 4 0 c が存在した方がよい。そして、外部導体部分 1 4 0 c の高さ（シリコン基板 4 0 の厚さ方向の長さ）を長くすることが好ましい。ここで、外部導体部分 1 4 0 c の高さを長くしようとすると、外部導体用穴 2 4 1, 2 4 2 の深さを深くする必要がある。しかしながら、外部導体用穴 2 4 1, 2 4 2 の深さを深くすると、スパッタリングの際に、外部導体用穴 2 4 1, 2 4 2 の底部までスパッタが到達しない可能性が高くなる。したがって、外部導体用穴 2 4 1, 2 4 2 の深さは、底部までスパッタが到達する限りにおいて、より深くすることが好ましい。

[0095] なお、図 2 0 においては、シリコン基板 4 0 の表面 4 0 a の側から見たときに、表面 4 0 a の側の切欠部 1 4 2 A の位置と、裏面 4 0 b の側の切欠部 1 4 2 B の位置とは、中心導体 1 1 0 に関して 1 8 0 度ずれた位置関係となっている。しかしながら、両者の位置関係は、このようなものに限定されない。例えば、表面 4 0 a の側の切欠部 1 4 2 A の位置と、裏面 4 0 b の側の切欠部 1 4 2 B の位置とが、中心導体 1 1 0 に関して 9 0 度ずれた位置関係となってもよい。このとき、例えば、裏面 4 0 b の側の切欠部 1 4 2 B の位置が、図 2 0 において中心導体 1 1 0 の上側（又は下側）となってもよい。このように、表面 4 0 a と裏面 4 0 b とで、中心導体 1 1 0 に対する切欠部 1 4 2 A, 1 4 2 B の向きを、任意の方向にすることができる。

[0096] 上述した実施の形態 3 にかかる貫通電極 1 0 0 は、外部導体 1 4 0 に切欠部 1 4 2 A, 1 4 2 B が設けられているように、構成されている。したがって、実施の形態 3 にかかる配線基板 5 0 は、実施の形態 2 にかかる配線基板 5 0 と実質的に同様の効果を奏し得る。

[0097] さらに、上述したように、実施の形態 3 にかかる外部導体 1 4 0 では、表面 4 0 a における切欠部 1 4 2 A の位置の中心導体 1 1 0 に対する向きが、裏面 4 0 b における切欠部 1 4 2 B の位置の中心導体 1 1 0 に対する向きと

異なっている。したがって、実施の形態3にかかる配線基板50は、貫通電極100の中心導体110から引き出す配線の方法を、任意に変えることができる。したがって、配線の設計の自由度が向上する。

[0098] (本実施の形態にかかる配線基板の製造方法)

図31は、本実施の形態にかかる配線基板50の製造方法を示すフローチャートである。まず、電気抵抗率が $1000\Omega\cdot\text{cm}$ 以上であるシリコンで形成されたシリコン基板40の表面40a(第1の面)を表面加工することによって、中心導体のための非貫通穴を形成する(ステップS102)。この工程は、図5及び図22に対応する。次に、めっきによって非貫通穴に導体を充填することで、中心導体を形成する(ステップS104)。この工程は、図6～図7及び図24～図25に対応する。

[0099] シリコン基板40の少なくとも裏面40b(第2の面)を加工することにより、中心導体の周囲に少なくとも1つの外部導体用穴を形成する(ステップS106)。この工程は、図9、図23及び図27に対応する。次に、めっきによって外部導体用穴に導体を充填することで、外部導体を形成する(ステップS108)。この工程は、図10、図24～図25及び図28～図29に対応する。そして、シリコン基板40の裏面40bにおいて中心導体が露出するように、裏面40bを表面加工する(ステップS110)。この工程は、図11及び図30に対応する。

[0100] このような製造方法により、シリコン基板40に中心導体を形成し、その周囲に、中心導体と間隔を空けて、外部導体を形成することができる。したがって、中心導体と外部導体との間が高抵抗シリコンで形成されたシリコン基板40によって電氣的に絶縁された貫通電極100がシリコン基板40に形成された配線基板50を、容易に製造することができる。また、この方法により、アスペクト比の高い外部導体を形成できるので、シリコン基板40に貫通電極100を高密度に集積することができる。

[0101] (変形例)

なお、本発明は上記実施の形態に限られたものではなく、趣旨を逸脱しな

い範囲で適宜変更することが可能である。例えば、上述したフローチャートの各ステップの処理の1つ以上は、省略され得る。また、上述したフローチャートの各ステップの順序は、適宜、変更可能である。また、上述した各ステップは、他のステップと同時に実行されてもよい。例えば、図31に示したフローチャートにおいて、S106～S108の処理を、S102～S104の処理と同時に行ってもよい。あるいは、S106の処理を、S104の処理の前に実行してもよい。

[0102] また、上述した実施の形態にかかる製造工程において、表面40aと裏面40bとは、逆であってもよい。すなわち、上述した実施の形態では、配線基板50の製造方法において、シリコン基板40の表面40a（第1の面）に非貫通穴を形成して中心導体を形成し、シリコン基板40の裏面40b（第2の面）に外部導体用穴を形成して外部導体を形成するとした。しかしながら、シリコン基板40の裏面40b（第1の面）に非貫通穴を形成して中心導体を形成し、シリコン基板40の表面40a（第2の面）に外部導体用穴を形成して外部導体を形成してもよい。

[0103] また、上述した実施の形態では、エッチングによって、非貫通穴及び外部導体用穴を形成するとしたが、これらの穴を形成する方法は、エッチングに限定されない。また、上述した実施の形態では、スパッタリングによってシード層を形成するとしたが、シード層を形成する方法はスパッタリングに限定されない。

[0104] 以上、実施の形態を参照して本願発明を説明したが、本願発明は上記によって限定されるものではない。本願発明の構成や詳細には、発明のScope内で当業者が理解し得る様々な変更をすることができる。

[0105] 上記の実施形態の一部又は全部は、以下の付記のようにも記載されうるが、以下には限られない。

（付記1）

電気抵抗率が $1000\Omega\cdot\text{cm}$ 以上であるシリコンで形成されたシリコン基板と、

前記シリコン基板に形成された貫通電極と
を有し、

前記貫通電極は、前記シリコン基板を貫通する中心導体と、前記中心導体の周囲に形成された外部導体とによって形成されており、

前記中心導体と前記外部導体との間は、前記シリコン基板によって電氣的に絶縁されている、

配線基板。

(付記 2)

前記外部導体の幅は、前記中心導体の外形寸法の 0.5 倍以下である、
付記 1 に記載の配線基板。

(付記 3)

前記外部導体は、前記中心導体の周囲を連続した環状となるように囲むように形成されている、

付記 1 又は 2 に記載の配線基板。

(付記 4)

前記外部導体は、前記中心導体の周囲を一部が切り欠かれた環状となるように囲むように形成されている、

付記 1 又は 2 に記載の配線基板。

(付記 5)

前記外部導体の切り欠かれた箇所の離間距離が、前記中心導体の径以下である、

付記 4 に記載の配線基板。

(付記 6)

前記外部導体は、前記シリコン基板の厚さ方向に連続した形状となるように形成されている、

付記 1 ～ 5 のいずれか一項に記載の配線基板。

(付記 7)

前記外部導体は、前記シリコン基板の第 1 の面の側に形成された第 1 の外

部導体部分と、前記シリコン基板の前記第 1 の面とは反対側の面である第 2 の面に形成され、前記第 1 の外部導体部分と電氣的に接続された第 2 の外部導体部分とを有し、

前記第 1 の外部導体部分は、前記中心導体の周囲を第 1 の位置で一部が切り欠かれた環状となるように囲むように形成されており、

前記第 2 の外部導体部分は、前記中心導体の周囲を第 2 の位置で一部が切り欠かれた環状となるように囲むように形成されており、

前記中心導体に対する前記第 1 の位置が、前記中心導体に対する前記第 2 の位置と異なる、

付記 1 又は 2 に記載の配線基板。

(付記 8)

前記外部導体は、前記第 1 の外部導体部分と前記第 2 の外部導体部分との間に、前記中心導体の周囲を連続した環状となるように囲むように形成された第 3 の外部導体部分をさらに有する

付記 7 に記載の配線基板。

(付記 9)

電気抵抗率が $1000\ \Omega \cdot \text{cm}$ 以上であるシリコンで形成されたシリコン基板の第 1 の面を表面加工することによって、貫通電極の中心導体のための非貫通穴を形成し、

めっきによって前記非貫通穴に導体を充填することで、前記中心導体を形成し、

前記シリコン基板の前記第 1 の面とは反対側の面である第 2 の面を少なくとも表面加工することにより、前記中心導体の周囲に前記貫通電極の外部導体のための穴である少なくとも 1 つの外部導体用穴を形成し、

めっきによって前記外部導体用穴に導体を充填することで、前記外部導体を形成し、

前記第 2 の面において前記中心導体が露出するように、前記第 2 の面を表面加工する、

配線基板の製造方法。

(付記 1 0)

前記第 1 の面にめっきを施すことで、前記非貫通穴に導体を充填して前記中心導体を形成するとともに、前記第 1 の面における前記中心導体の周囲に、導体膜を形成する、

付記 9 に記載の配線基板の製造方法。

(付記 1 1)

前記導体膜に対して表面加工を施すことにより、前記第 1 の面における前記中心導体の電極を形成し、前記第 1 の面における前記中心導体の周囲にグラウンドプレーンを形成する、

付記 1 0 に記載の配線基板の製造方法。

(付記 1 2)

前記外部導体用穴を、前記第 2 の面から、前記第 1 の面に形成された前記グラウンドプレーンに到達するまで形成し、

前記グラウンドプレーンを電極に接続して、めっきによって前記外部導体用穴に導体を充填することで、前記外部導体を、前記中心導体の周囲を連続した又は一部が切り欠かれた環状となるように囲むように形成する、

付記 1 1 に記載の配線基板の製造方法。

(付記 1 3)

前記外部導体用穴を、前記第 2 の面から前記第 1 の面に形成された前記グラウンドプレーンに到達するまで形成し、

前記グラウンドプレーンを電極に接続して、めっきによって前記外部導体用穴に導体を充填することで、前記外部導体を、前記シリコン基板の厚さ方向に連続した形状となるように、形成する、

付記 1 1 又は 1 2 に記載の配線基板の製造方法。

(付記 1 4)

前記第 1 の面に表面加工を施すことにより、前記外部導体のための穴であって、前記非貫通穴の深さよりも浅い深さであり、前記第 1 の面から見て C

字形状となるような第 1 の外部導体用穴を、前記非貫通穴の周囲に形成し、

前記第 1 の面にめっきを施すことによって、前記非貫通穴に導体を充填することで前記中心導体を形成し、前記第 1 の外部導体用穴に導体を充填することで第 1 の位置で一部が切り欠かれた環状となるように前記中心導体を囲むように、前記外部導体の部分となる第 1 の外部導体部分を形成する、

付記 9 に記載の配線基板の製造方法。

(付記 1 5)

前記第 1 の面に前記非貫通穴及び前記第 1 の外部導体用穴が形成された状態で、前記第 1 の面に第 1 のシード層を形成し、

前記第 1 のシード層を電極に接続して前記第 1 のシード層にめっきを施すことにより、前記中心導体及び前記第 1 の外部導体部分を形成する、

付記 1 4 に記載の配線基板の製造方法。

(付記 1 6)

前記第 2 の面に表面加工を施すことにより、前記外部導体のための穴であって、前記非貫通穴よりも浅い深さであり、前記第 2 の面から見て C 字形状となるような第 2 の外部導体用穴を、前記中心導体の周囲に形成し、

前記第 2 の面にめっきを施すことによって、前記第 2 の外部導体用穴に導体を充填することで、前記中心導体に対する位置が前記第 1 の位置と異なる第 2 の位置で一部が切り欠かれた環状となるように前記中心導体を囲むように、前記外部導体の部分となる第 2 の外部導体部分を形成する、

付記 1 5 に記載の配線基板の製造方法。

(付記 1 7)

前記第 2 の面に前記第 2 の外部導体用穴が形成された状態で、前記第 2 の面に第 2 のシード層を形成し、

前記第 2 のシード層を電極に接続して前記第 2 のシード層にめっきを施すことにより、前記第 2 の外部導体部分を形成する、

付記 1 6 に記載の配線基板の製造方法。

(付記 1 8)

前記第 1 の外部導体用穴の深さと前記第 2 の外部導体用穴の深さとの合計は、前記シリコン基板の厚さ以上である、

付記 16 又は 17 に記載の配線基板の製造方法。

符号の説明

- [0106] 1 超伝導回路装置
- 2 超伝導回路実装構造
- 3 読み出し部
- 4 制御部
- 10 バンプ
- 12 キャパシティブ結合
- 14 インダクティブ結合
- 20 量子回路チップ
- 22 量子回路
- 24 電極
- 30 配線
- 40 シリコン基板
- 40a 表面
- 40b 裏面
- 42, 44, 46, 48 電極
- 50 配線基板
- 100 貫通電極
- 102 絶縁層
- 110 中心導体
- 120, 130, 140 外部導体
- 132, 142A, 142B 切欠部
- 140a, 140b, 140c 外部導体部分
- 200, 250 シード層
- 201, 230, 251 導体膜

2 0 2 パッド

2 0 4 グラウンドプレーン

2 1 0 非貫通穴

2 2 0, 2 4 1, 2 4 2 外部導体用穴

請求の範囲

- [請求項1] 電気抵抗率が $1000\ \Omega \cdot \text{cm}$ 以上であるシリコンで形成されたシリコン基板と、
前記シリコン基板に形成された貫通電極と
を有し、
前記貫通電極は、前記シリコン基板を貫通する中心導体と、前記中心導体の周囲に形成された外部導体とによって形成されており、
前記中心導体と前記外部導体との間は、前記シリコン基板によって電氣的に絶縁されている、
配線基板。
- [請求項2] 前記外部導体の幅は、前記中心導体の外形寸法の 0.5 倍以下である、
請求項 1 に記載の配線基板。
- [請求項3] 前記外部導体は、前記中心導体の周囲を連続した環状となるように囲むように形成されている、
請求項 1 又は 2 に記載の配線基板。
- [請求項4] 前記外部導体は、前記中心導体の周囲を一部が切り欠かれた環状となるように囲むように形成されている、
請求項 1 又は 2 に記載の配線基板。
- [請求項5] 前記外部導体の切り欠かれた箇所の離間距離が、前記中心導体の径以下である、
請求項 4 に記載の配線基板。
- [請求項6] 前記外部導体は、前記シリコン基板の厚さ方向に連続した形状となるように形成されている、
請求項 1 ～ 5 のいずれか一項に記載の配線基板。
- [請求項7] 前記外部導体は、前記シリコン基板の第 1 の面の側に形成された第 1 の外部導体部分と、前記シリコン基板の前記第 1 の面とは反対側の面である第 2 の面に形成され、前記第 1 の外部導体部分と電氣的に接

続された第2の外部導体部分とを有し、

前記第1の外部導体部分は、前記中心導体の周囲を第1の位置で一部が切り欠かれた環状となるように囲むように形成されており、

前記第2の外部導体部分は、前記中心導体の周囲を第2の位置で一部が切り欠かれた環状となるように囲むように形成されており、

前記中心導体に対する前記第1の位置が、前記中心導体に対する前記第2の位置と異なる、

請求項1又は2に記載の配線基板。

[請求項8]

前記外部導体は、前記第1の外部導体部分と前記第2の外部導体部分との間に、前記中心導体の周囲を連続した環状となるように囲むように形成された第3の外部導体部分をさらに有する

請求項7に記載の配線基板。

[請求項9]

電気抵抗率が $1000\Omega\cdot\text{cm}$ 以上であるシリコンで形成されたシリコン基板の第1の面を表面加工することによって、貫通電極の中心導体のための非貫通穴を形成し、

めっきによって前記非貫通穴に導体を充填することで、前記中心導体を形成し、

前記シリコン基板の前記第1の面とは反対側の面である第2の面を少なくとも表面加工することにより、前記中心導体の周囲に前記貫通電極の外部導体のための穴である少なくとも1つの外部導体用穴を形成し、

めっきによって前記外部導体用穴に導体を充填することで、前記外部導体を形成し、

前記第2の面において前記中心導体が露出するように、前記第2の面を表面加工する、

配線基板の製造方法。

[請求項10]

前記第1の面にめっきを施すことで、前記非貫通穴に導体を充填して前記中心導体を形成するとともに、前記第1の面における前記中心

導体の周囲に、導体膜を形成する、

請求項 9 に記載の配線基板の製造方法。

[請求項11] 前記導体膜に対して表面加工を施すことにより、前記第 1 の面における前記中心導体の電極を形成し、前記第 1 の面における前記中心導体の周囲にグラウンドプレーンを形成する、

請求項 10 に記載の配線基板の製造方法。

[請求項12] 前記外部導体用穴を、前記第 2 の面から、前記第 1 の面に形成された前記グラウンドプレーンに到達するまで形成し、

前記グラウンドプレーンを電極に接続して、めっきによって前記外部導体用穴に導体を充填することで、前記外部導体を、前記中心導体の周囲を連続した又は一部が切り欠かれた環状となるように囲むように形成する、

請求項 11 に記載の配線基板の製造方法。

[請求項13] 前記外部導体用穴を、前記第 2 の面から前記第 1 の面に形成された前記グラウンドプレーンに到達するまで形成し、

前記グラウンドプレーンを電極に接続して、めっきによって前記外部導体用穴に導体を充填することで、前記外部導体を、前記シリコン基板の厚さ方向に連続した形状となるように、形成する、

請求項 11 又は 12 に記載の配線基板の製造方法。

[請求項14] 前記第 1 の面に表面加工を施すことにより、前記外部導体のための穴であって、前記非貫通穴の深さよりも浅い深さであり、前記第 1 の面から見て C 字形状となるような第 1 の外部導体用穴を、前記非貫通穴の周囲に形成し、

前記第 1 の面にめっきを施すことによって、前記非貫通穴に導体を充填することで前記中心導体を形成し、前記第 1 の外部導体用穴に導体を充填することで第 1 の位置で一部が切り欠かれた環状となるように前記中心導体を囲むように、前記外部導体の部分となる第 1 の外部導体部分を形成する、

請求項 9 に記載の配線基板の製造方法。

[請求項15] 前記第 1 の面に前記非貫通穴及び前記第 1 の外部導体用穴が形成された状態で、前記第 1 の面に第 1 のシード層を形成し、

前記第 1 のシード層を電極に接続して前記第 1 のシード層にめっきを施すことにより、前記中心導体及び前記第 1 の外部導体部分を形成する、

請求項 1 4 に記載の配線基板の製造方法。

[請求項16] 前記第 2 の面に表面加工を施すことにより、前記外部導体のための穴であって、前記非貫通穴よりも浅い深さであり、前記第 2 の面から見て C 字形状となるような第 2 の外部導体用穴を、前記中心導体の周囲に形成し、

前記第 2 の面にめっきを施すことによって、前記第 2 の外部導体用穴に導体を充填することで、前記中心導体に対する位置が前記第 1 の位置と異なる第 2 の位置で一部が切り欠かれた環状となるように前記中心導体を囲むように、前記外部導体の部分となる第 2 の外部導体部分を形成する、

請求項 1 5 に記載の配線基板の製造方法。

[請求項17] 前記第 2 の面に前記第 2 の外部導体用穴が形成された状態で、前記第 2 の面に第 2 のシード層を形成し、

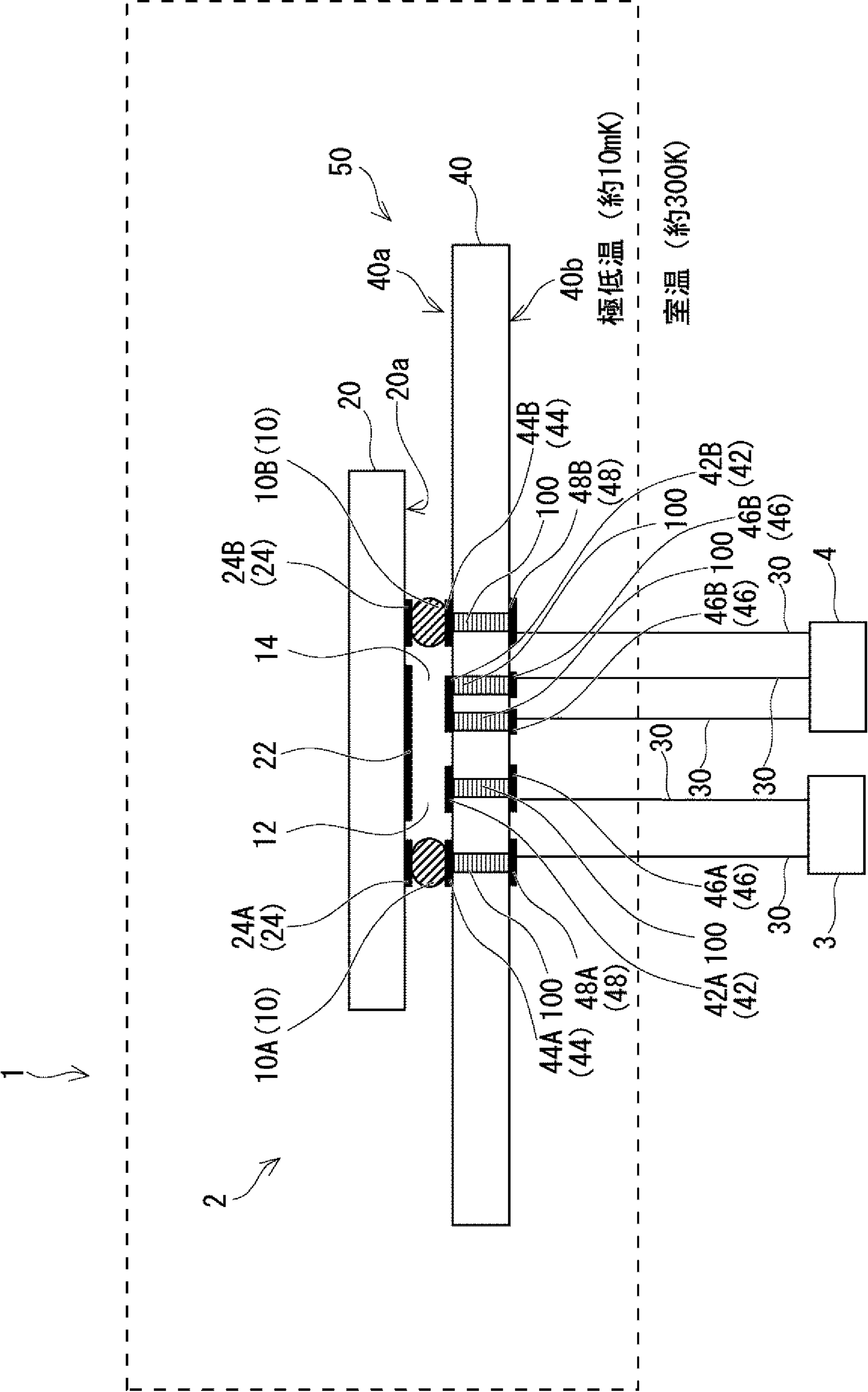
前記第 2 のシード層を電極に接続して前記第 2 のシード層にめっきを施すことにより、前記第 2 の外部導体部分を形成する、

請求項 1 6 に記載の配線基板の製造方法。

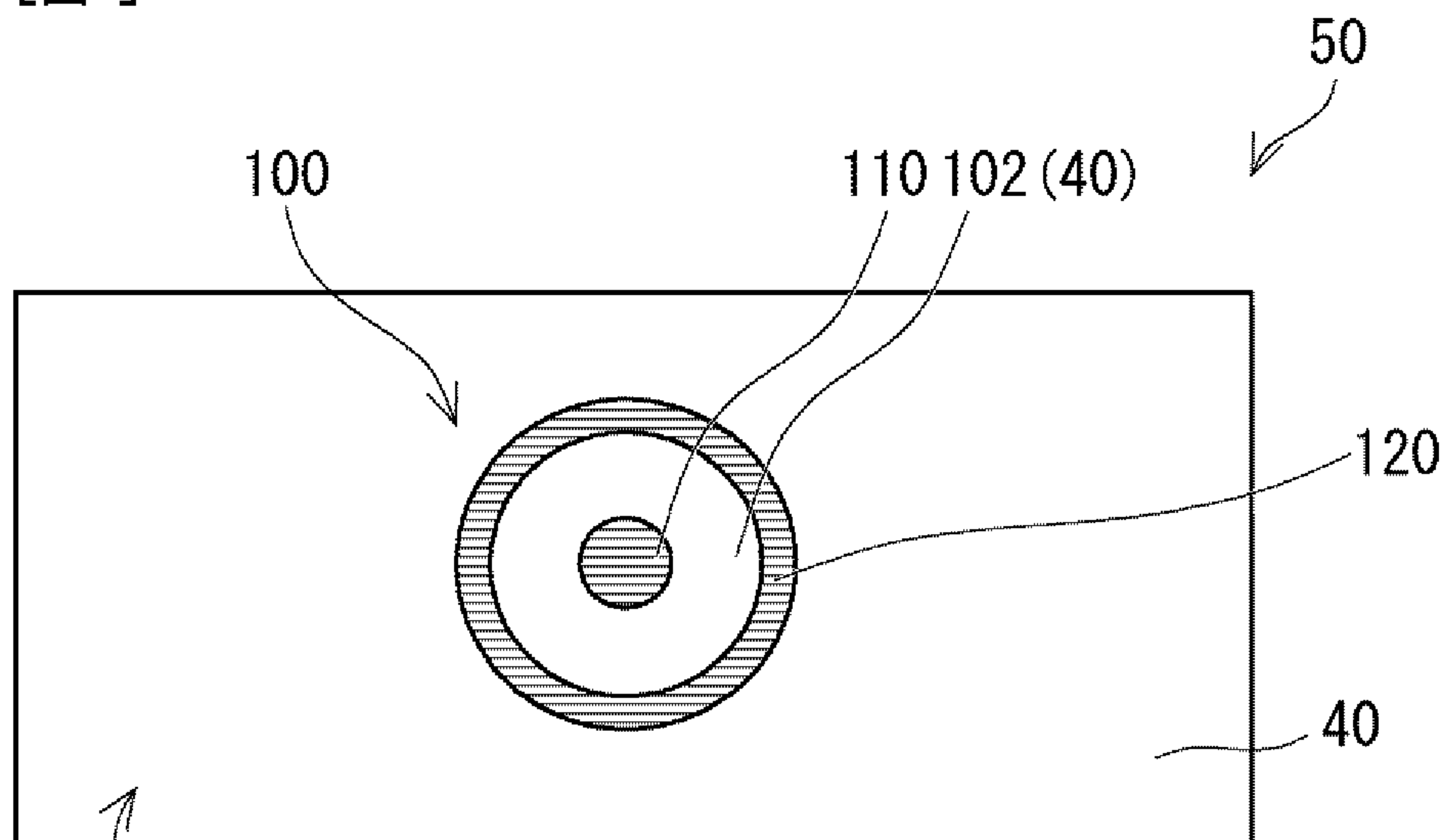
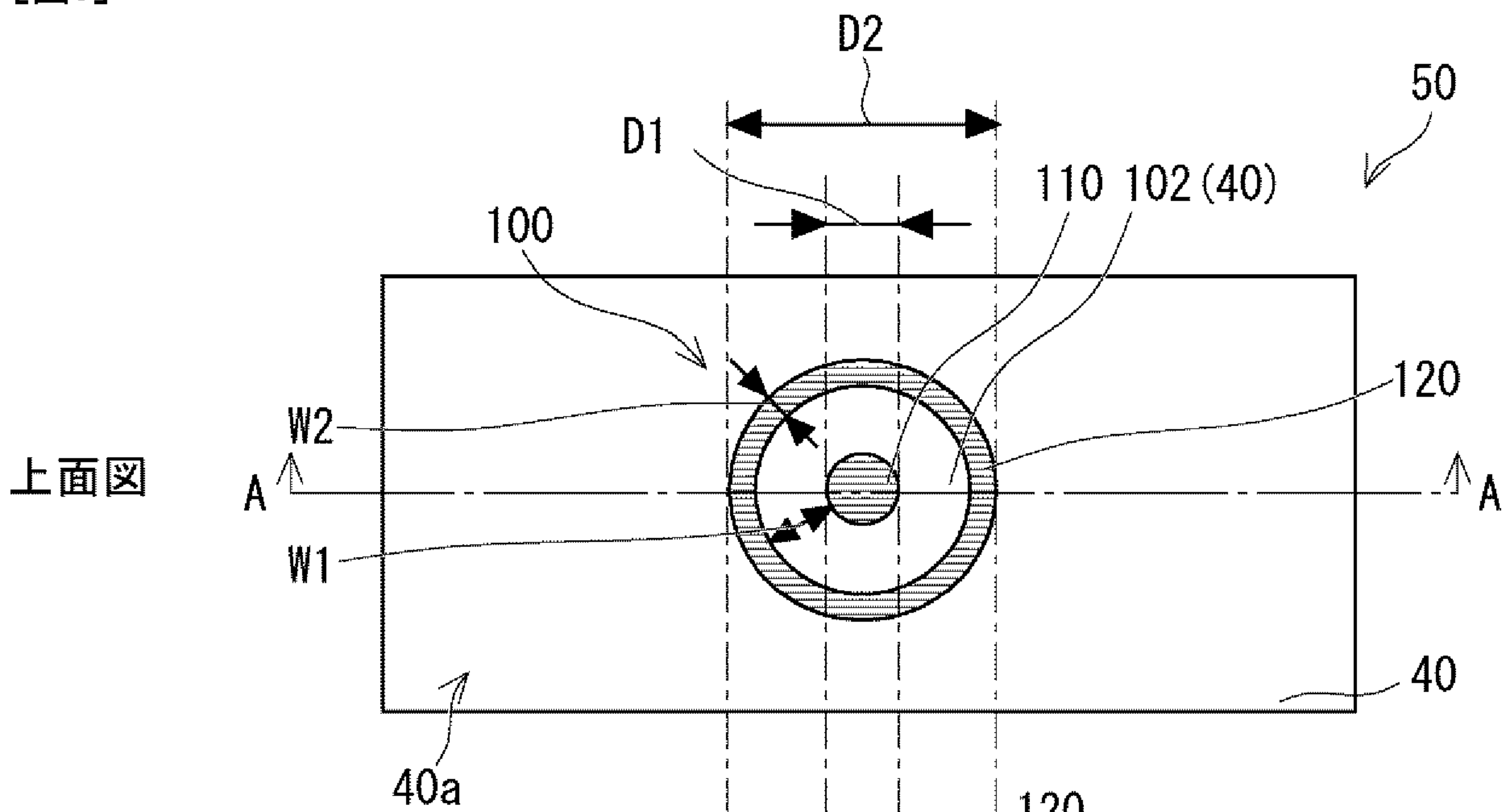
[請求項18] 前記第 1 の外部導体用穴の深さと前記第 2 の外部導体用穴の深さとの合計は、前記シリコン基板の厚さ以上である、

請求項 1 6 又は 1 7 に記載の配線基板の製造方法。

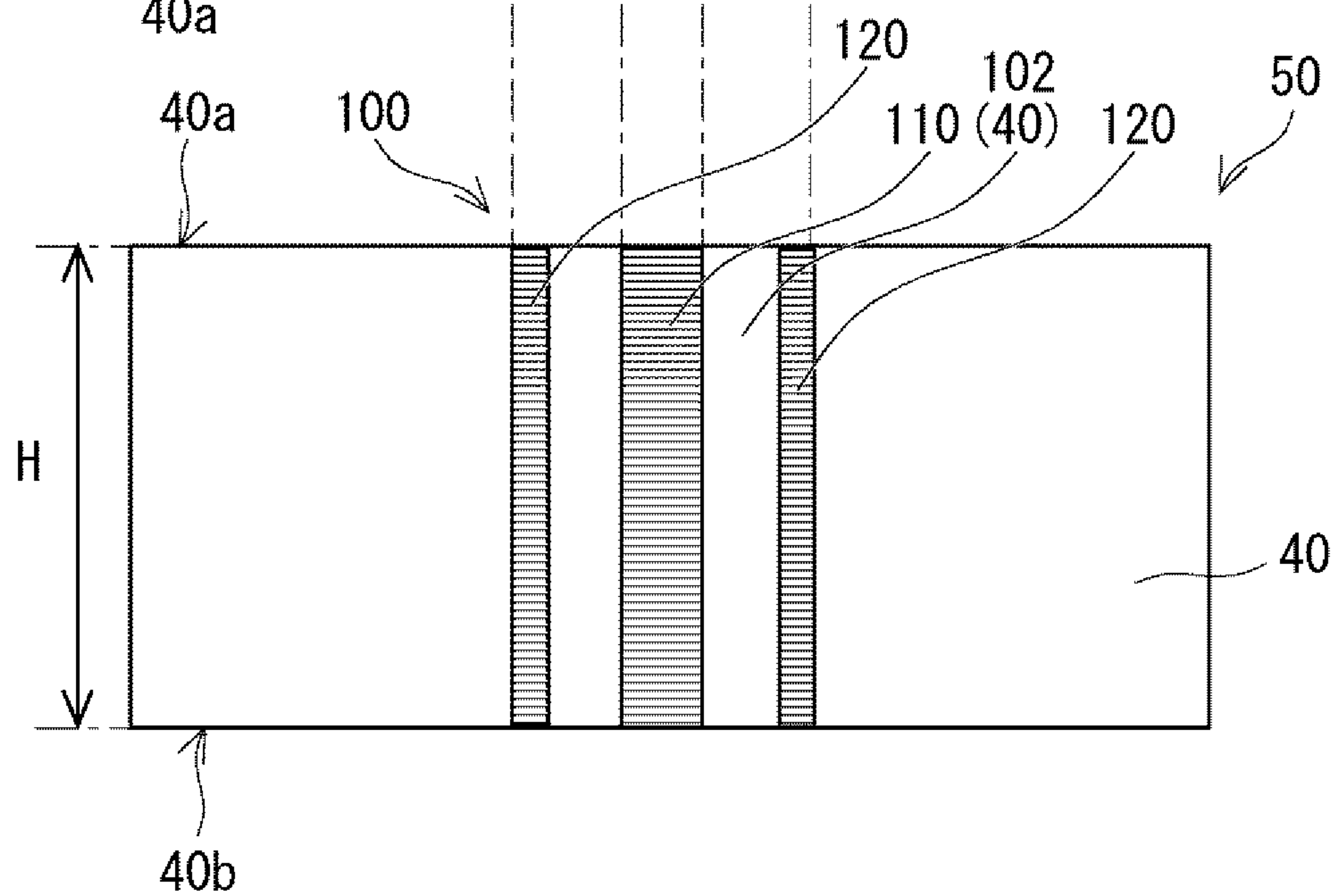
[図1]



[図2]

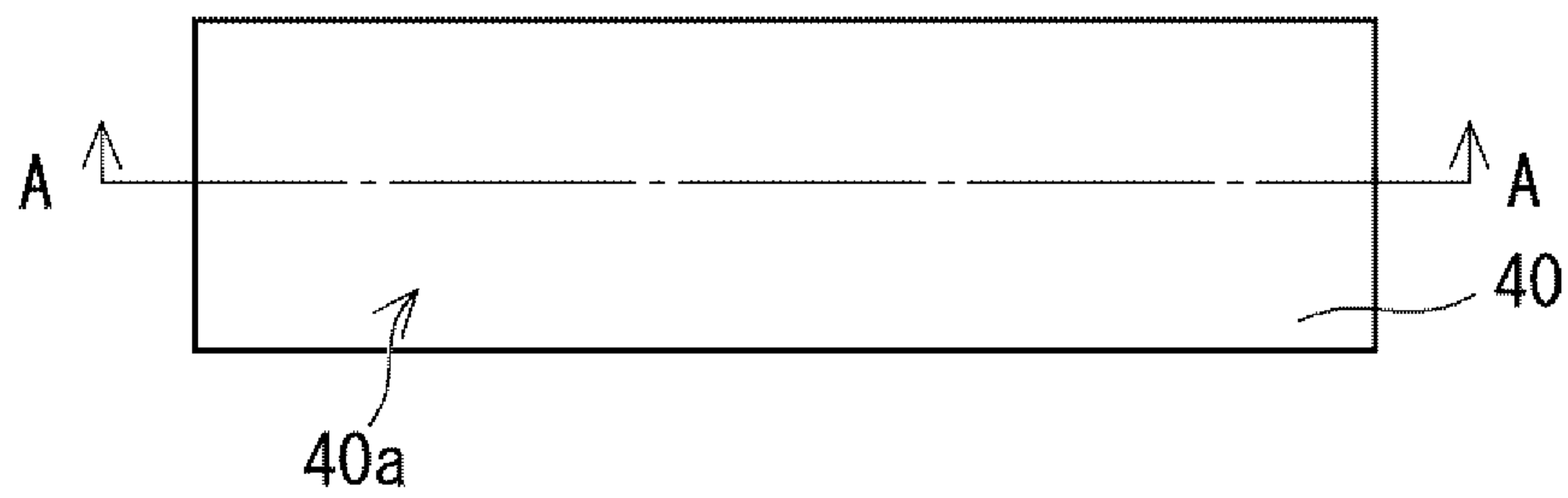
40a
[図3]

上面図

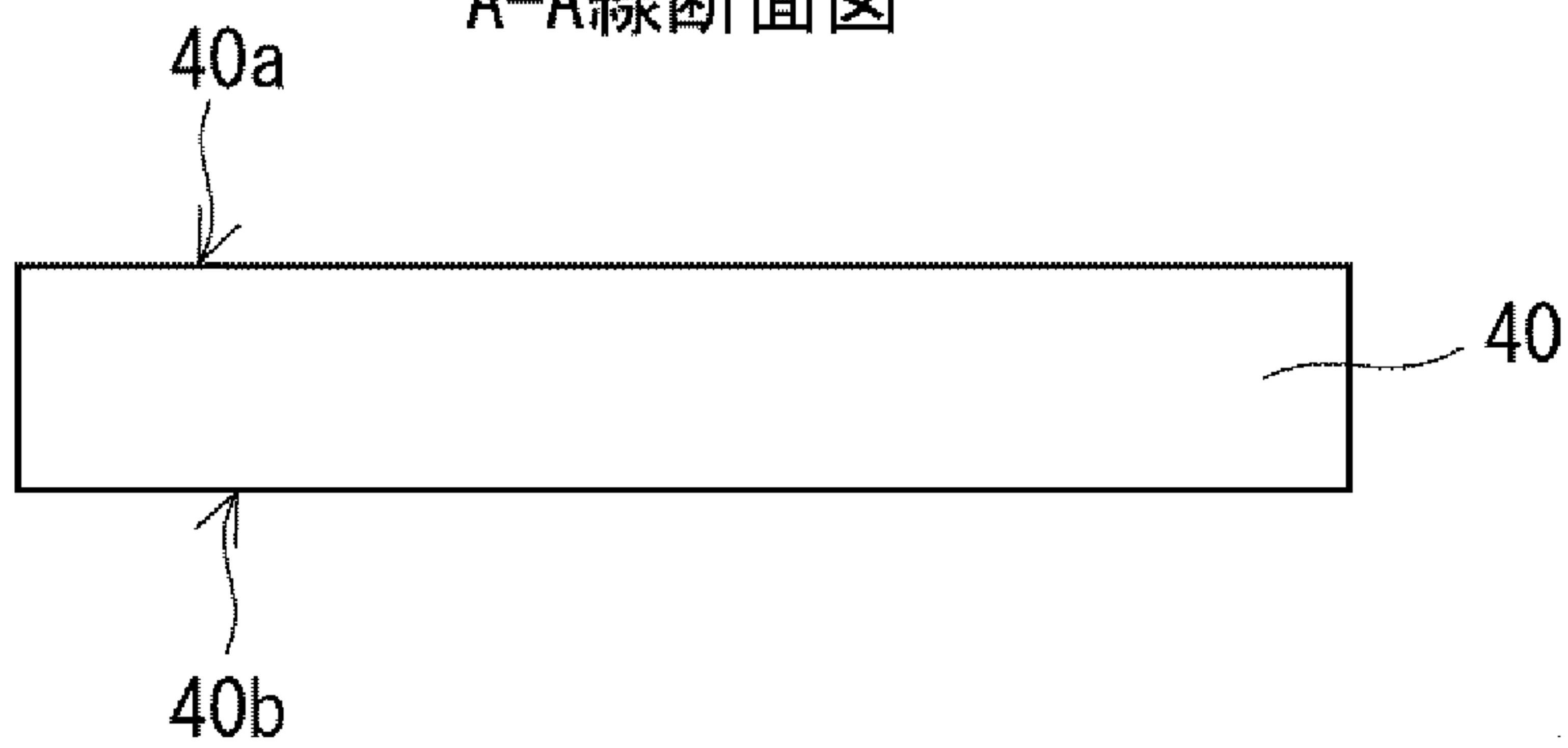
A-A線
断面図

[図4]

上面図

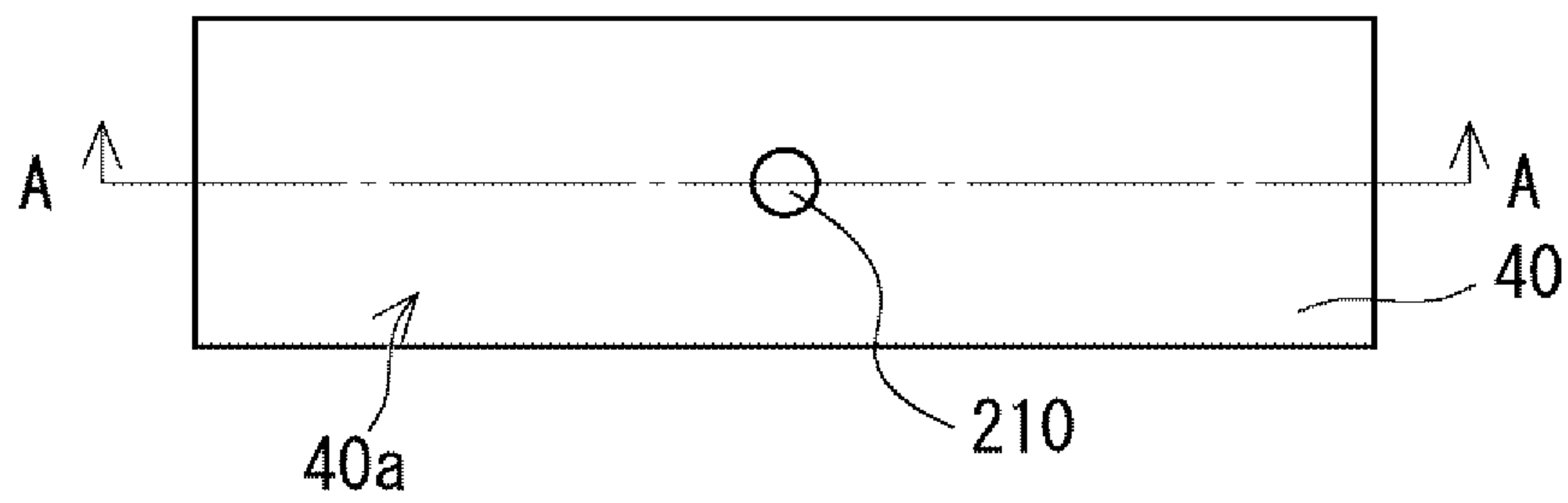


A-A線断面図

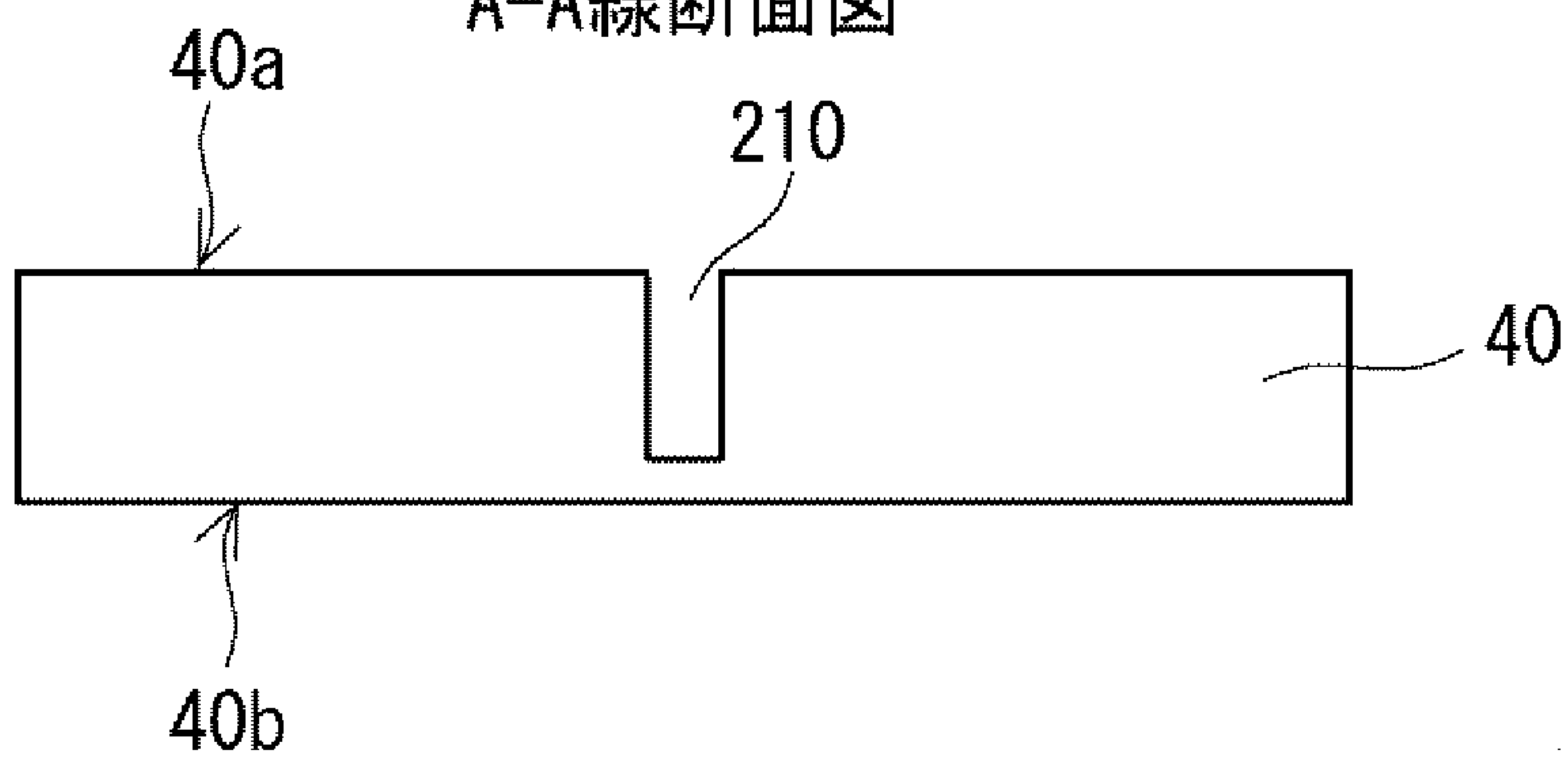


[図5]

上面図

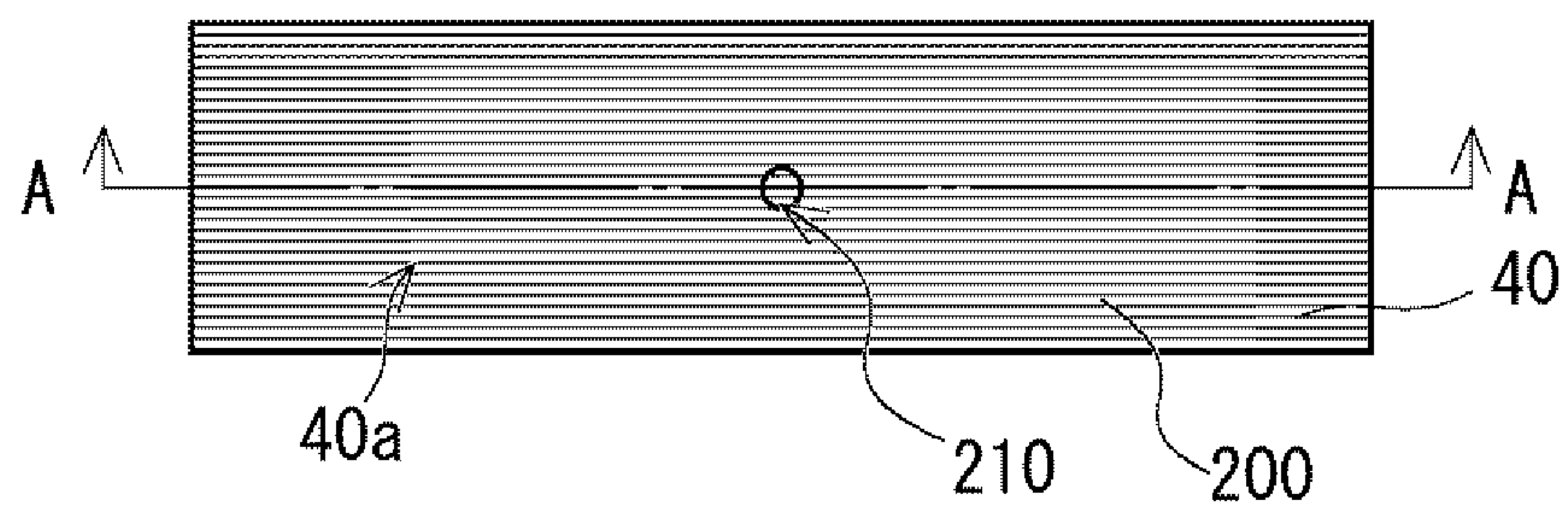


A-A線断面図

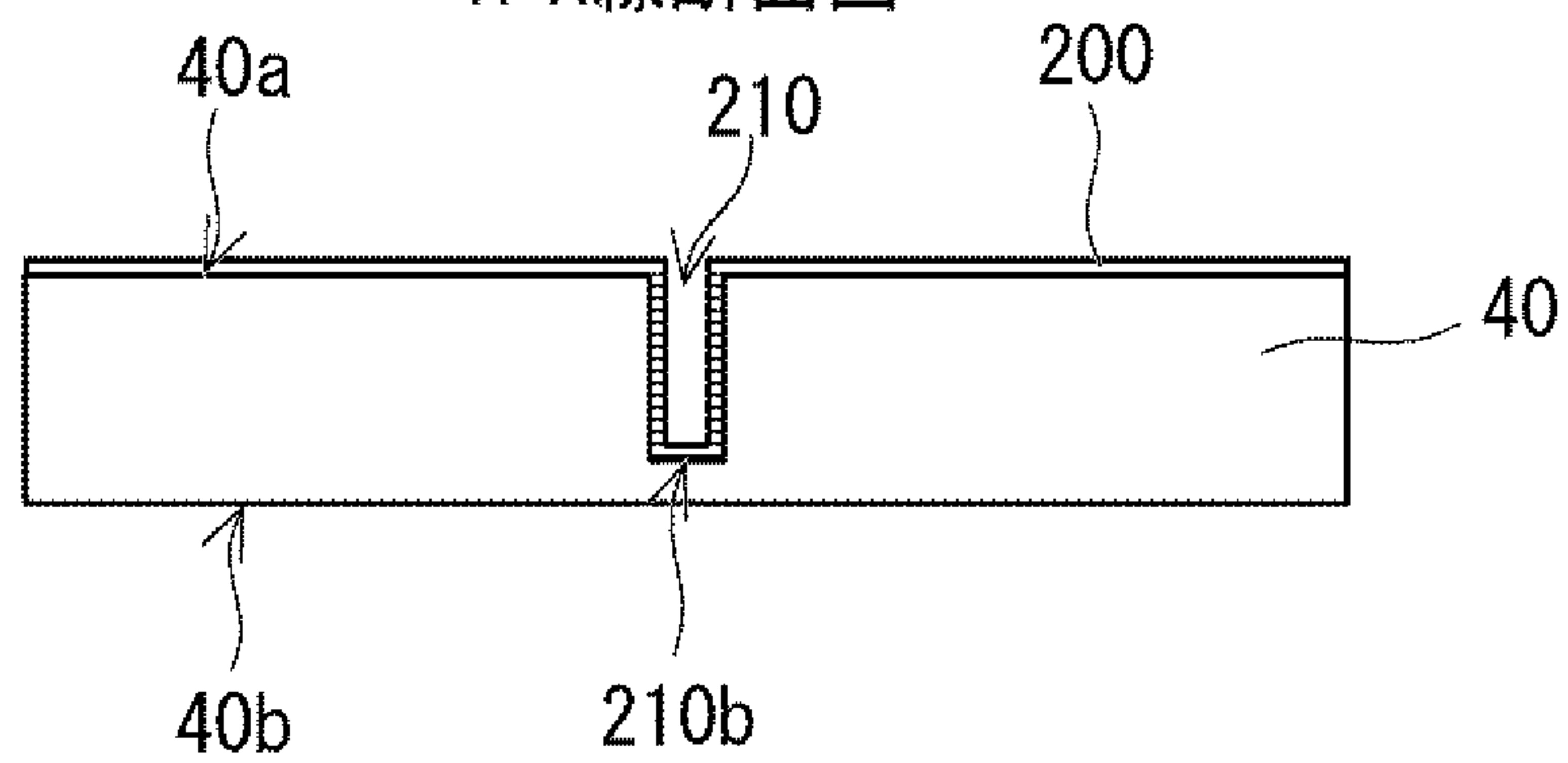


[図6]

上面図

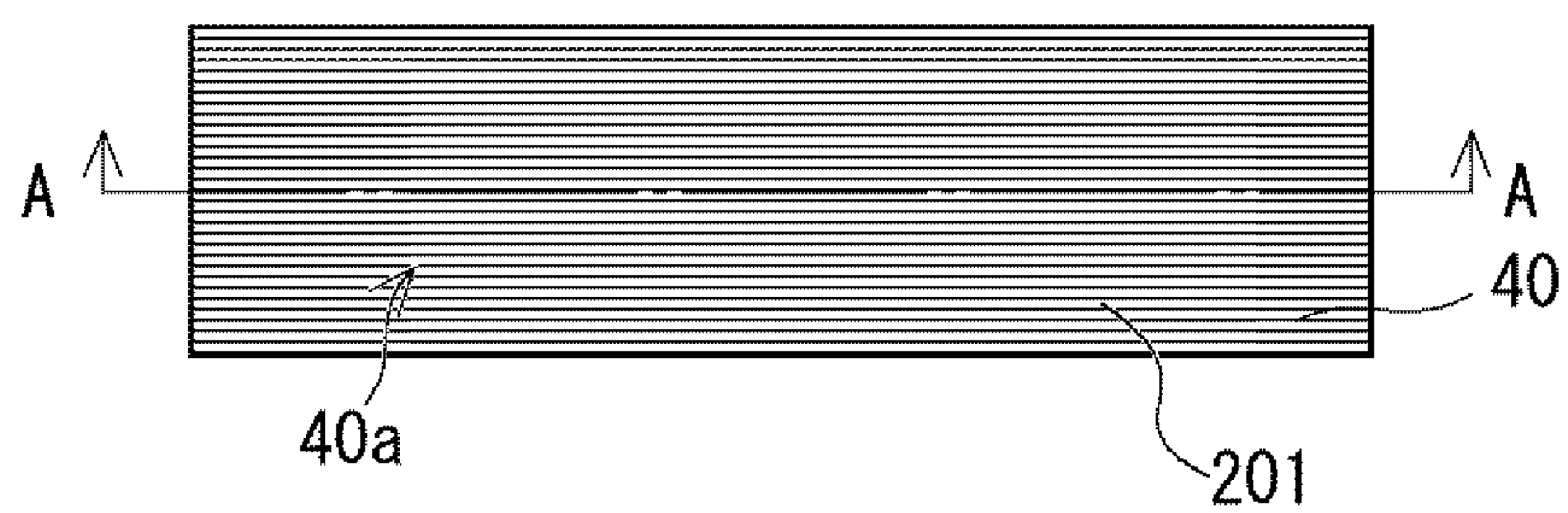


A-A線断面図

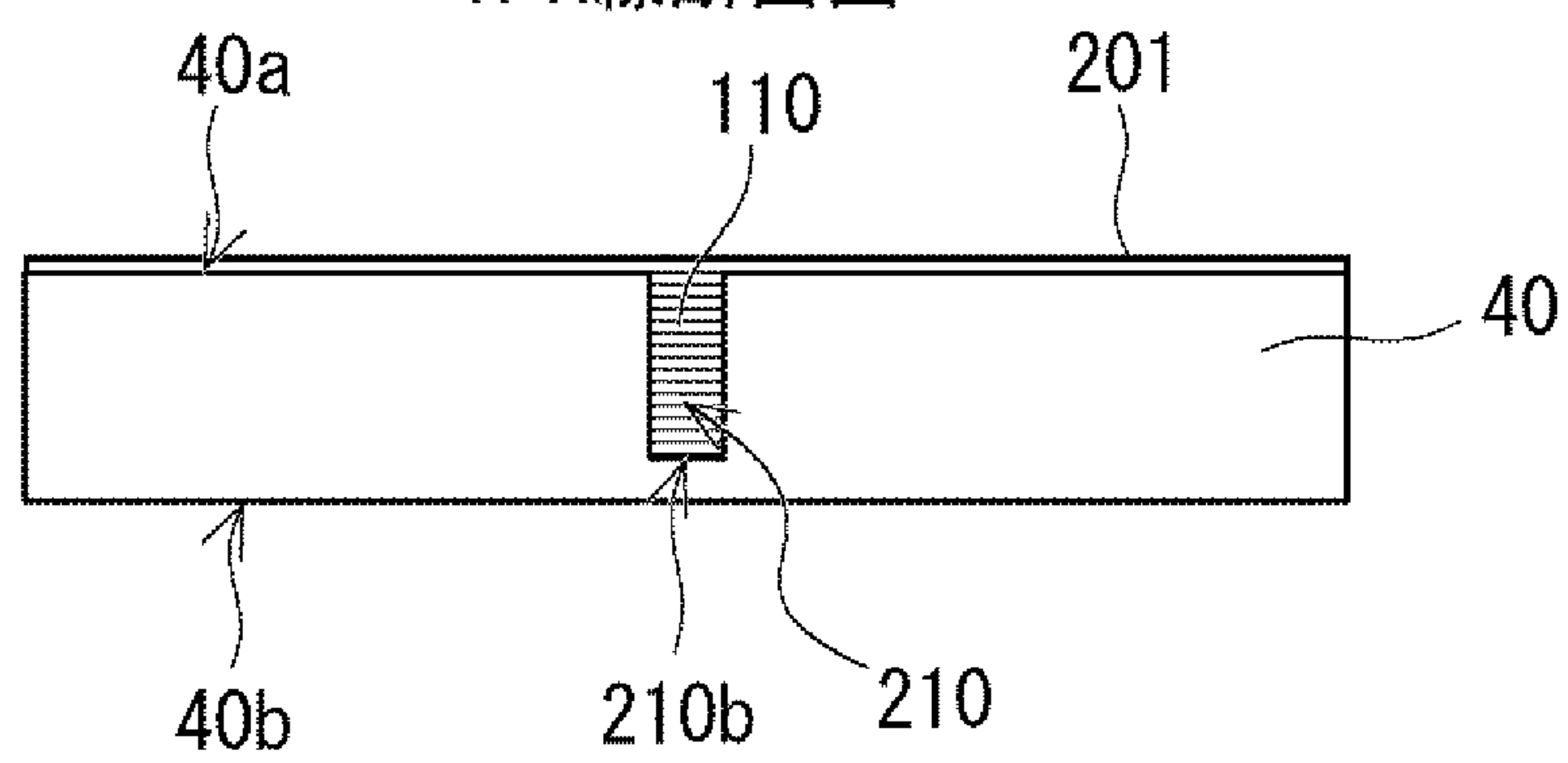


[図7]

上面図

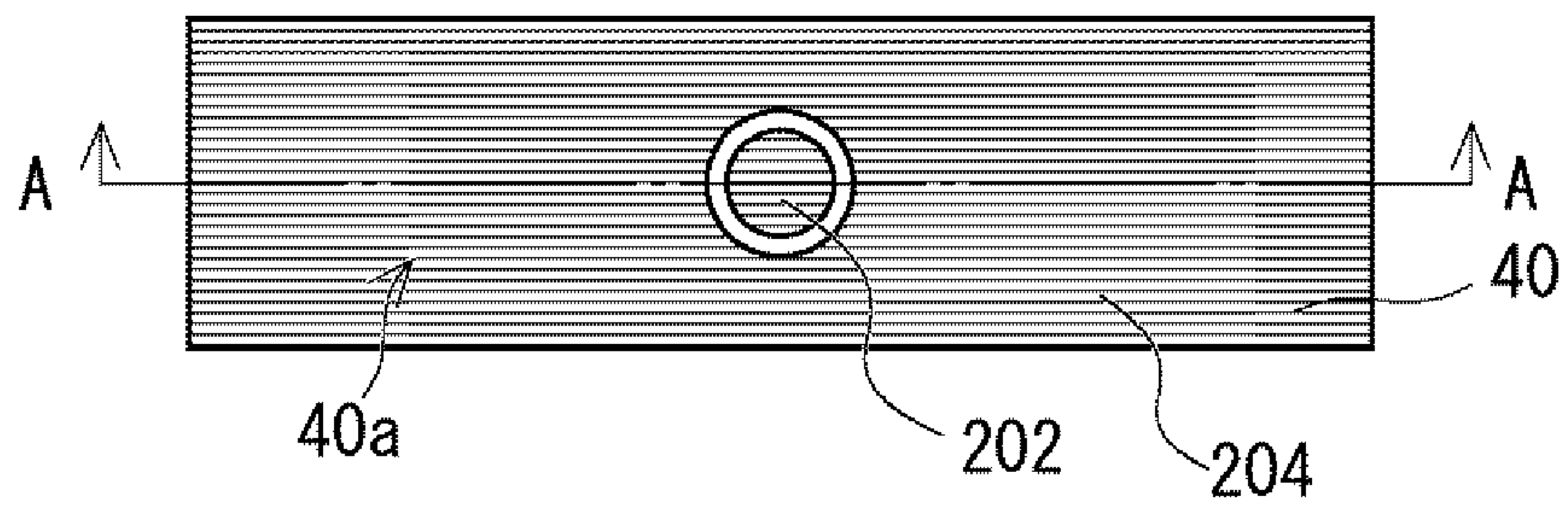


A-A線断面図

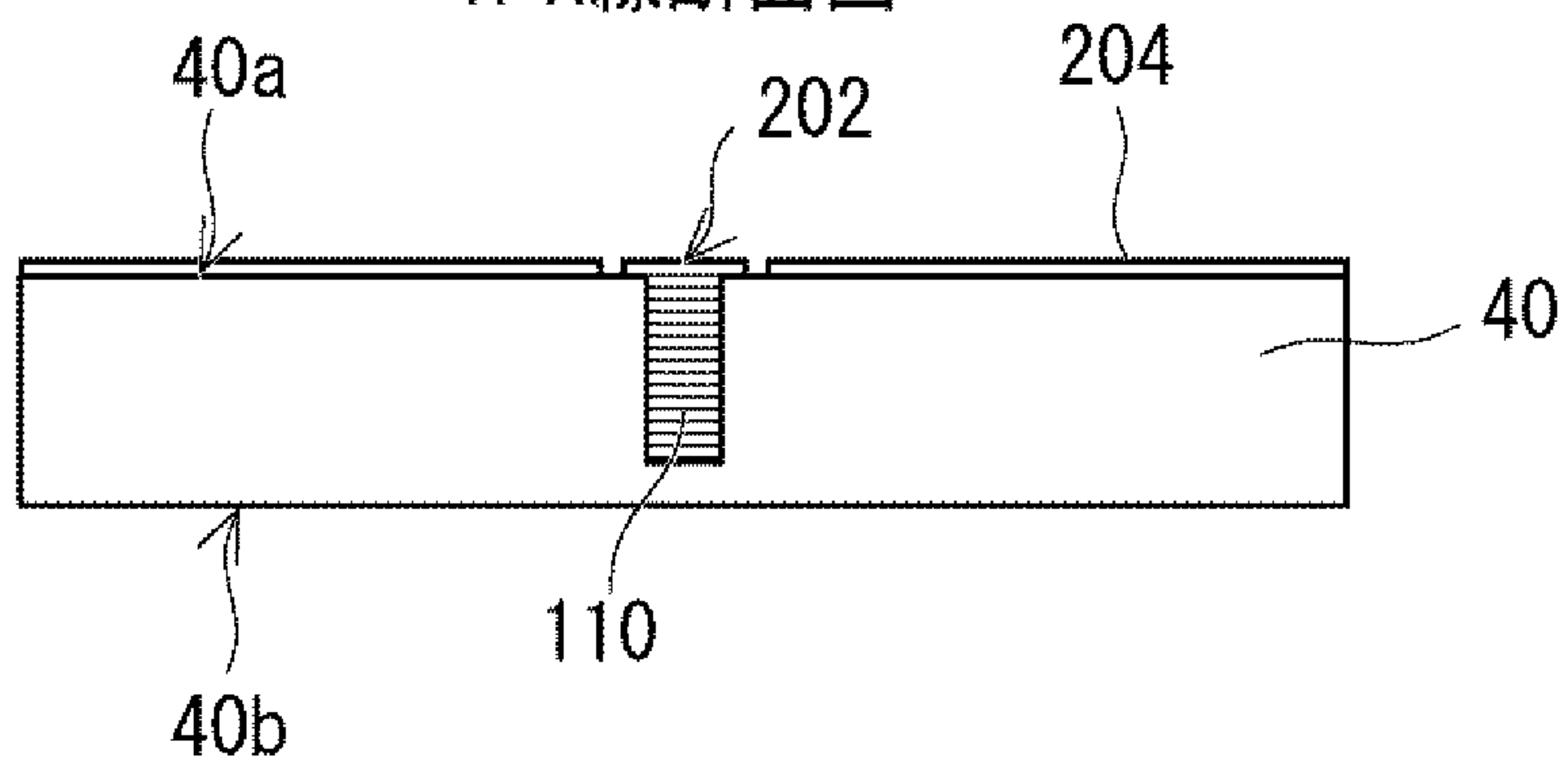


[図8]

上面図

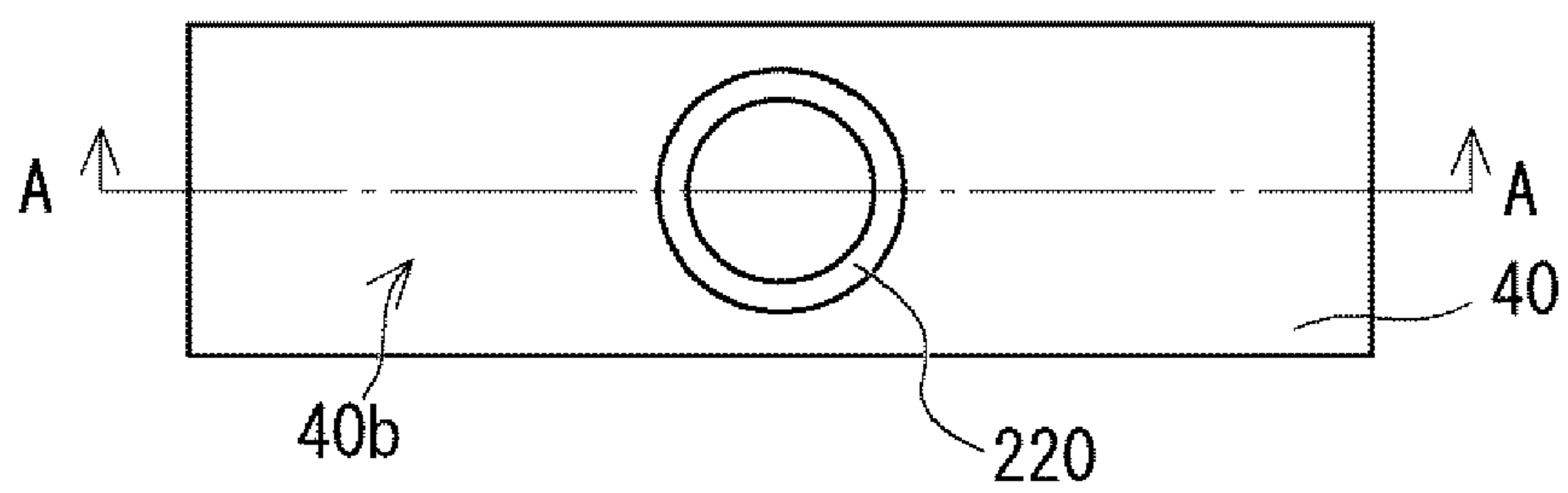


A-A線断面図

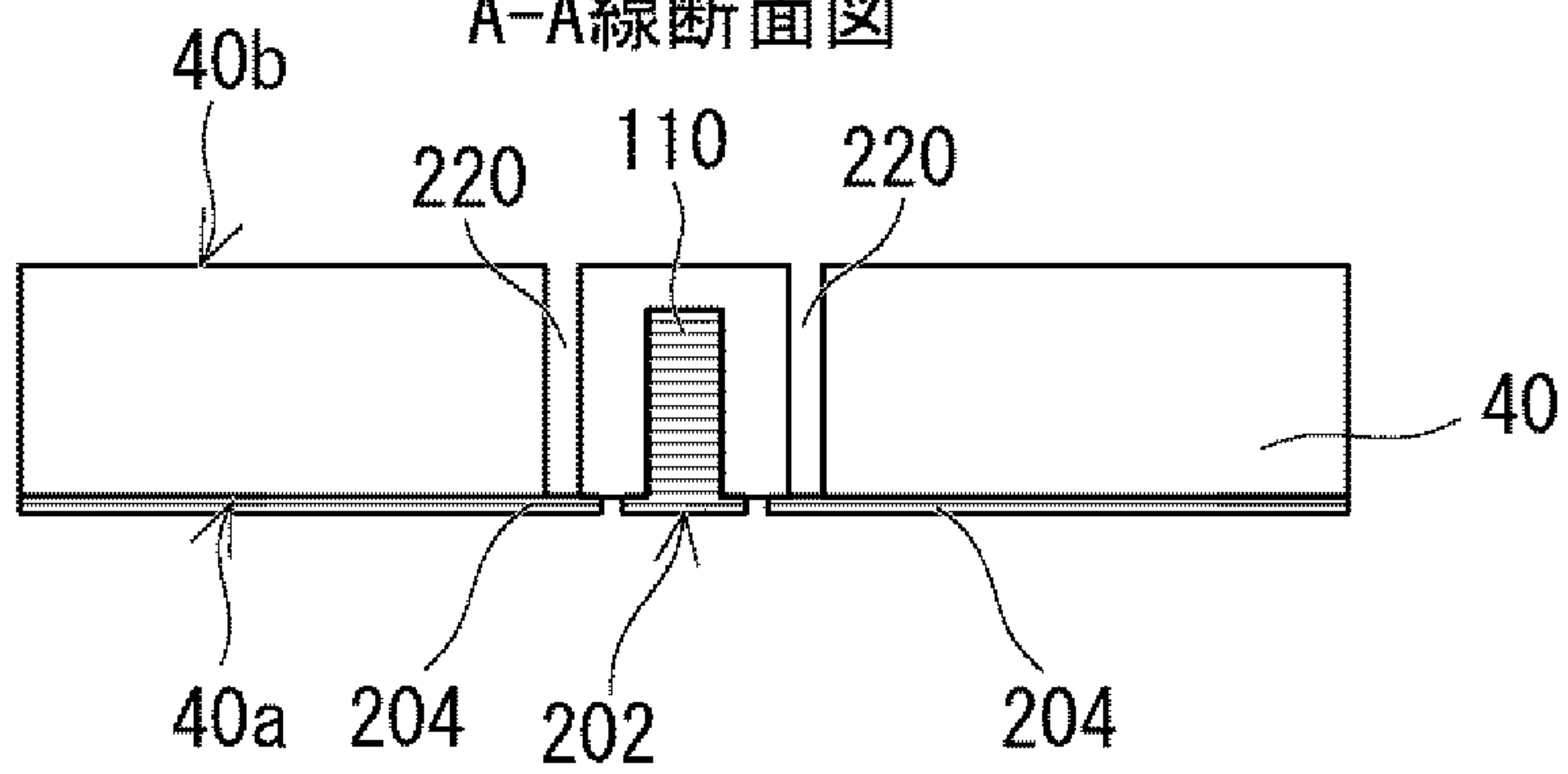


[図9]

上面図

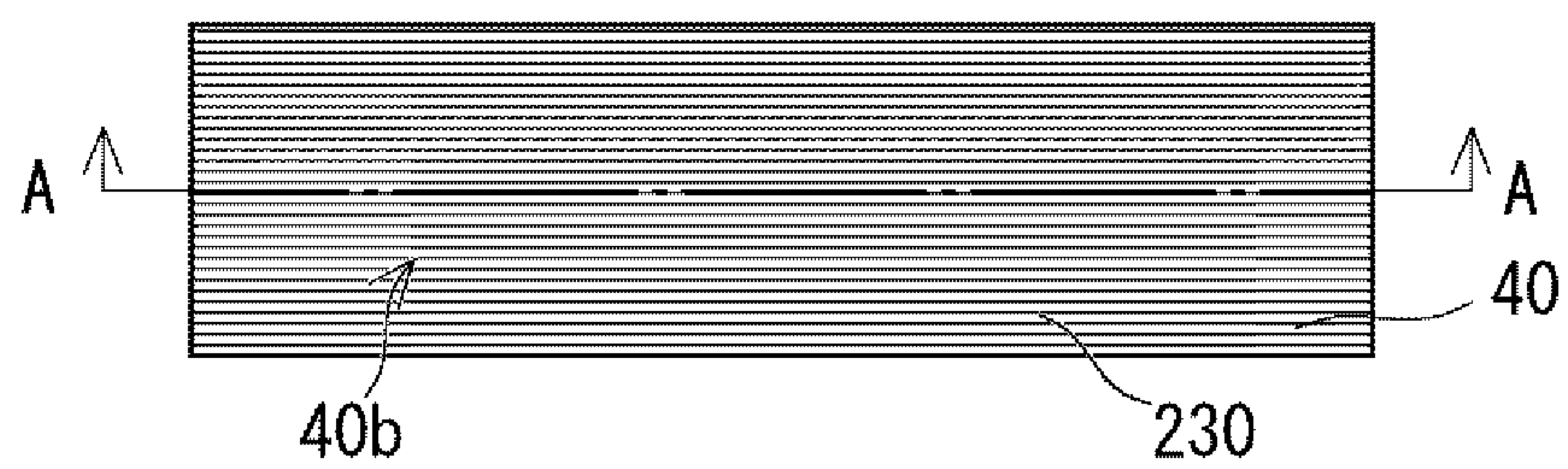


A-A線断面図

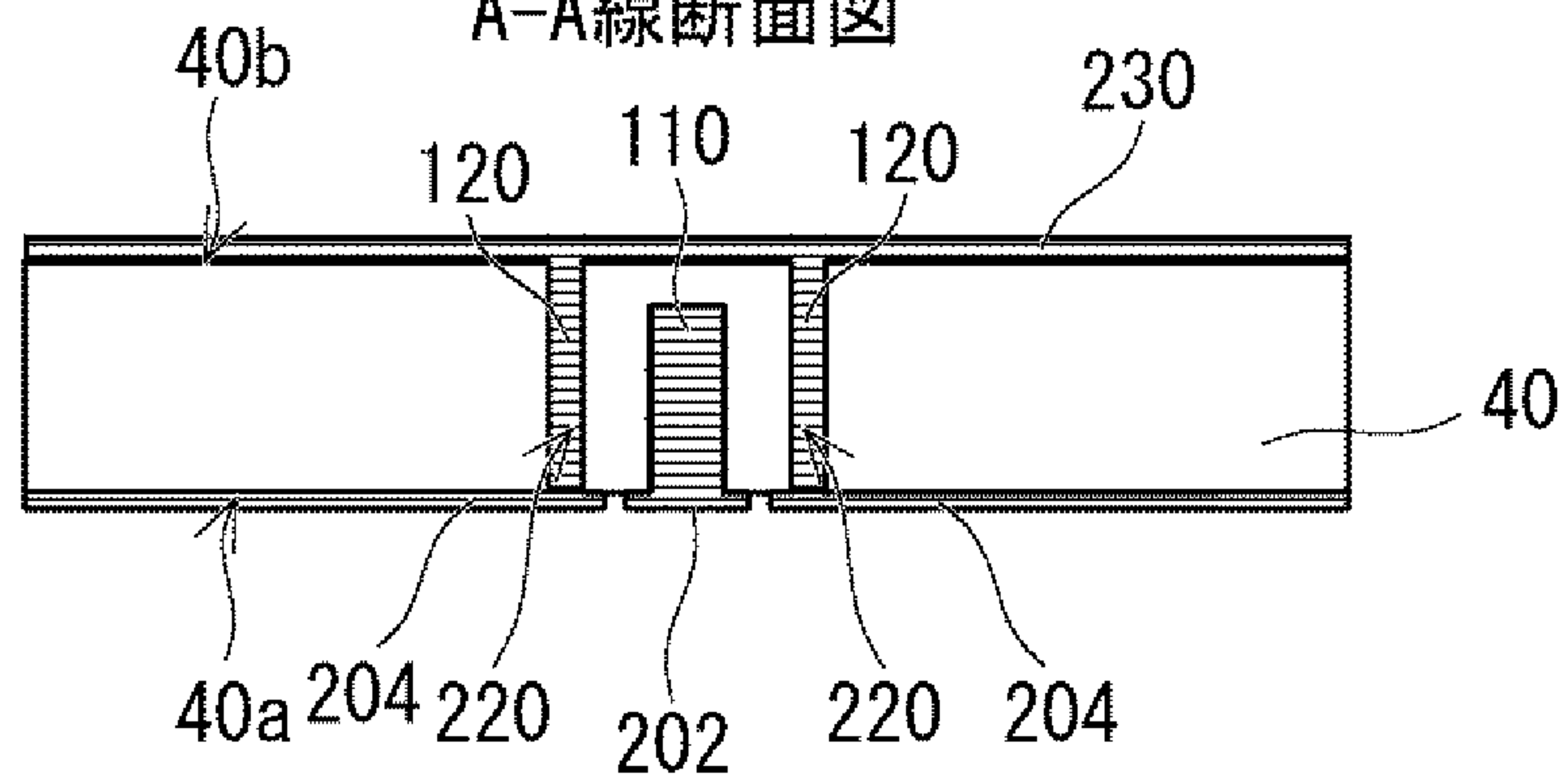


[図10]

上面図

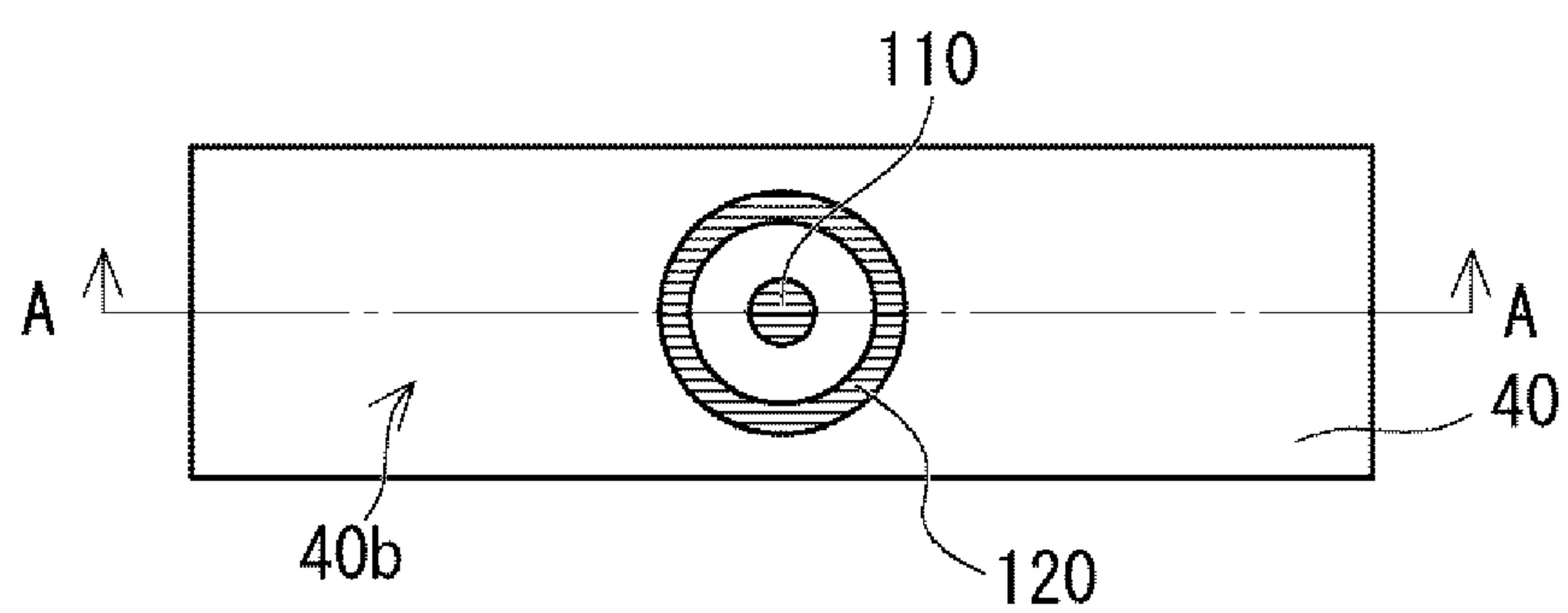


A-A線断面図

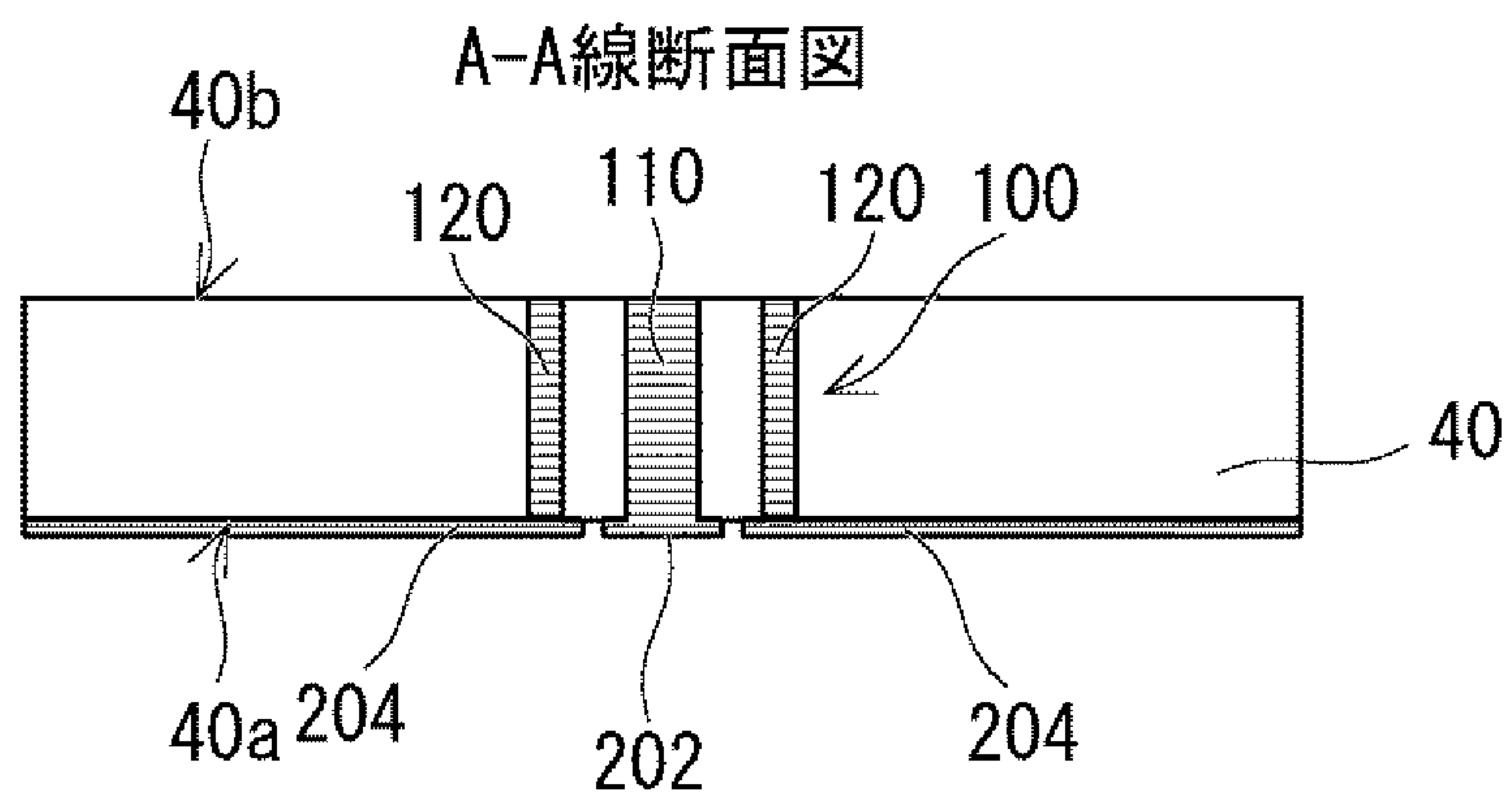


[図11]

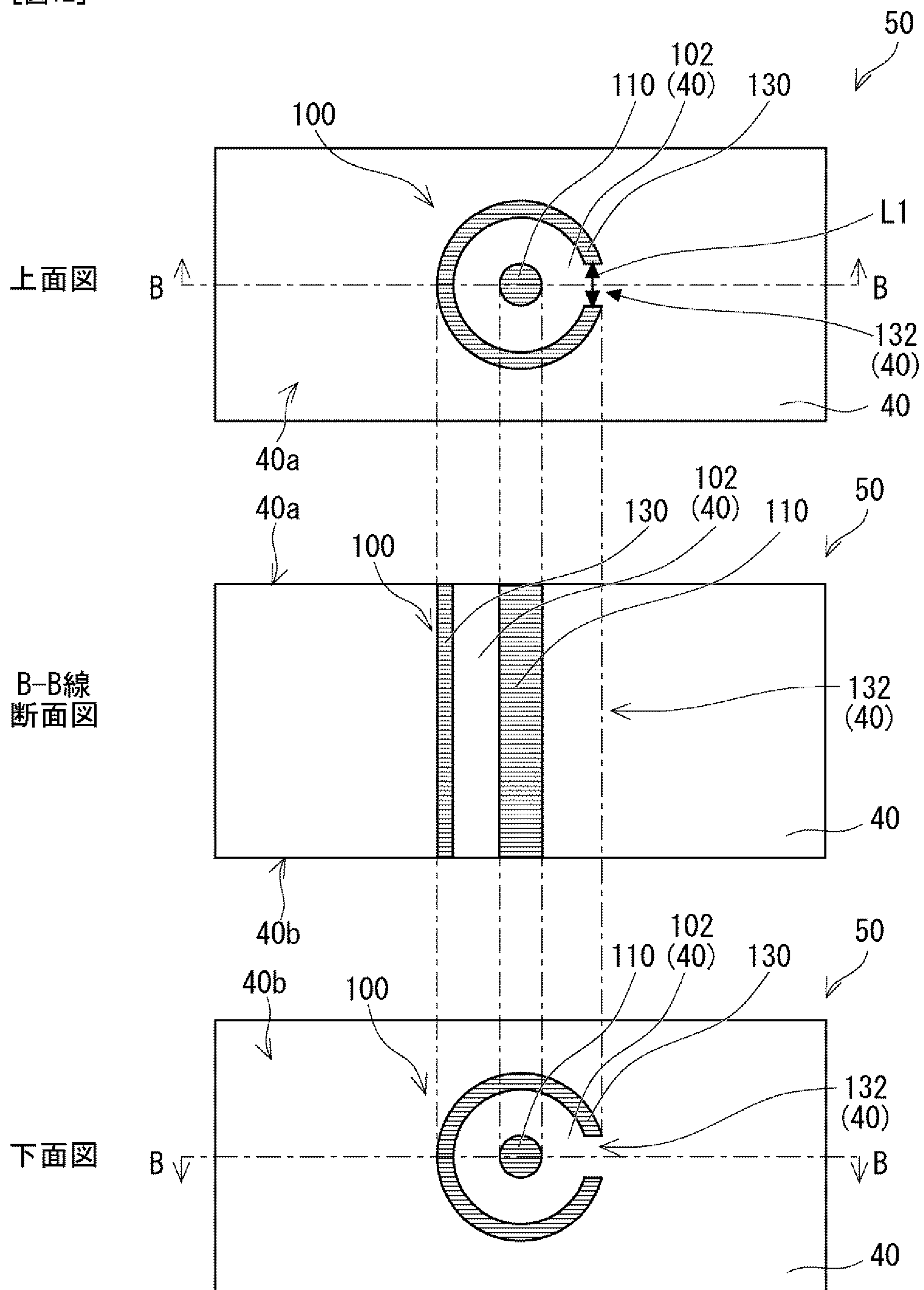
上面図



A-A線断面図

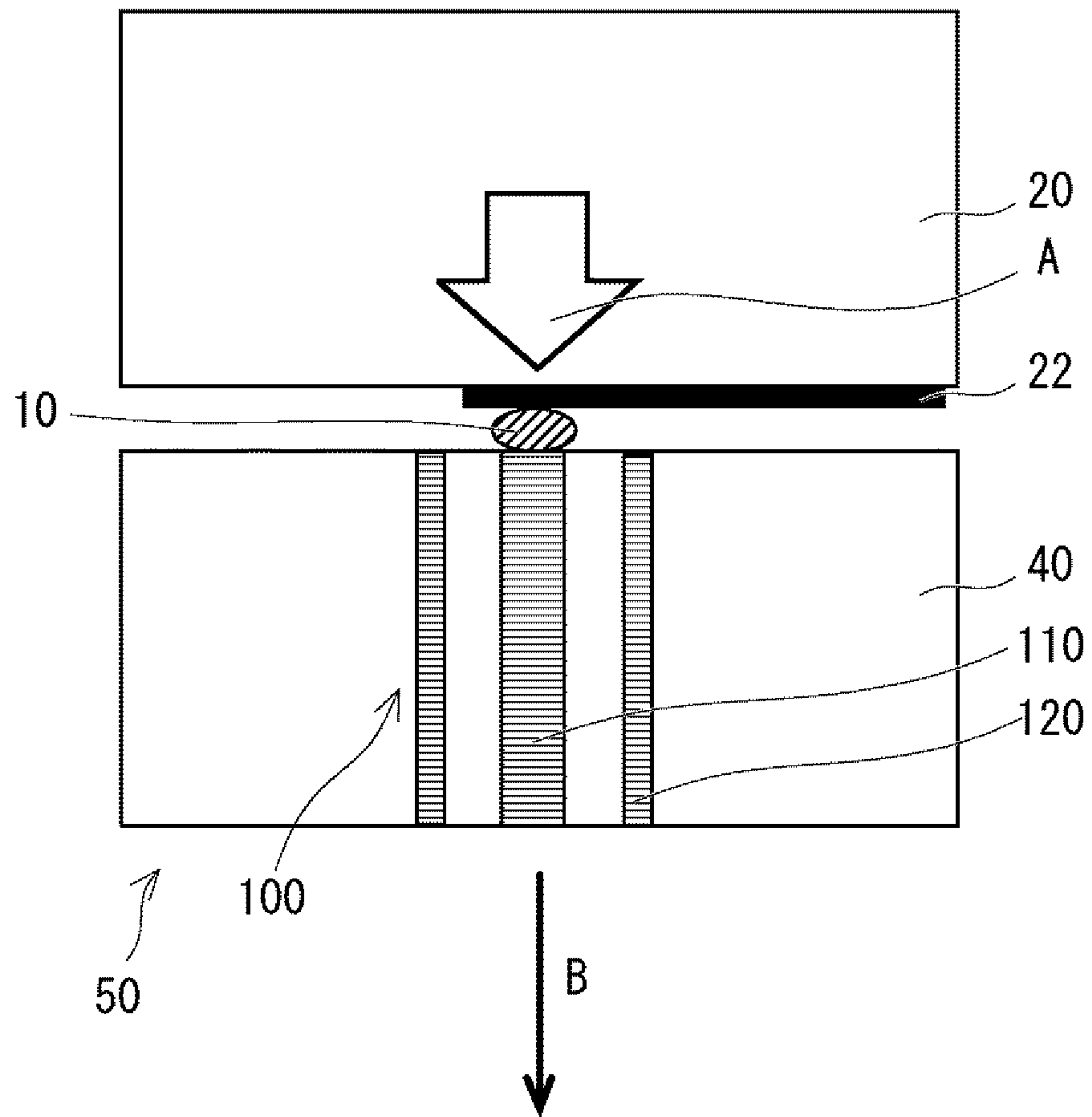


[図12]

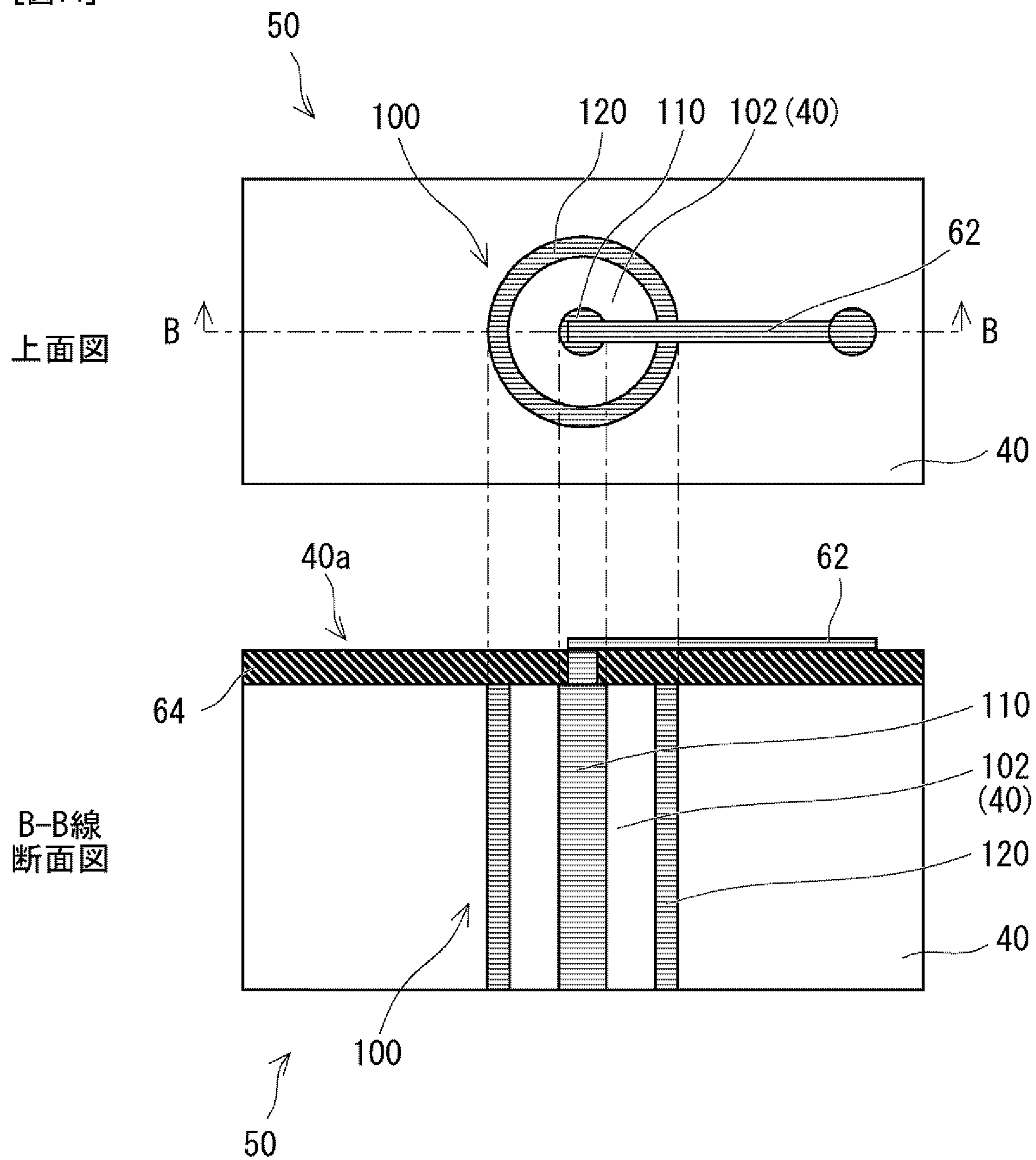


[図13]

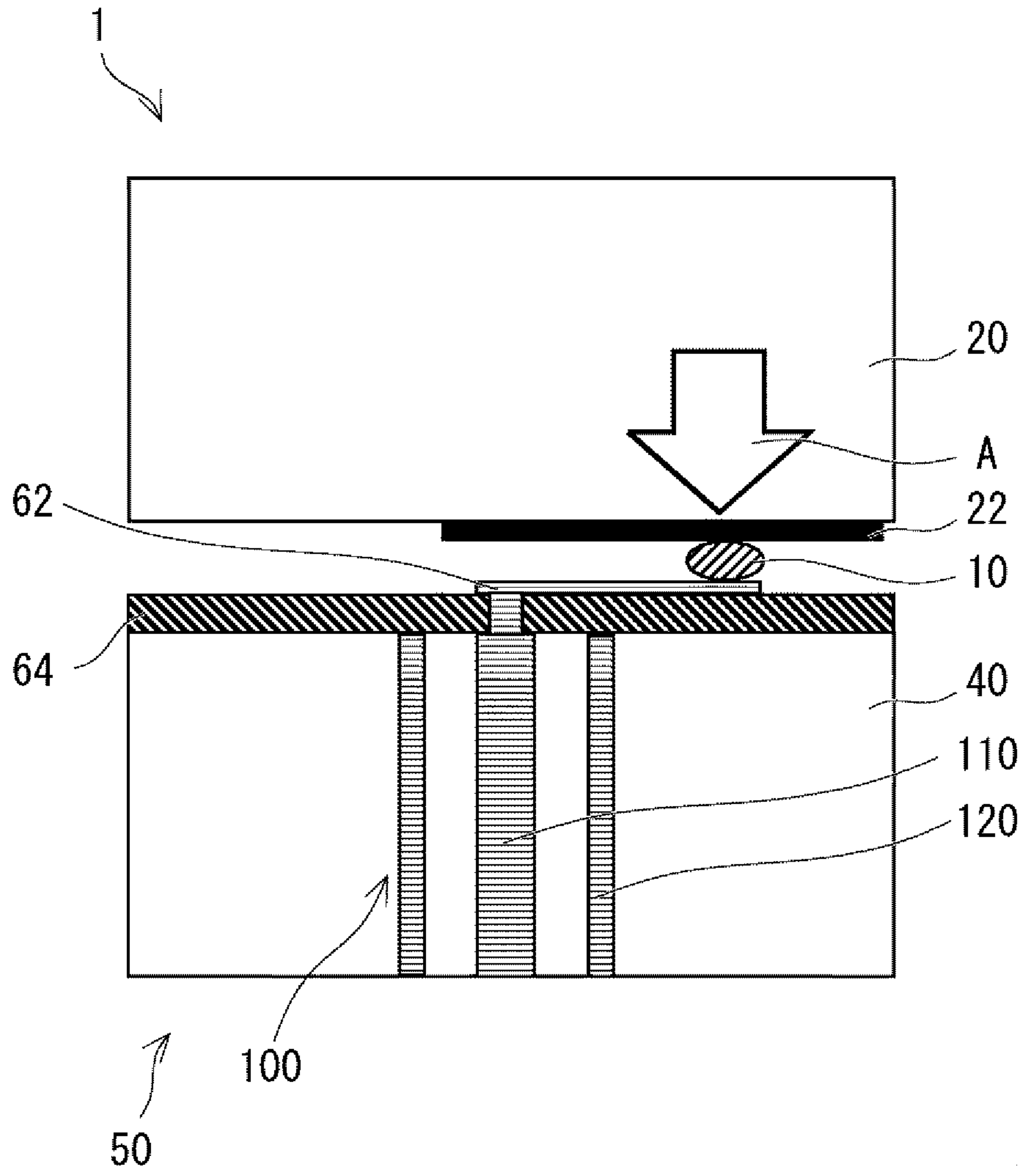
1



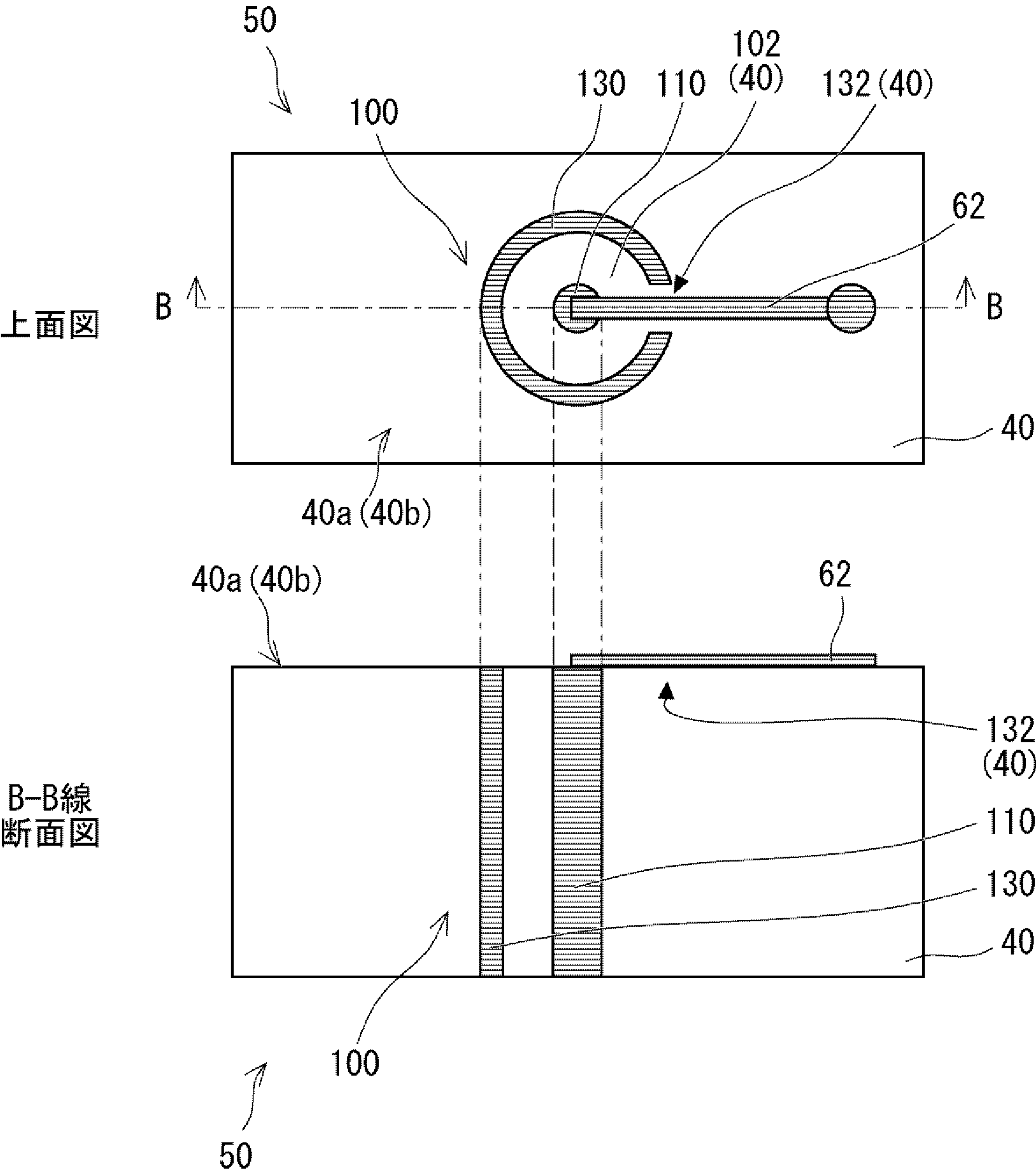
[図14]



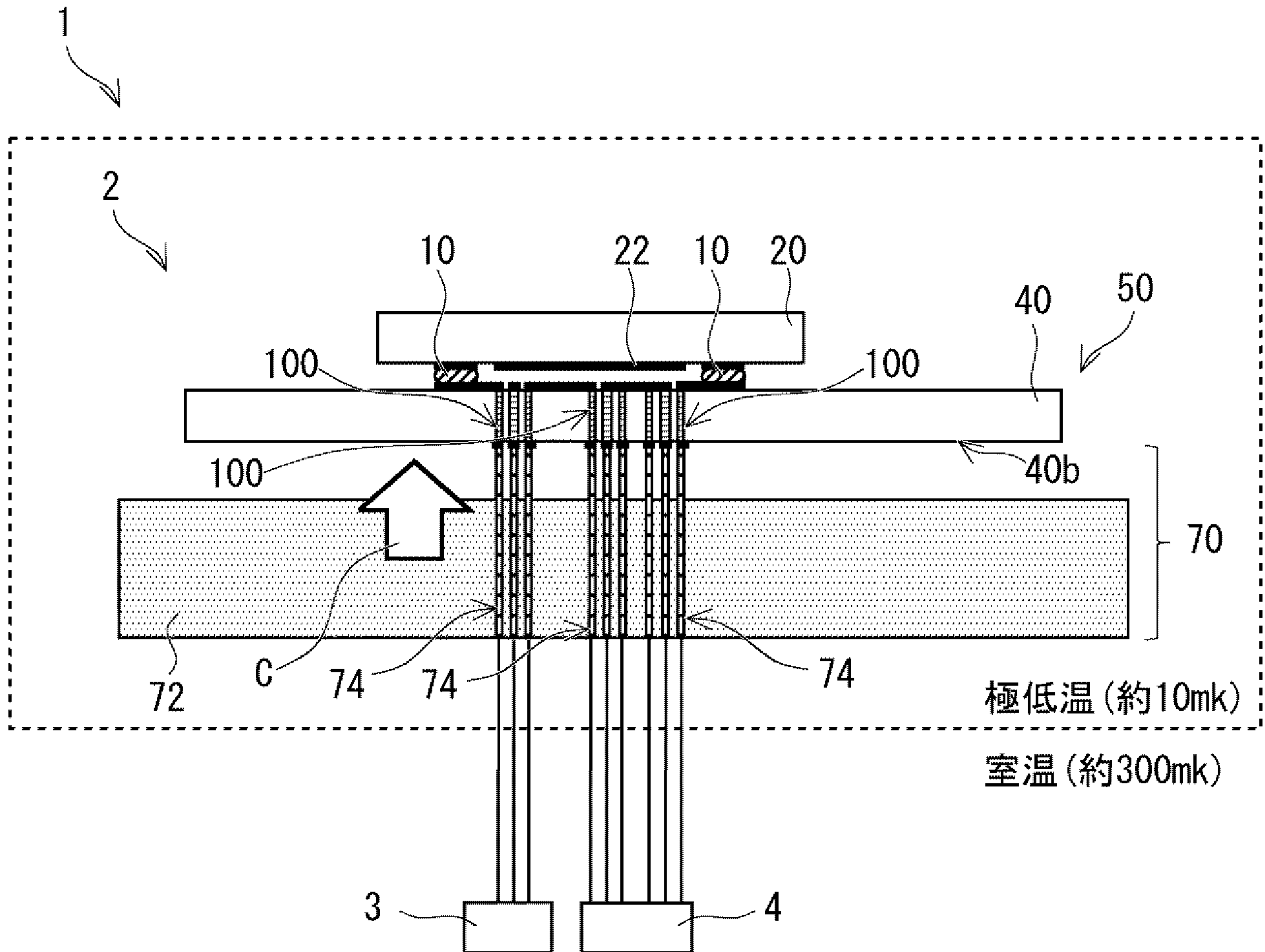
[図15]



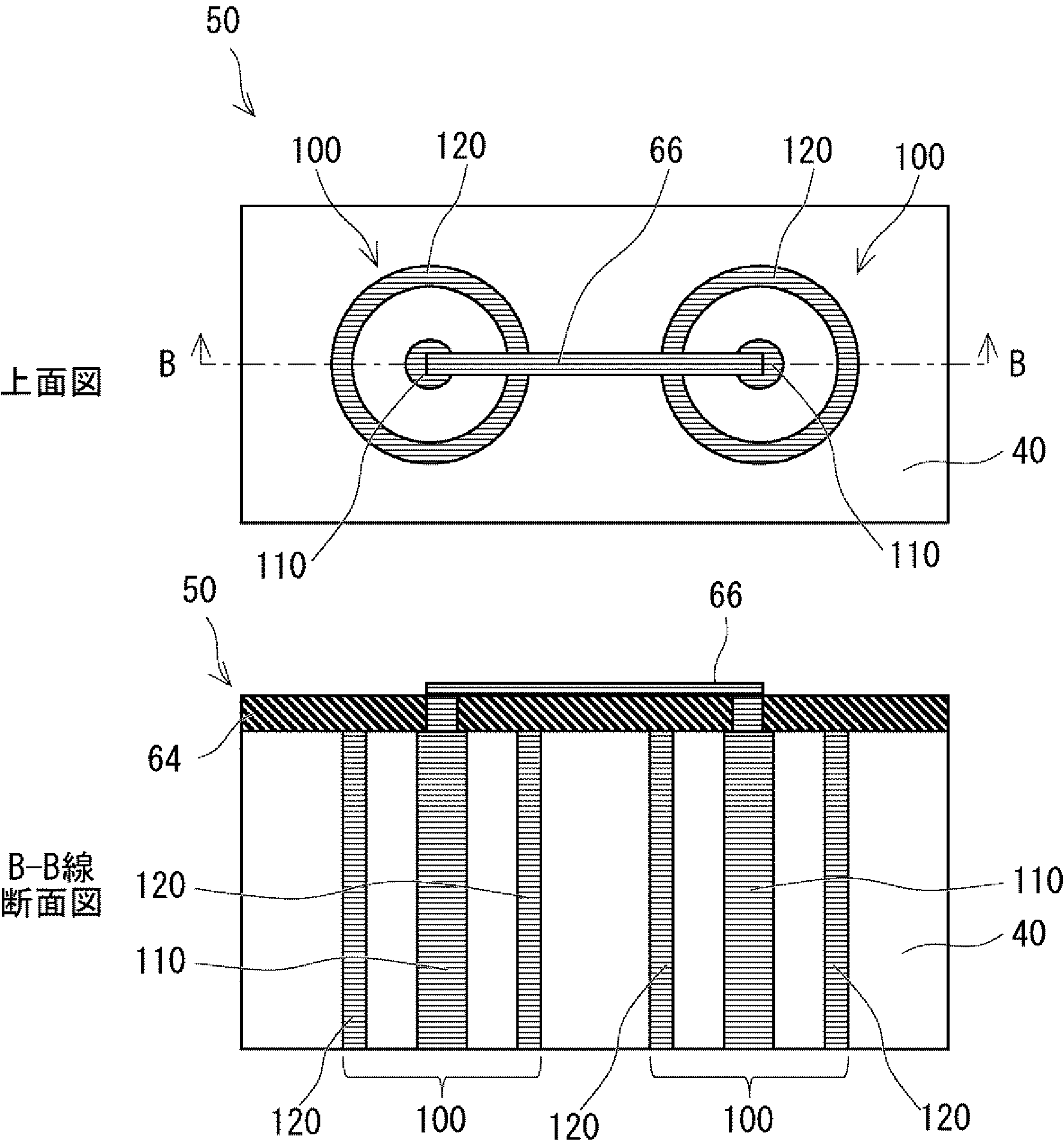
[図16]



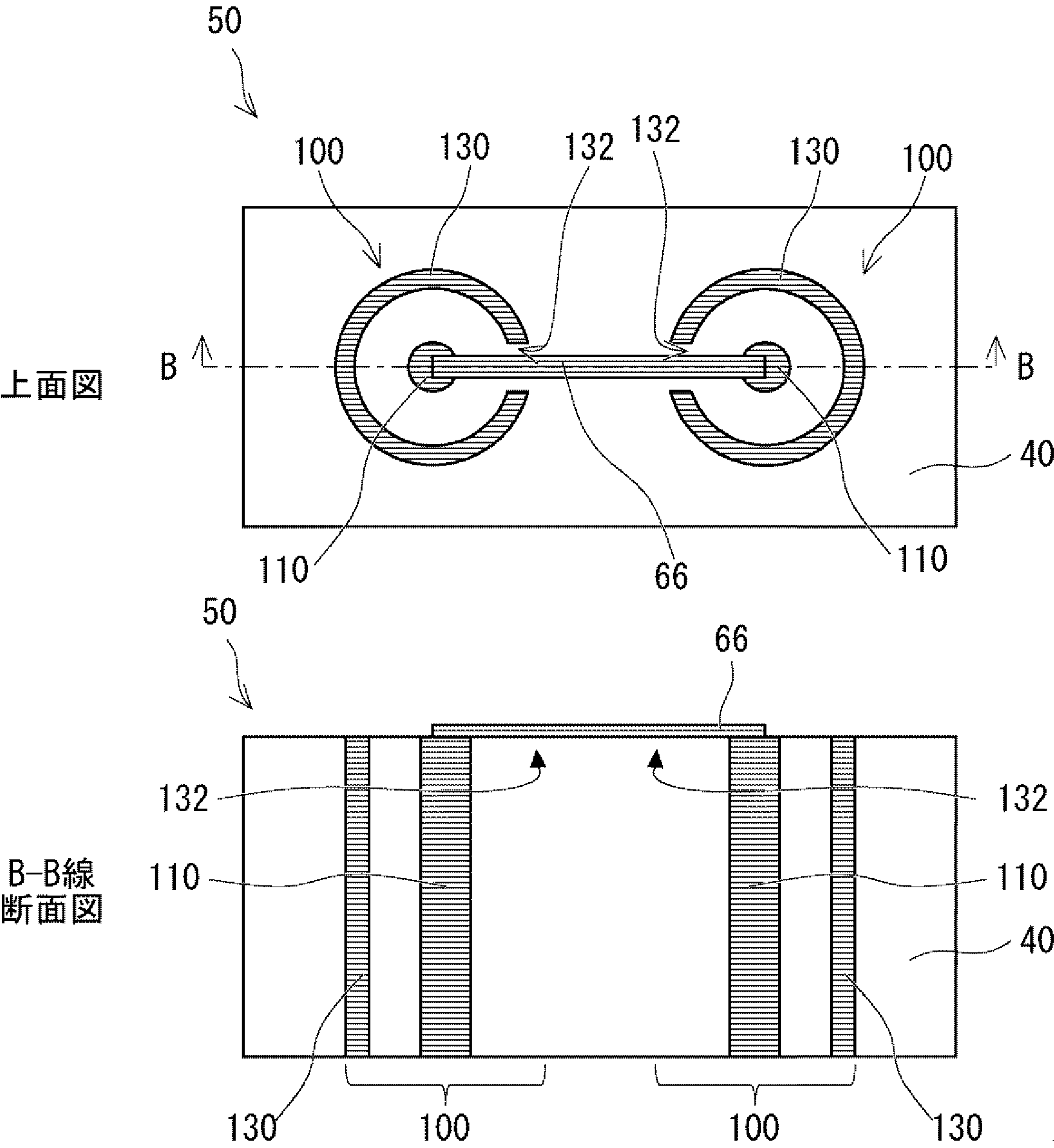
[図17]



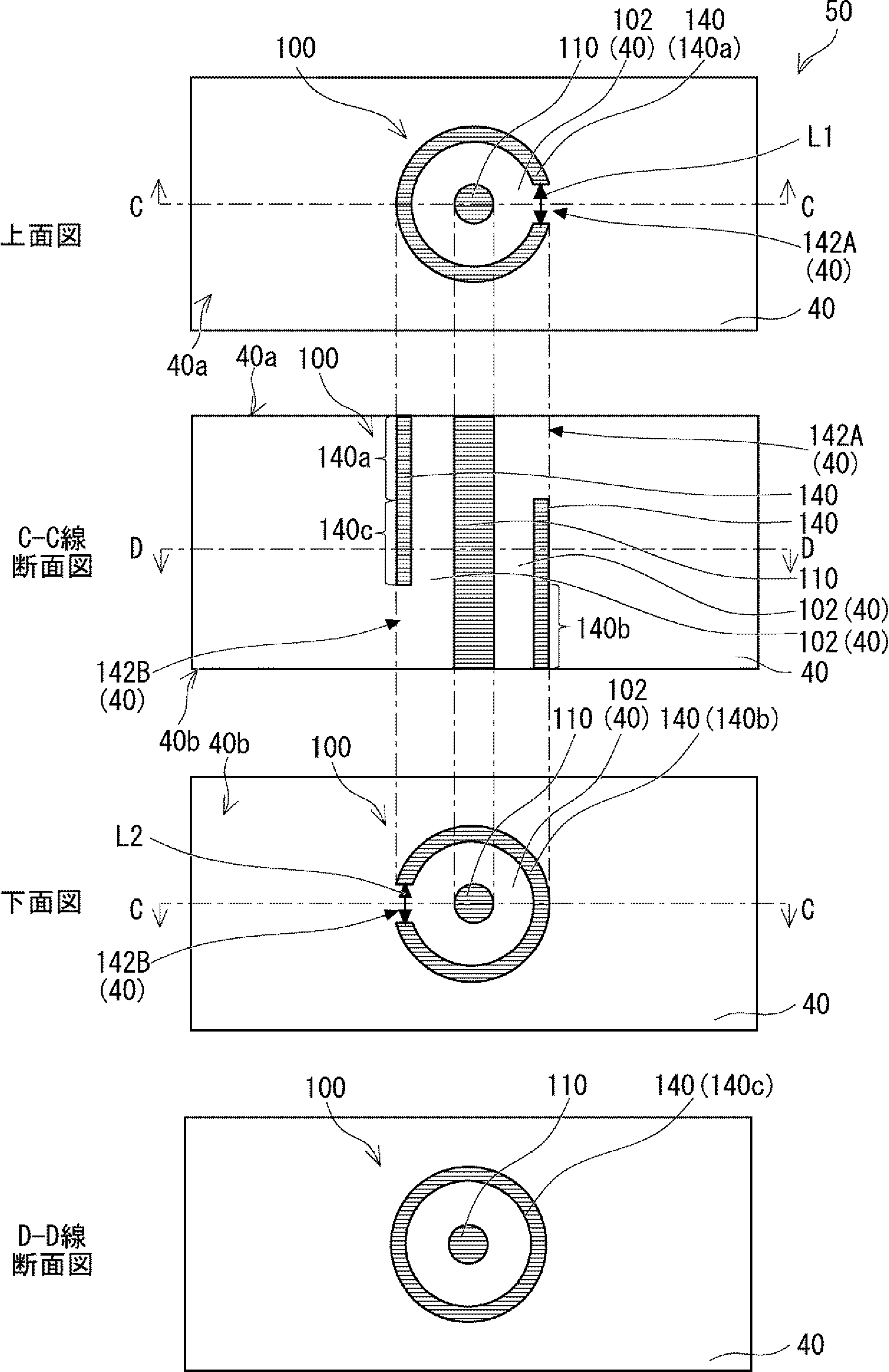
[図18]



[図19]

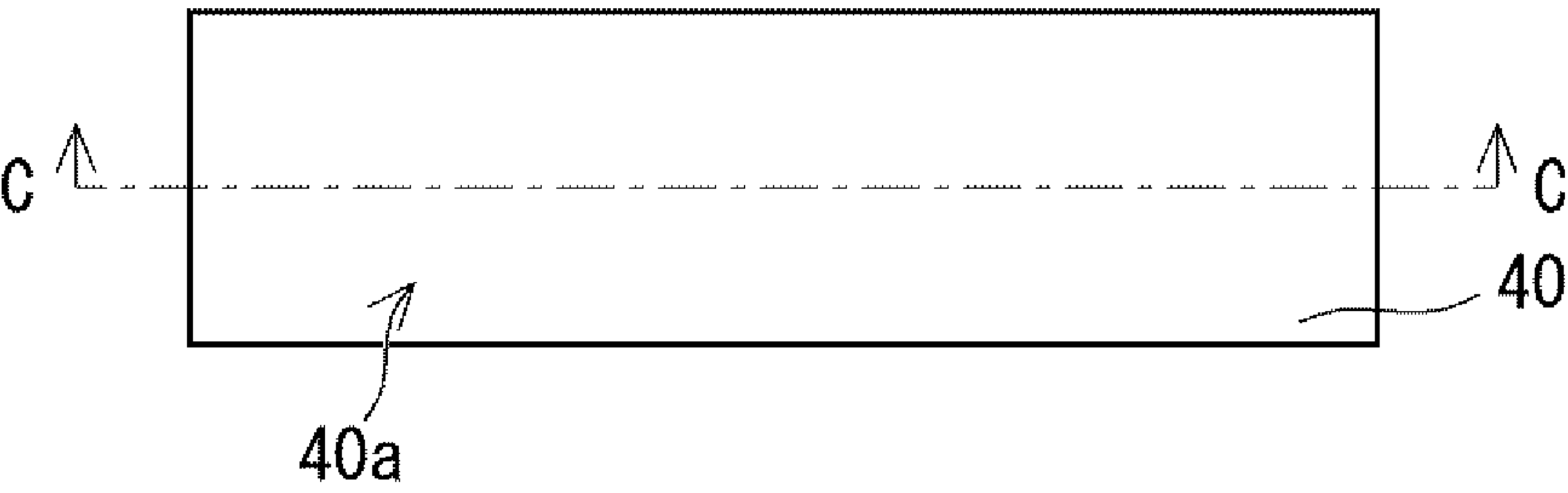


[図20]

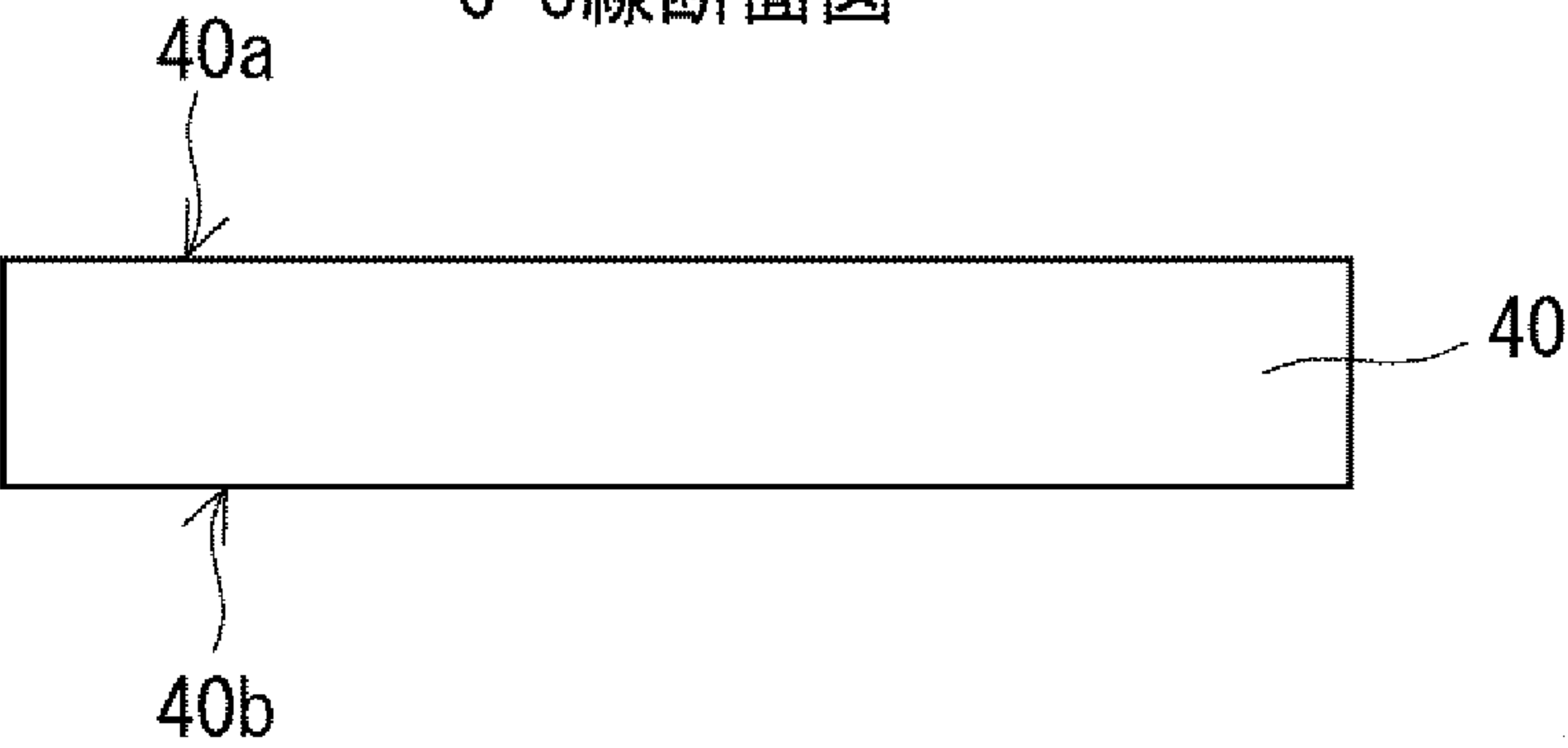


[図21]

上面図

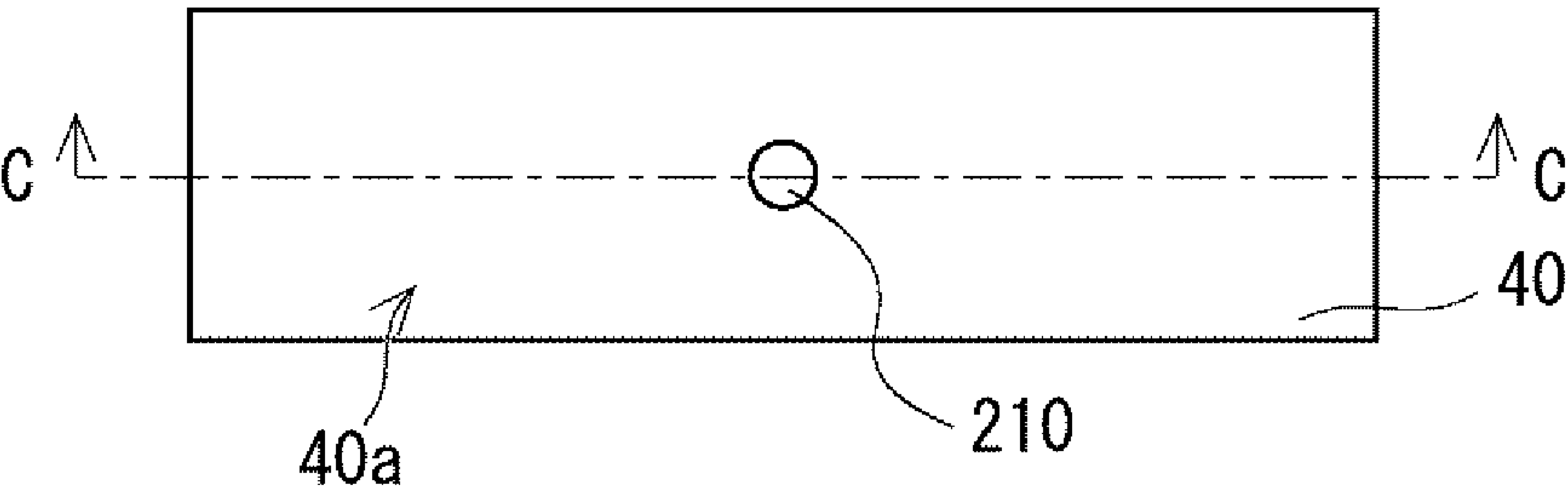


C-C線断面図

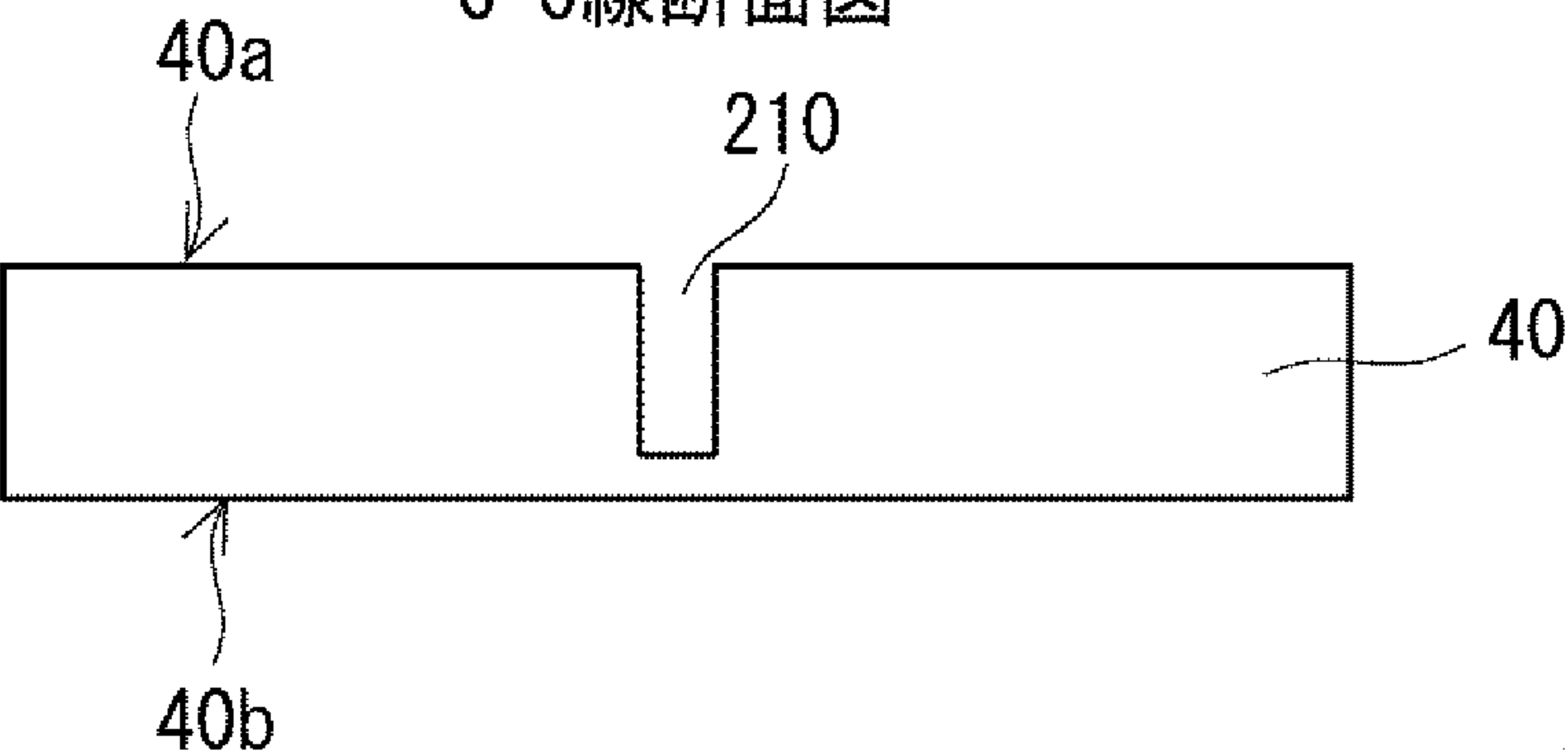


[図22]

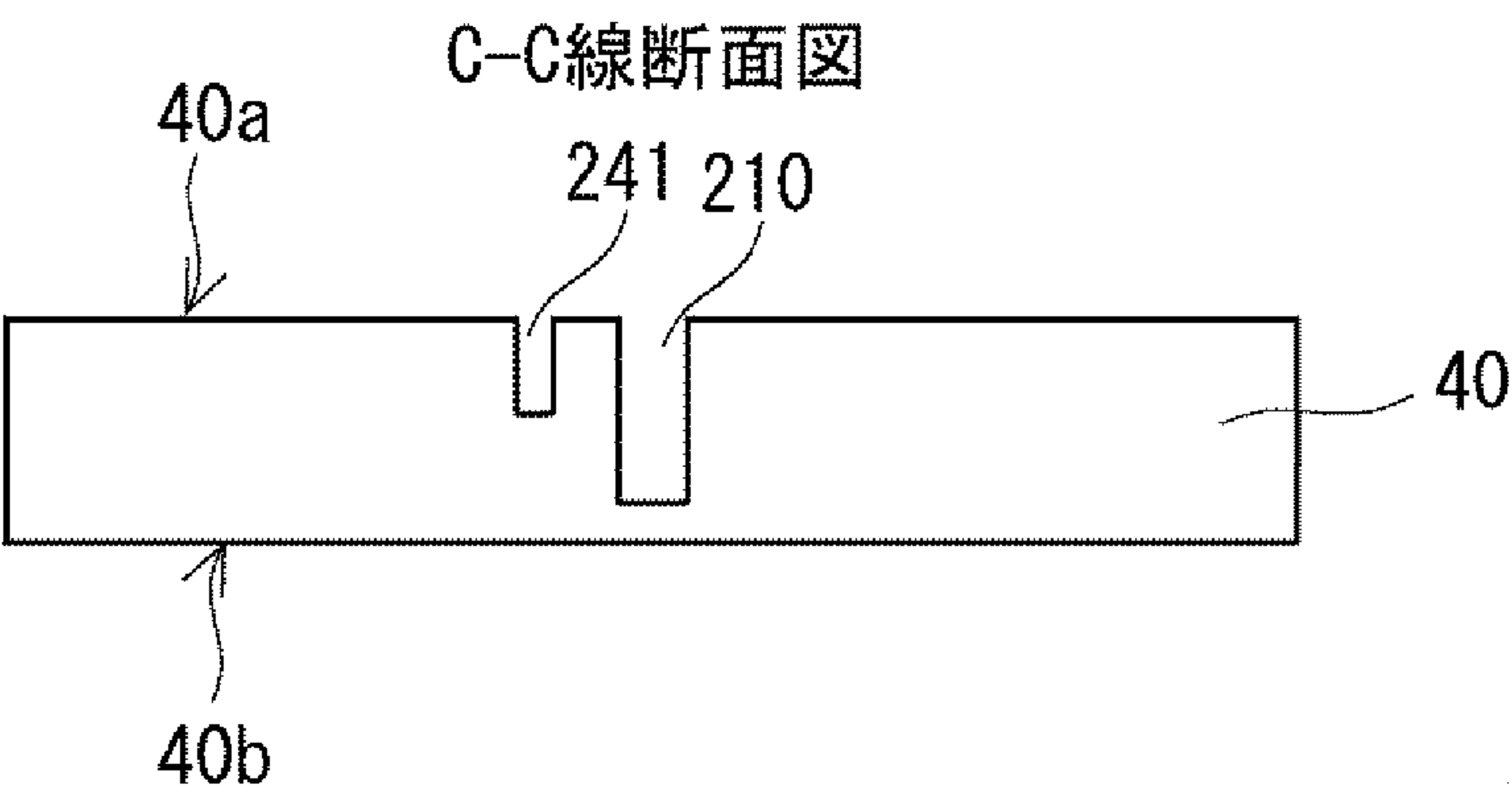
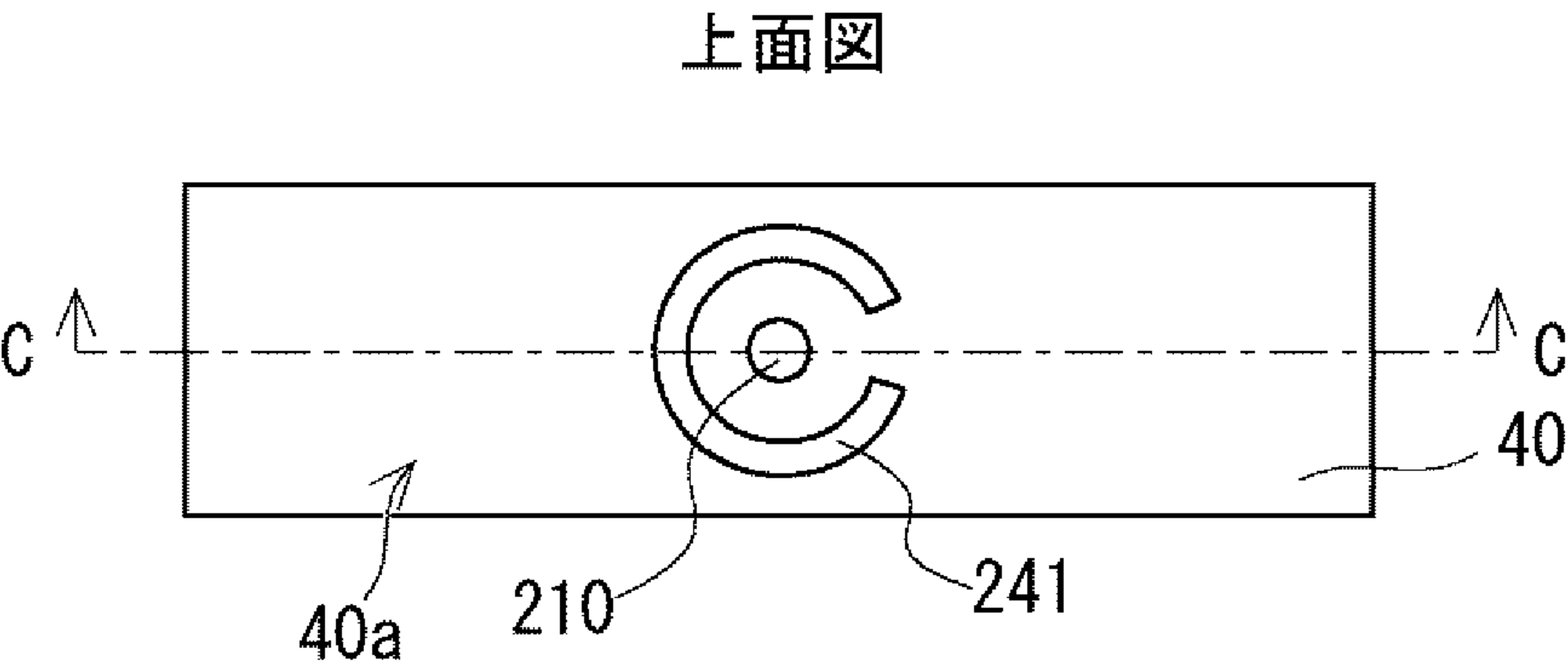
上面図



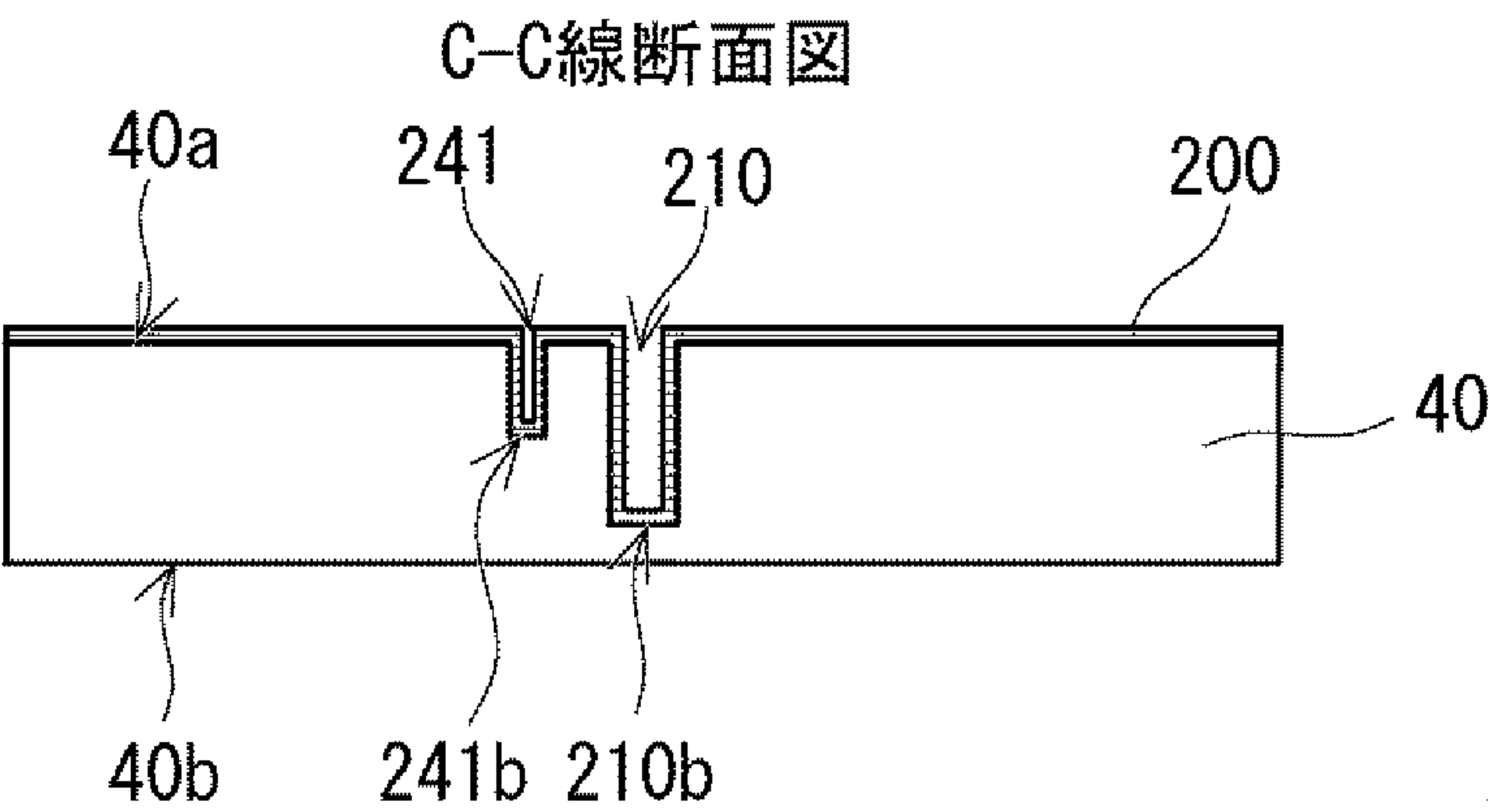
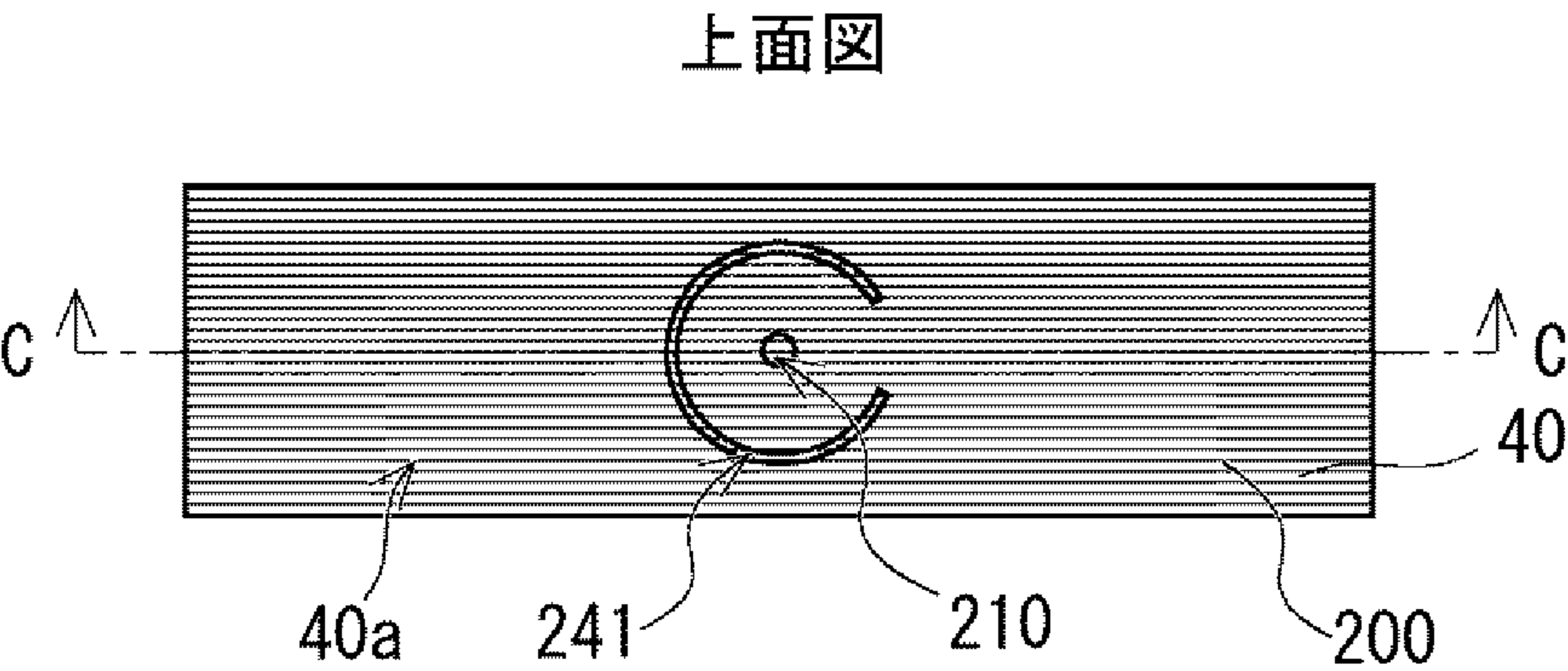
C-C線断面図



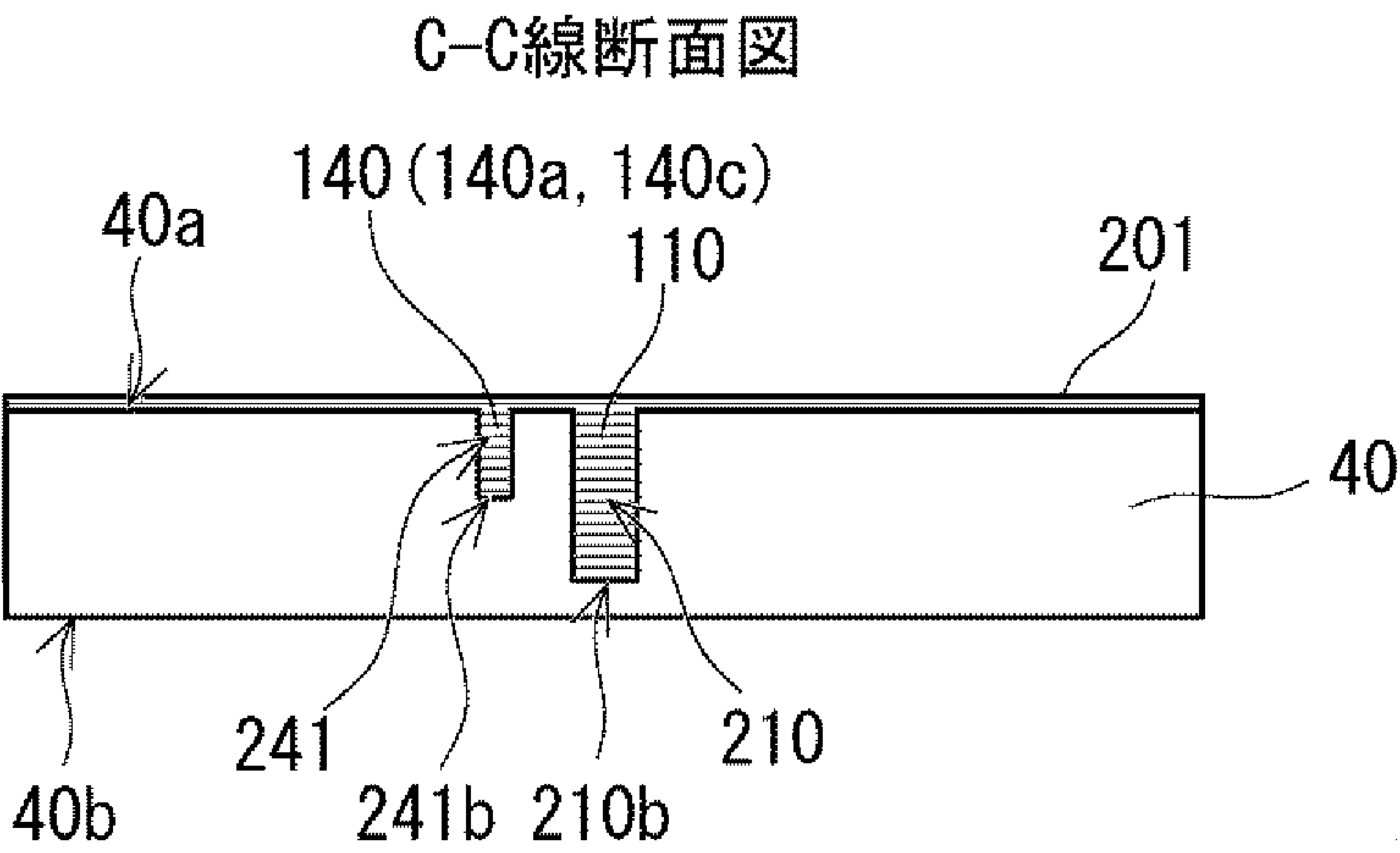
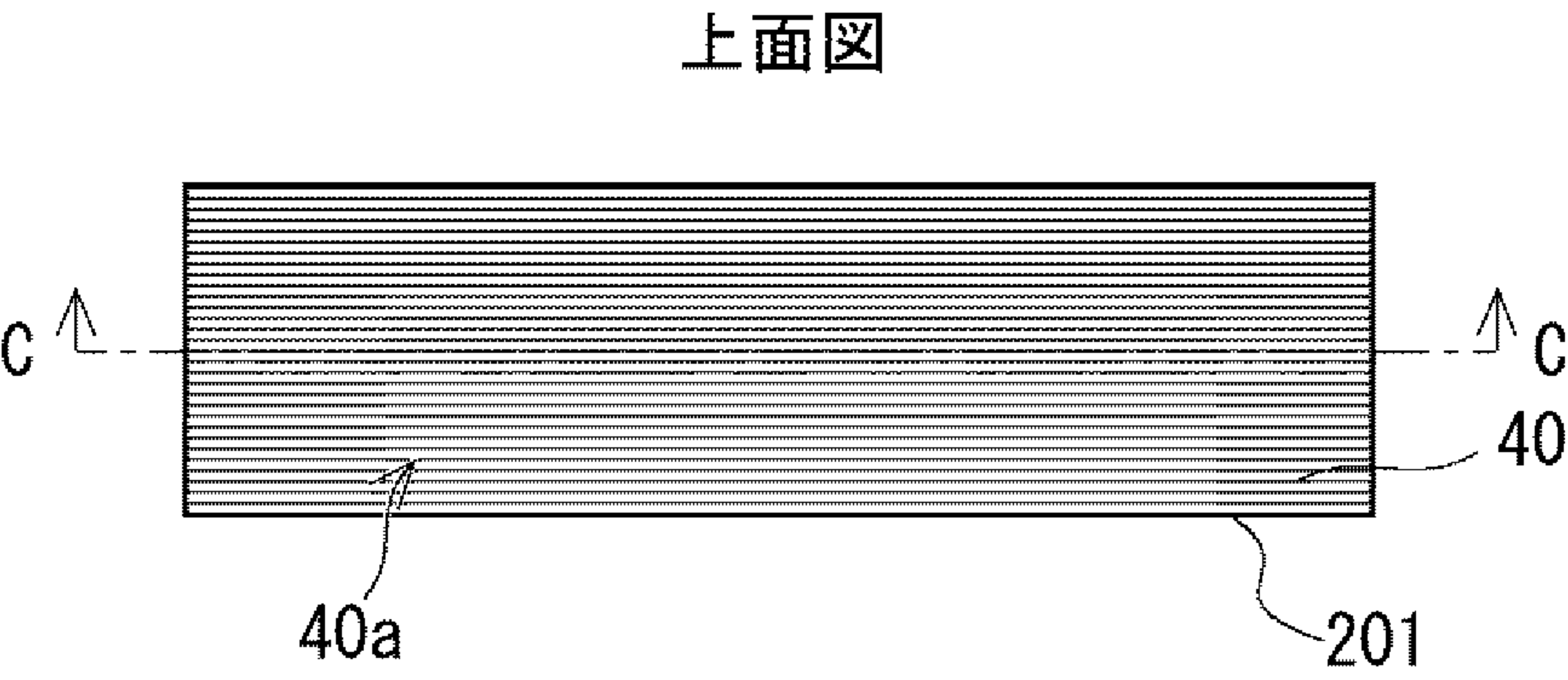
[図23]



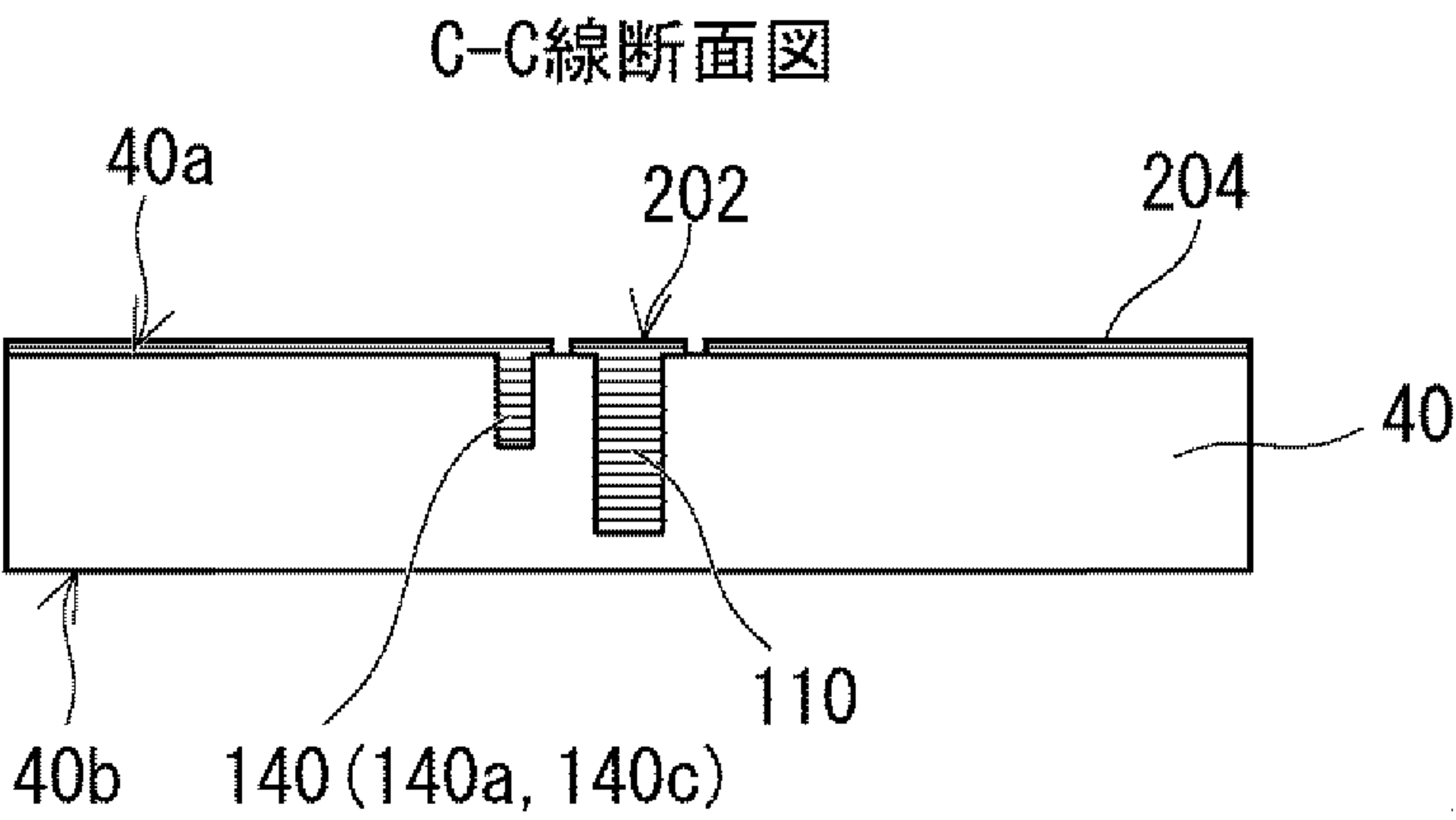
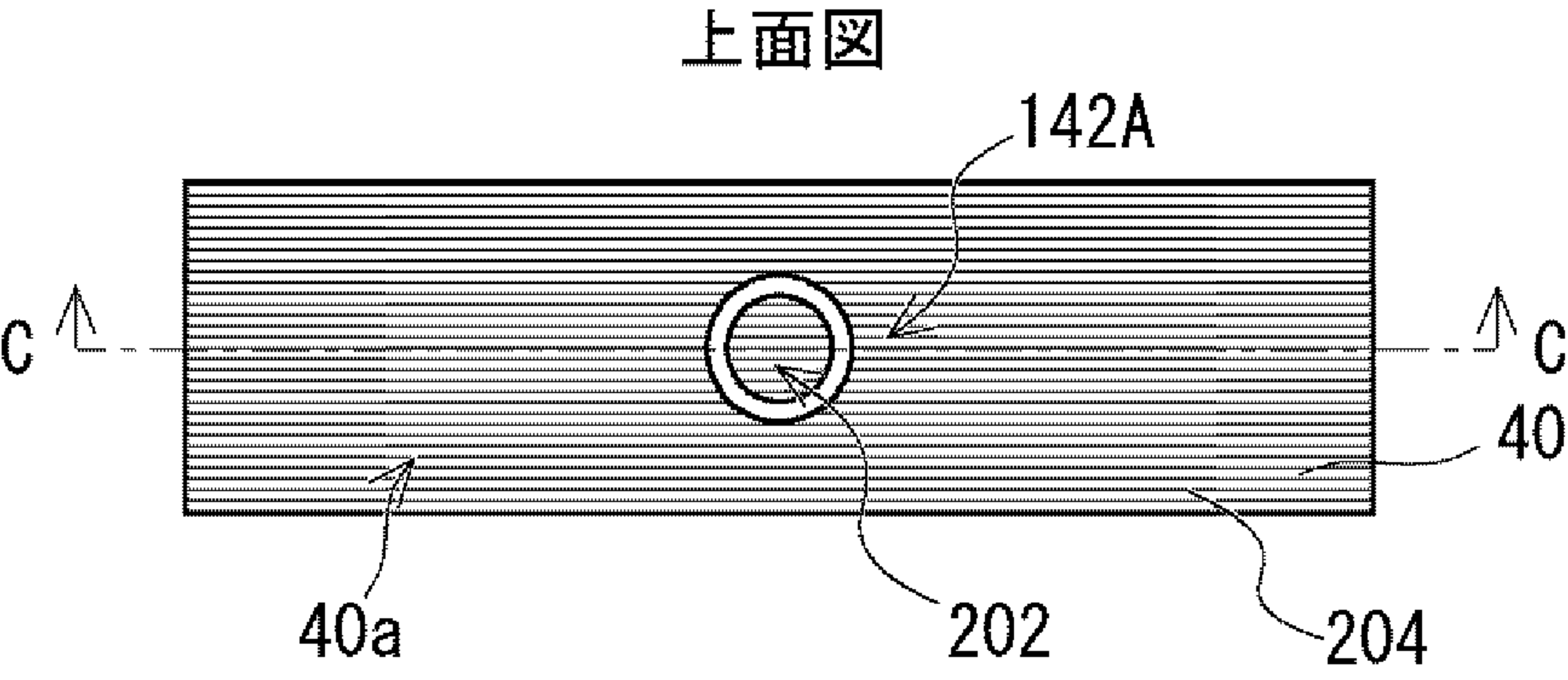
[図24]



[図25]

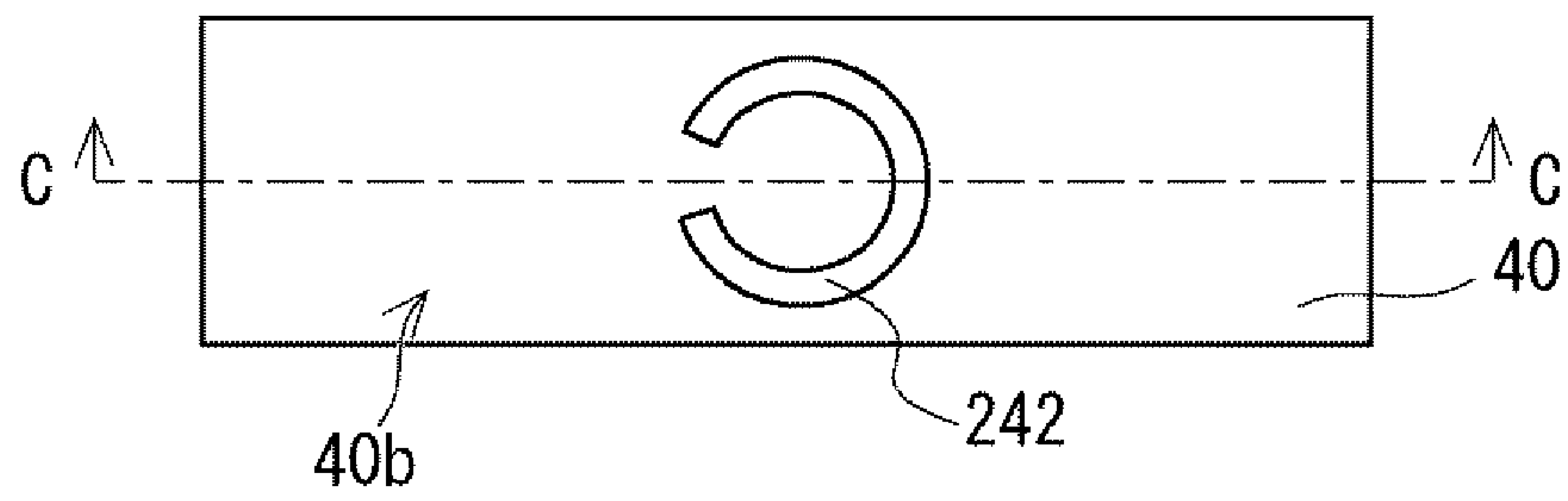


[図26]

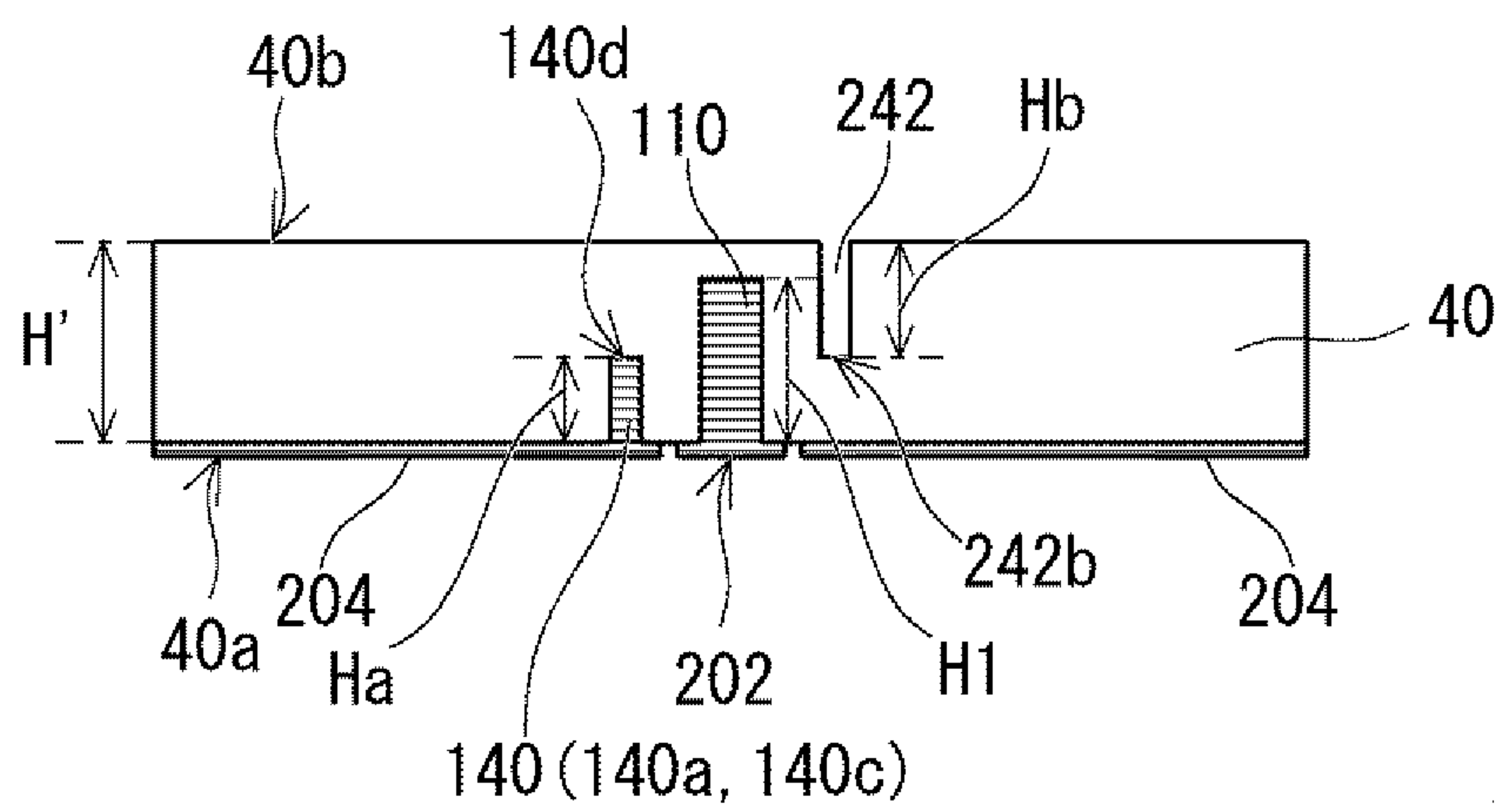


[図27]

上面図

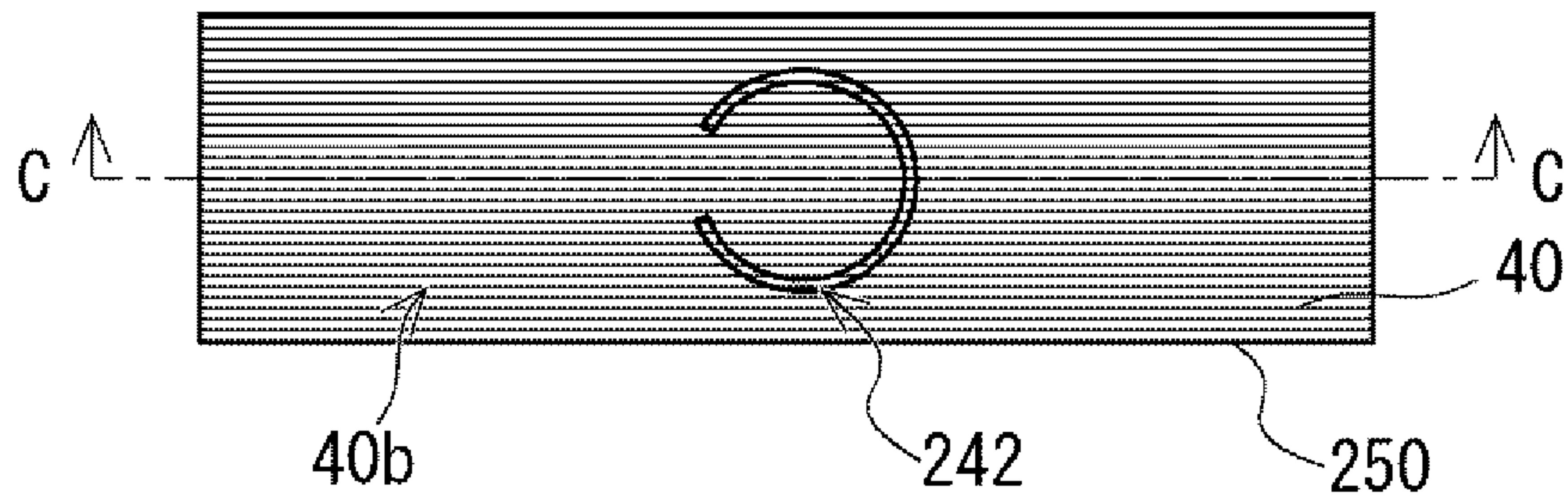


C-C線断面図

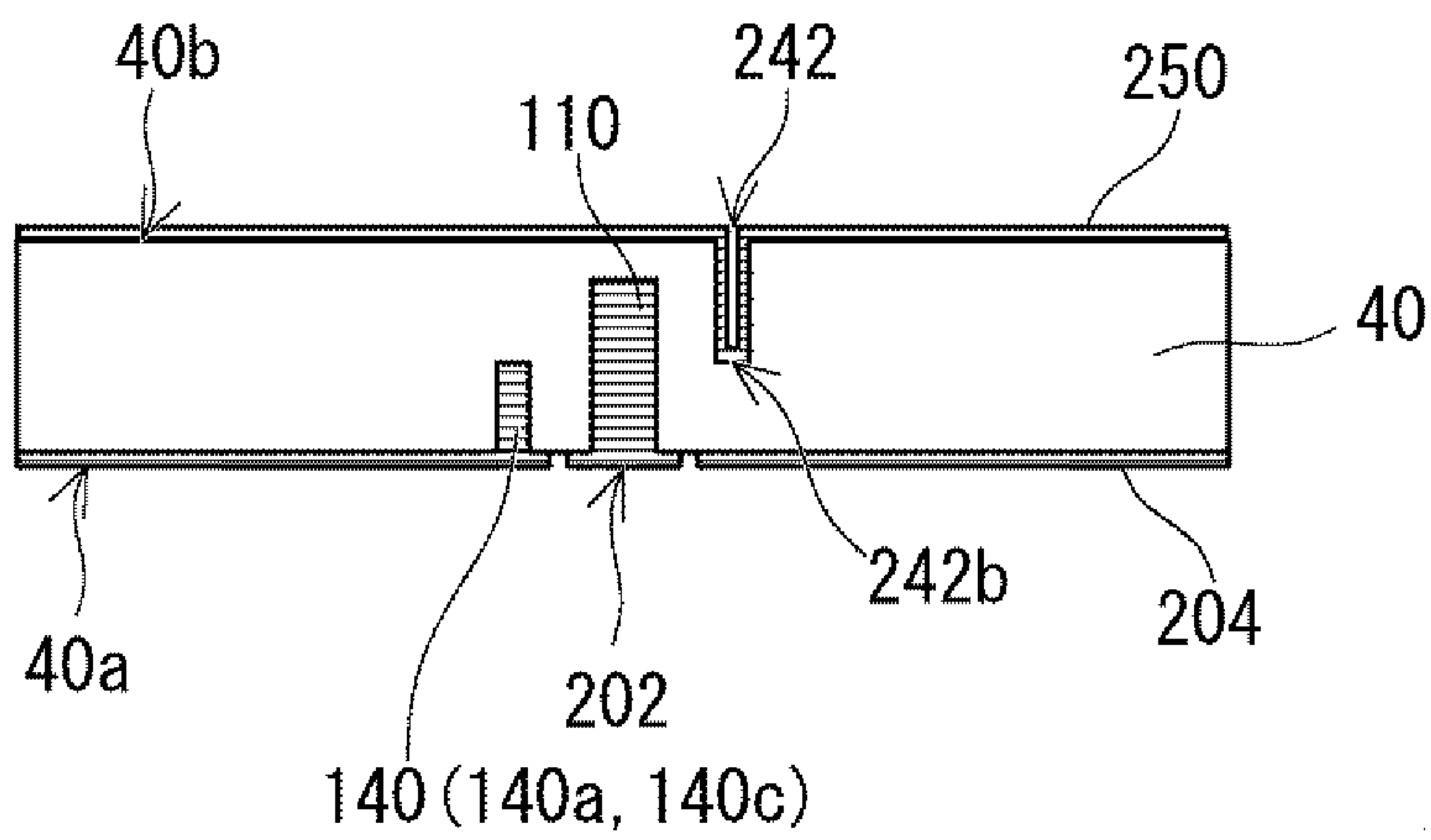


[図28]

上面図

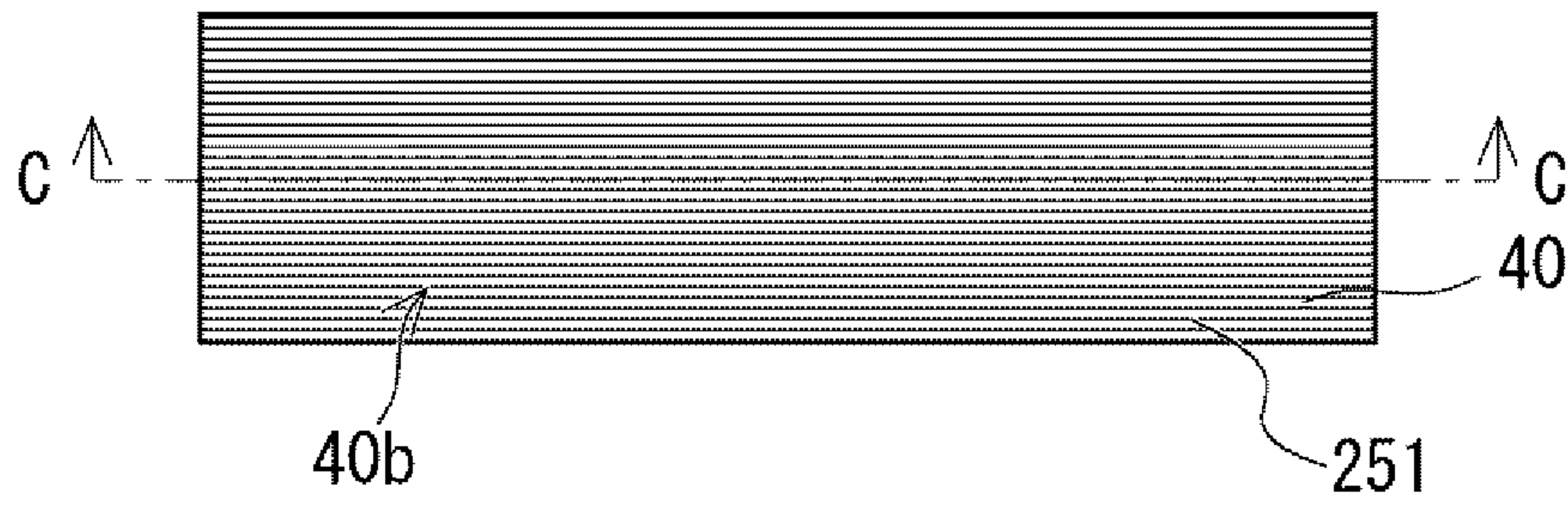


C-C線断面図

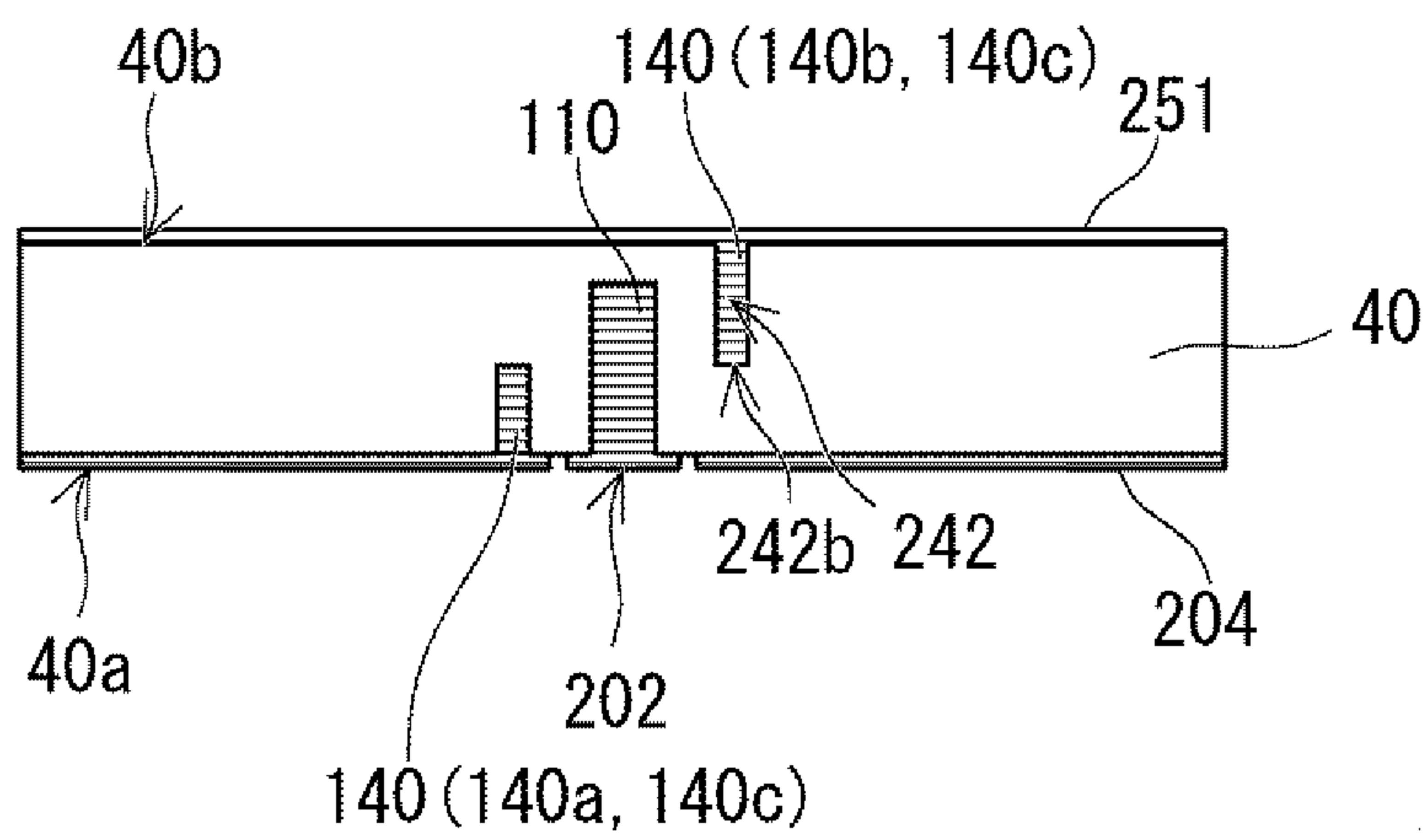


[図29]

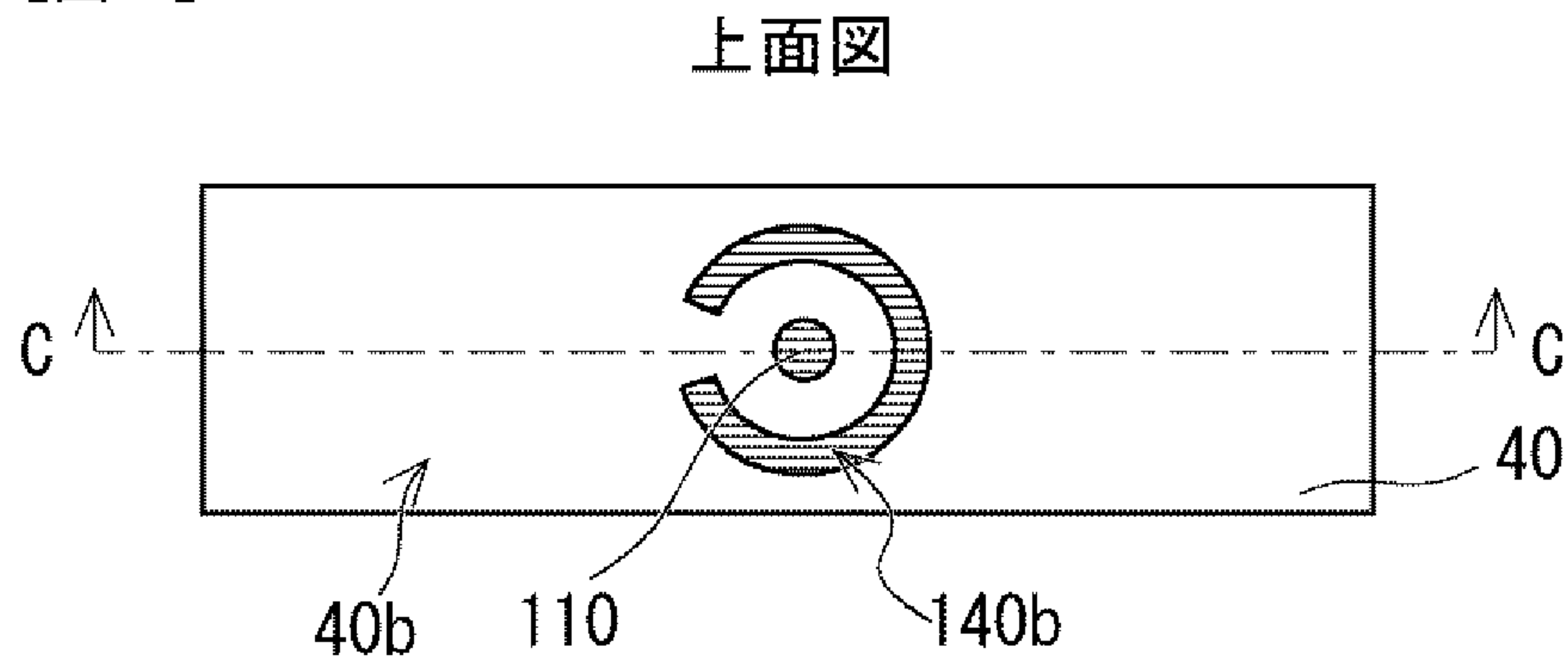
上面図



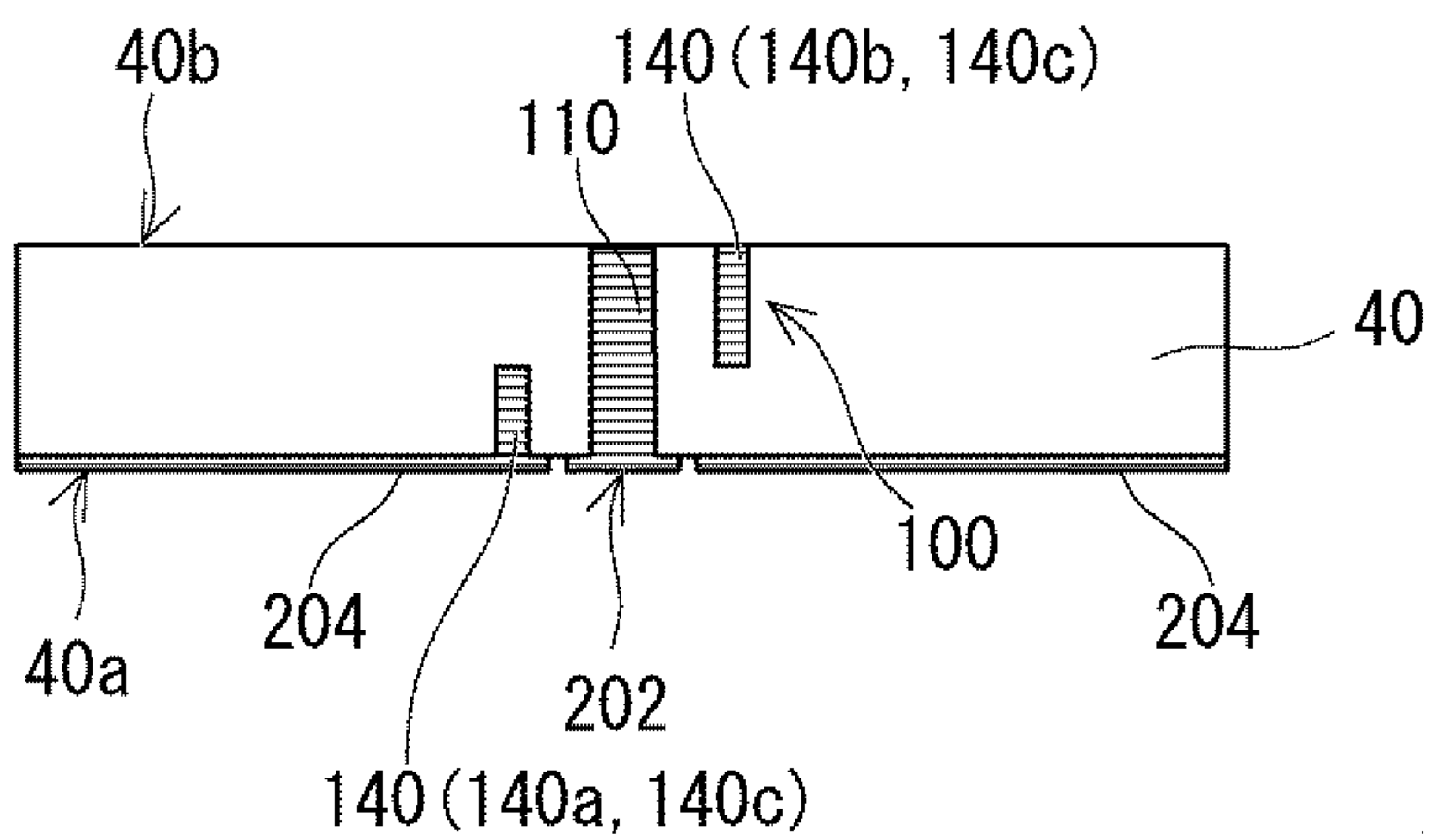
C-C線断面図



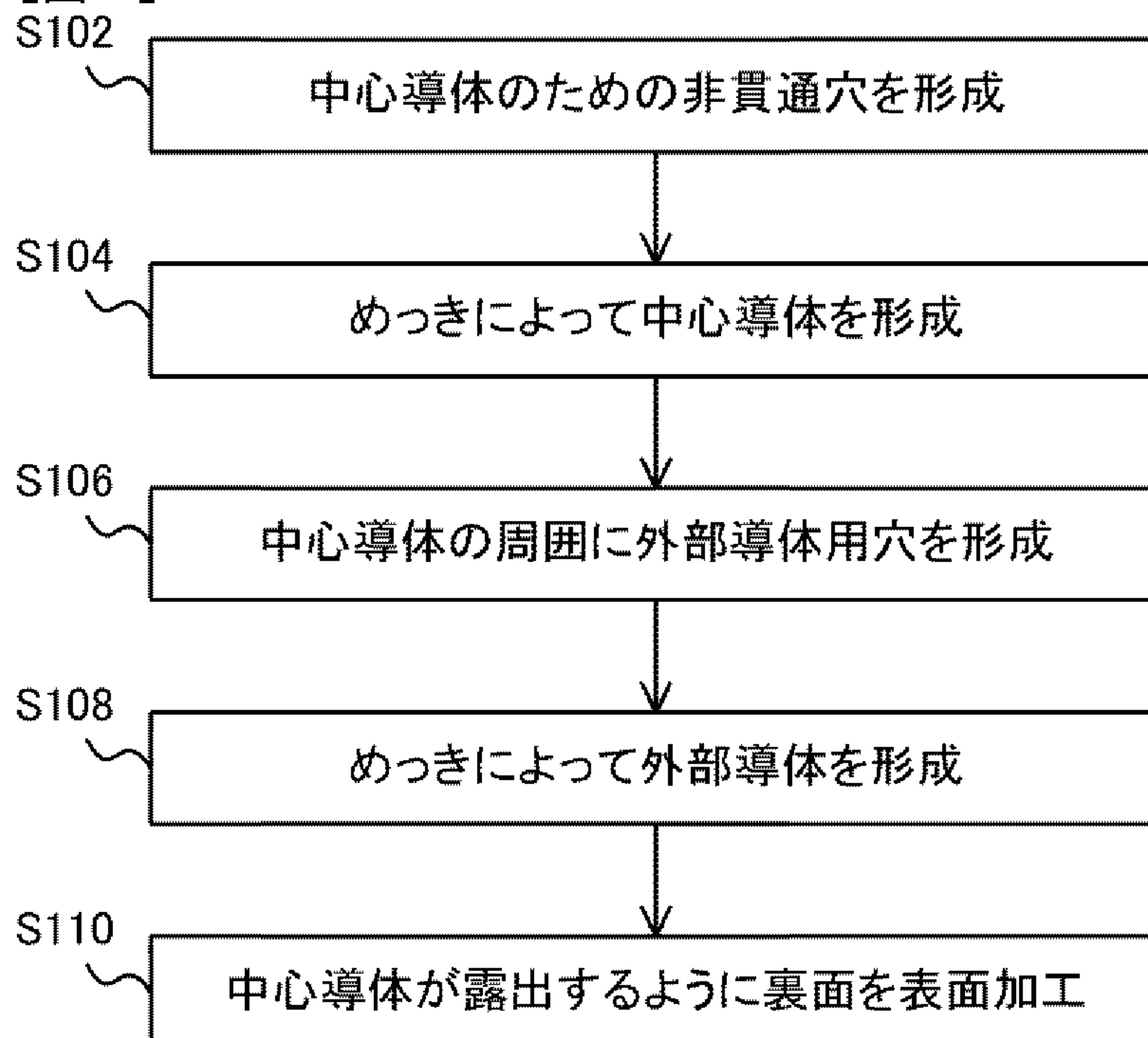
[図30]



C-C線断面図



[図31]



INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2020/000733

A. CLASSIFICATION OF SUBJECT MATTER
Int. Cl. H01L23/12(2006.01)i, H01L23/14(2006.01)i, H01L39/02(2006.01)i, H05K1/02(2006.01)i
FI: H01L23/14 S, H01L23/12 301Z, H01L39/02 W, H05K1/02 P
According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED
Minimum documentation searched (classification system followed by classification symbols)
Int. Cl. H01L23/12, H01L23/14, H01L39/02, H05K1/02

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched
Published examined utility model applications of Japan 1922-1996
Published unexamined utility model applications of Japan 1971-2020
Registered utility model specifications of Japan 1996-2020
Published registered utility model applications of Japan 1994-2020
Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	US 2019/0273197 A1 (ROBERTS) 05 September 2019, entire text, all drawings	1-18
A	JP 2006-19455 A (NEC ELECTRONICS CORP.) 19 January 2006, entire text, all drawings	1-18
A	JP 2002-334956 A (FUJITSU LTD.) 22 November 2002, entire text, all drawings	1-18
A	US 2010/0295066 A1 (DRABE) 25 November 2010, entire text, all drawings	1-18
A	CN 109461699 A (ELECTRONICS TECHNOLOGY GROUP CORPORATION NO.38 RESEARCH INSTITUTE) 12 March 2019, entire text, all drawings	1-18

☒ Further documents are listed in the continuation of Box C.	☒ See patent family annex.
--	--

* Special categories of cited documents:	
“A” document defining the general state of the art which is not considered to be of particular relevance	“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
“E” earlier application or patent but published on or after the international filing date	“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
“O” document referring to an oral disclosure, use, exhibition or other means	“&” document member of the same patent family
“P” document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search 18.03.2020	Date of mailing of the international search report 31.03.2020
Name and mailing address of the ISA/ Japan Patent Office 3-4-3, Kasumigaseki, Chiyoda-ku, Tokyo 100-8915, Japan	Authorized officer Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2020/000733

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	CN 103311141 A (BEIJING INSTITUTE OF TECHNOLOGY) 18 September 2013, entire text, all drawings	1-18
A	CN 106158835 A (XI'AN UNIVERSITY OF TECHNOLOGY) 23 November 2016, entire text, all drawings	1-18

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/JP2020/000733

Patent Documents referred to in the Report	Publication Date	Patent Family	Publication Date
US 2019/0273197 A1	05.09.2019	WO 2018/125026 A1 EP 3563308 A1 CN 109997156 A	
JP 2006-19455 A	19.01.2006	US 2006/0001174 A1 entire text, all drawings	
JP 2002-334956 A	22.11.2002	US 2011/0210426 A1 (Family: none)	
US 2010/0295066 A1	25.11.2010	JP 2009-505382 A WO 2007/016924 A1 EP 1915777 A1 DE 102005039068 A1 CN 101238571 A RU 2008103990 A CN 102231373 A (Family: none)	
CN 109461699 A	12.03.2019	(Family: none)	
CN 103311141 A	18.09.2013	(Family: none)	
CN 106158835 A	23.11.2016	(Family: none)	

国際調査報告		国際出願番号 PCT/JP2020/000733
A. 発明の属する分野の分類（国際特許分類（IPC）） H01L 23/12(2006.01)i; H01L 23/14(2006.01)i; H01L 39/02(2006.01)i; H05K 1/02(2006.01)i FI: H01L23/14 S; H01L23/12 301Z; H01L39/02 W; H05K1/02 P		
B. 調査を行った分野		
調査を行った最小限資料（国際特許分類（IPC）） H01L23/12; H01L23/14; H01L39/02; H05K1/02		
最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1922 - 1996年 日本国公開実用新案公報 1971 - 2020年 日本国実用新案登録公報 1996 - 2020年 日本国登録実用新案公報 1994 - 2020年		
国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）		
C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	US 2019/0273197 A1 (ROBERTS) 05.09.2019 (2019 - 09 - 05) 全文、全図	1-18
A	JP 2006-19455 A (NECエレクトロニクス株式会社) 19.01.2006 (2006 - 01 - 19) 全文、全図	1-18
A	JP 2002-334956 A (富士通株式会社) 22.11.2002 (2002 - 11 - 22) 全文、全図	1-18
A	US 2010/0295066 A1 (DRABE) 25.11.2010 (2010 - 11 - 25) 全文、全図	1-18
A	CN 109461699 A (ELECTRONICS TECHNOLOGY GROUP CORPORATION NO.38 RESEARCH INSTITUTE) 12.03.2019 (2019 - 03 - 12) 全文、全図	1-18
A	CN 103311141 A (BEIJING INSTITUTE OF TECHNOLOGY) 18.09.2013 (2013 - 09 - 18) 全文、全図	1-18
A	CN 106158835 A (XI'AN UNIVERSITY OF TECHNOLOGY) 23.11.2016 (2016 - 11 - 23) 全文、全図	1-18
☐ C欄の続きにも文献が列挙されている。 ☒ パテントファミリーに関する別紙を参照。		
* 引用文献のカテゴリー “A” 特に関連のある文献ではなく、一般的技術水準を示すもの “E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの “L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） “O” 口頭による開示、使用、展示等に言及する文献 “P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献		“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの “X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの “Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの “&” 同一パテントファミリー文献
国際調査を完了した日 18.03.2020	国際調査報告の発送日 31.03.2020	
名称及びあて先 日本国特許庁(ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号	権限のある職員（特許庁審査官） 正山 旭 5F 9276 電話番号 03-3581-1101 内線 3516	

引用文献			公表日	パテントファミリー文献			公表日
US	2019/0273197	A1	05.09.2019	WO	2018/125026	A1	
				EP	3563308	A1	
				CN	109997156	A	
JP	2006-19455	A	19.01.2006	US	2006/0001174	A1	
				全文、全図			
				US	2011/0210426	A1	
JP	2002-334956	A	22.11.2002	(ファミリーなし)			
US	2010/0295066	A1	25.11.2010	JP	2009-505382	A	
				WO	2007/016924	A1	
				EP	1915777	A1	
				DE	102005039068	A1	
				CN	101238571	A	
				RU	2008103990	A	
				CN	102231373	A	
CN	109461699	A	12.03.2019	(ファミリーなし)			
CN	103311141	A	18.09.2013	(ファミリーなし)			
CN	106158835	A	23.11.2016	(ファミリーなし)			