



(19) 대한민국특허청(KR)
 (12) 등록특허공보(B1)

(45) 공고일자 2010년09월07일
 (11) 등록번호 10-0980405
 (24) 등록일자 2010년08월31일

(51) Int. Cl.

G11C 11/407 (2006.01)

(21) 출원번호 10-2008-0100255
 (22) 출원일자 2008년10월13일
 심사청구일자 2008년10월13일
 (65) 공개번호 10-2010-0041197
 (43) 공개일자 2010년04월22일

(56) 선행기술조사문현

JP12357951 A

(73) 특허권자

주식회사 하이닉스반도체

경기 이천시 부발읍 아미리 산136-1

(72) 발명자

김용주

경기 이천시 부발읍 아미리 현대7차아파트 705동
801호

한성우

경기 이천시 고담동 고담기숙사 101동 408호
(뒷면에 계속)

(74) 대리인

김성남

전체 청구항 수 : 총 23 항

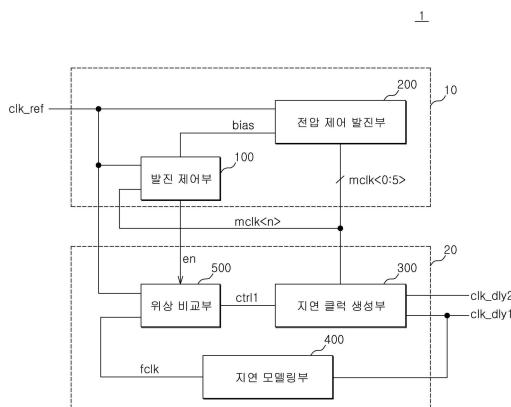
심사관 : 권영학

(54) DLL 회로

(57) 요 약

본 발명에 따른 DLL 회로는 기준 클럭을 단위시간만큼 지연시켜 복수개의 멀티 페이즈 클럭을 생성하고, 멀티 상기 복수개의 멀티 페이즈 클럭 중 어느 하나의 멀티 페이즈 클럭과 상기 기준 클럭의 주파수가 일치할 때 인에이블 되는 인에이블 신호를 생성하도록 구성된 멀티 페이즈 클럭 생성부; 및 상기 인에이블 신호가 인에이블 되면, 제어신호에 따라 상기 복수개의 멀티 페이즈 클럭 중 어느 하나의 클럭을 소정시간 지연시켜 상기 기준 클럭의 위상과 비교하고, 상기 복수개의 멀티 페이즈 클럭 중 상기 기준 클럭과 위상이 일치하는 멀티 페이즈 클럭을 지연 클럭으로 생성하도록 구성된 멀티 페이즈 클럭 선택부; 를 포함한다.

대 표 도 - 도1



(72) 발명자

송희웅

서울 광진구 화양동 11-1

오의수

서울 광진구 군자동 39-6

김형수

경기 화성시 태안읍 병점리 늘벗마을신창1차
108-402

황태진

서울 송파구 풍납2동 408-20번지 201호

최해랑

경기 이천시 부발읍 아미리 하이닉스반도체 청운2
관 128호

이지왕

경기 이천시 창전동 대원4차아파트 306호

장재민

대전 유성구 봉명동 692-1 노블레스2 702호

박창근

경기 수원시 영통구 영통동 황골마을2단지아파트
244동 1303호

특허청구의 범위

청구항 1

기준 클력을 단위시간만큼 지연시켜 복수개의 멀티 페이즈 클력을 생성하고, 멀티 상기 복수개의 멀티 페이즈 클력 중 어느 하나의 멀티 페이즈 클력과 상기 기준 클력의 주파수가 일치할 때 인에이블 되는 인에이블 신호를 생성하도록 구성된 멀티 페이즈 클력 생성부; 및

상기 인에이블 신호가 인에이블 되면, 제어신호에 따라 상기 복수개의 멀티 페이즈 클력 중 어느 하나의 클력을 소정시간 지연시켜 상기 기준 클력의 위상과 비교하고, 상기 복수개의 멀티 페이즈 클력 중 상기 기준 클력과 위상이 일치하는 멀티 페이즈 클력을 지연 클력으로 생성하도록 구성된 멀티 페이즈 클력 선택부;

를 포함하는 DLL 회로.

청구항 2

제 1 항에 있어서,

상기 멀티 페이즈 클력 생성부는, 상기 기준 클력과 상기 복수개의 멀티 페이즈 클력 중 어느 하나의 멀티 페이즈 클력과 주파수를 비교하여 바이어스 전압 및 상기 인에이블 신호를 생성하도록 구성된 발진 제어부; 및

상기 바이어스 전압에 따라 발진 주파수를 조절하여 단위시간만큼 위상 차이를 갖는 상기 복수개의 멀티 페이즈 클력을 생성하도록 구성된 전압 제어 발진부;

로 구성되는 것을 특징으로 하는 DLL 회로.

청구항 3

제 2 항에 있어서,

상기 발진 제어부는, 상기 기준 클력과 상기 복수개의 멀티 페이즈 클력 중 어느 하나의 멀티 페이즈 클력의 주파수를 비교하여 상기 바이어스 전압의 레벨을 상승시키거나 하강시키는 것을 특징으로 하는 DLL 회로.

청구항 4

제 2 항에 있어서,

상기 발진 제어부는, 상기 기준 클력과 상기 복수개의 멀티 페이즈 클력 중 어느 하나의 멀티 페이즈 클력의 주파수가 동일할 때 상기 인에이블 신호를 인에이블 시키는 것을 특징으로 하는 DLL 회로.

청구항 5

제 2 항에 있어서,

상기 전압 제어 발진부는, 상기 바이어스 전압에 의해 지연양이 조절되는 복수개의 딜레이 셀; 및

상기 복수개의 딜레이 셀의 수만큼 구비되고, 상기 복수개의 딜레이 셀의 출력 단에 각각 연결되어 상기 복수개의 멀티 페이즈 클력을 생성하도록 구성되는 복수개의 버퍼;

로 구성되는 것을 특징으로 하는 DLL 회로.

청구항 6

제 1 항에 있어서,

상기 멀티 페이즈 클력 선택부는, 상기 복수개의 멀티 페이즈 클력을 입력 받고, 상기 제어신호에 응답하여 지연 클력을 생성하도록 구성된 지연 클력 생성부;

상기 지연 클력을 상기 소정 시간만큼 지연하여 피드백 클력을 생성하는 지연 모델링부; 및

상기 기준 클력과 상기 피드백 클력의 위상을 비교하여 상기 제어신호를 생성하는 위상 비교부;

로 구성되는 것을 특징으로 하는 DLL 회로.

청구항 7

제 6 항에 있어서,

상기 지연 클럭 생성부는, 상기 제어신호에 응답하여 상기 복수개의 멀티 페이즈 클럭 중 어느 하나의 멀티 페이즈 클럭을 출력하는 제 1 막스부를 구비하는 것을 특징으로 하는 DLL 회로.

청구항 8

제 7 항에 있어서,

상기 지연 클럭 생성부는, 상기 제어신호에 응답하여 상기 제 1 막스부가 출력하는 멀티 페이즈 클럭의 위상을 미세 조정하는 위상 혼합부를 더 포함하는 것을 특징으로 하는 DLL 회로.

청구항 9

제 7 항에 있어서,

상기 지연 클럭 생성부는, 상기 제어신호를 입력 받아 제 2 제어신호를 생성하는 합산기;

상기 합산기의 출력에 응답하여 상기 복수개의 멀티 페이즈 클럭 중 어느 하나의 멀티 페이즈 클럭을 출력하는 제 2 막스부; 및

를 더 포함하는 것을 특징으로 하는 DLL 회로.

청구항 10

제 9 항에 있어서,

상기 지연 클럭 생성부는, 상기 제 2 제어신호에 응답하여 상기 제 2 막스부가 출력하는 멀티 페이즈 클럭의 위상을 미세 조정하는 제 2 위상 혼합부를 더 포함하는 것을 특징으로 하는 DLL 회로.

청구항 11

제 6 항에 있어서,

상기 위상 비교부는, 상기 기준 클럭과 상기 피드백 클럭의 위상을 비교하여 업신호 또는 다운신호를 생성하는 위상 감지부; 및

상기 인에이블 신호에 의해 활성화 되고, 상기 업신호 및 상기 다운신호에 응답하여 상기 제어신호를 생성하는 제어신호 생성부;

로 구성되는 것을 특징으로 하는 DLL 회로.

청구항 12

제 11 항에 있어서,

상기 제어신호 생성부는, 상기 인에이블 신호에 의해 활성화되고, 상기 업신호가 인에이블 되는 횟수 또는 상기 다운신호가 인에이블 되는 횟수에 따라 상기 제어신호를 생성하는 것을 특징으로 하는 DLL 회로.

청구항 13

바이어스 전압을 인가 받아 기준 클럭과 동일한 주파수로 발진하는 클럭을 단위시간만큼 지연하여 복수 개의 멀티 페이즈 클럭을 생성하는 전압 제어 발진부;

상기 복수개의 멀티 페이즈 클럭을 입력 받고, 제어신호에 응답하여 상기 복수개의 멀티 페이즈 클럭 중 어느 하나를 지연 클럭으로 생성하는 지연 클럭 생성부;

상기 지연 클럭을 입력 받아 소정 시간 지연하여 피드백 클럭을 생성하는 지연 모델링부; 및

상기 복수개의 멀티 페이즈 클럭 중 어느 하나의 멀티 페이즈 클럭과 상기 기준 클럭의 주파수를 비교

하여 상기 바이어스 전압을 생성하고, 상기 피드백 클럭과 상기 기준 클럭의 위상을 비교하여 제어신호를 생성하는 DLL 제어부;

를 포함하는 DLL 회로.

청구항 14

제 13 항에 있어서,

상기 전압 제어 발진부는, 상기 바이어스 전압에 의해 지연량이 조절되는 복수개의 딜레이 셀; 및

상기 복수개의 딜레이 셀의 수만큼 구비되고, 상기 복수개의 딜레이 셀의 출력 단에 각각 연결되어 상기 복수개의 멀티 페이즈 클럭을 생성하도록 구성되는 복수개의 베티;

로 구성되는 것을 특징으로 하는 DLL 회로.

청구항 15

제 13 항에 있어서,

상기 지연 클럭 생성부는, 상기 제어신호에 응답하여 상기 복수개의 멀티 페이즈 클럭 중 어느 하나의 멀티 페이즈 클럭을 출력하는 제 1 막스부를 구비하는 것을 특징으로 하는 DLL 회로.

청구항 16

제 15 항에 있어서,

상기 지연 클럭 생성부는, 상기 제어신호에 응답하여 상기 제 1 막스부가 출력하는 멀티 페이즈 클럭의 위상을 미세 조정하는 위상 혼합부를 더 포함하는 것을 특징으로 하는 DLL 회로.

청구항 17

제 13 항에 있어서,

상기 지연 클럭 생성부는, 상기 제어신호를 입력 받아 제 2 제어신호를 생성하는 합산기;

상기 합산기의 출력에 응답하여 상기 복수개의 멀티 페이즈 클럭 중 어느 하나의 멀티 페이즈 클럭을 출력하는 제 2 막스부; 및

를 더 포함하는 것을 특징으로 하는 DLL 회로.

청구항 18

제 17 항에 있어서,

상기 지연 클럭 생성부는, 상기 제 2 제어신호에 응답하여 상기 제 2 막스부가 출력하는 멀티 페이즈 클럭의 위상을 미세 조정하는 제 2 위상 혼합부를 더 포함하는 것을 특징으로 하는 DLL 회로.

청구항 19

제 13 항에 있어서,

상기 DLL 제어부는, 상기 복수개의 멀티 페이즈 클럭 중 어느 하나의 멀티클럭과 페이즈 클럭과 상기 기준 클럭의 주파수를 비교하여 상기 바이어스 전압 및 인에이블 신호를 생성하도록 구성된 발진 제어부; 및

상기 인에이블 신호에 응답하여 활성화 되고, 상기 피드백 클럭과 상기 기준 클럭의 위상을 비교하여 상기 제어신호를 생성하는 위상 비교부;

로 구성되는 것을 특징으로 하는 DLL 회로.

청구항 20

제 19 항에 있어서,

상기 발진 제어부는, 상기 기준 클럭과 상기 복수개의 멀티 페이즈 클럭 중 어느 하나의 멀티 페이즈

클럭의 주파수를 비교하여 상기 바이어스 전압의 레벨을 상승시키거나 하강시키는 것을 특징으로 하는 DLL 회로.

청구항 21

제 19 항에 있어서,

상기 발진 제어부는, 상기 기준 클럭과 상기 복수개의 멀티 페이즈 클럭 중 어느 하나의 멀티 페이즈 클럭의 주파수가 동일할 때 상기 인에이블 신호를 인에이블 시키는 것을 특징으로 하는 DLL 회로.

청구항 22

제 19 항에 있어서,

상기 위상 비교부는, 상기 기준 클럭과 상기 피드백 클럭의 위상을 비교하여 업신호 또는 다운신호를 생성하는 위상 감지부; 및

상기 인에이블 신호에 의해 활성화 되고, 상기 업신호 및 상기 다운신호에 응답하여 상기 제어신호를 생성하는 제어신호 생성부;

로 구성되는 것을 특징으로 하는 DLL 회로.

청구항 23

제 22 항에 있어서,

상기 제어신호 생성부는, 상기 인에이블 신호에 의해 활성화되고, 상기 업신호가 인에이블 되는 횟수 또는 상기 다운신호가 인에이블 되는 횟수에 따라 상기 제어신호를 생성하는 것을 특징으로 하는 DLL 회로.

명세서

발명의 상세한 설명

기술 분야

[0001] 본 발명은 지연 고정 루프(DLL) 회로에 관한 것으로, 더 상세하게는 다중 위상 클럭을 생성하는 DLL 회로에 관한 것이다.

배경 기술

[0002] 일반적으로 동기식 디램(Synchronous DRAM)에서는, 다중 위상(Multiphase)을 갖는 클럭을 생성하기 위해서 위상고정 루프회로(Phase Locked Loop Circuit, 이하, PLL)와 지연고정 루프회로(Delay Locked Loop Circuit, 이하, DLL)가 이용된다. 상기 PLL 및 DLL은 외부 클럭(External Clock)에 동기시켜 데이터를 출력하기 위하여, 외부 클럭을 변환하여 얻은 기준 클럭(Reference Clock)에 대해 소정 시간 위상이 앞서는 내부 클럭(Internal Clock)을 생성한다.

[0003] 상기 PLL은 위상고정을 위한 락킹 타임(Locking Time)이 매우 길기 때문에 전력소모가 큰 단점이 있다. 또한, 위상고정 동작을 수행하는 필터는 상기 PLL의 안정적인 동작을 위해서 상당히 큰 캐패시턴스(Capacitance)를 요구하기 때문에 회로 면적을 많이 차지한다는 단점도 갖고 있다.

[0004] 한편, DLL은 작은 지터(Jitter) 특성으로 인해 PLL 보다 선호되어 사용되고 있다. 특히, 고속동작을 필요로 하는 반도체 메모리 장치에 있어서, 다중 위상 클럭(Multiplied Phase Clock)을 생성하는 DLL이 필수적으로 요구되는데, 상기 다중 위상 클럭을 생성하기 위해서는 두개의 루프회로를 필요로 한다. 첫 번째는 기준 루프(Reference Loop)라고도 불리며, 상기 기준 루프를 통해 다중 위상을 클럭을 생성한다. 두 번째 루프회로는 상기 기준 루프에서 제공한 다중 위상 클럭의 위상을 조합하여 외부 클럭과 동기되는 지연 클럭을 생성하게 된다. 상기 기준 루프는 또 하나의 DLL로 구성되기 때문에 락킹 타임(Locking Time)이 길어지고 이에 따라 전력소모가 커지는 단점이 있다. 또한, DLL은 전압 제어 지연라인을 사용하여 클럭 주기의 n배를 락킹할 수 있기 때문에, 락킹 범위 제한에 의해 하모닉 락킹(Harmonic Locking)의 문제가 발생할 수 있다.

발명의 내용

해결 하고자하는 과제

[0005]

본 발명은 상기와 같은 문제점을 해결하기 위해서 전압 제어 발진부를 이용하여 다중 위상 클럭을 생성하고, 그 중 기준 클럭에 동기되는 클럭을 선택하여 지연 클럭으로 제공하는 DLL 회로를 제공하는데 그 목적이 있다.

과제 해결수단

[0006]

본 발명의 실시예에 따른 DLL 회로는 기준 클럭을 단위시간만큼 지연시켜 복수개의 멀티 페이즈 클럭을 생성하고, 멀티 상기 복수개의 멀티 페이즈 클럭 중 어느 하나의 멀티 페이즈 클럭과 상기 기준 클럭의 주파수가 일치할 때 인에이블 되는 인에이블 신호를 생성하도록 구성된 멀티 페이즈 클럭 생성부; 및 상기 인에이블 신호가 인에이블 되면, 제어신호에 따라 상기 복수개의 멀티 페이즈 클럭 중 어느 하나의 클럭을 소정시간 지연시켜 상기 기준 클럭의 위상과 비교하고, 상기 복수개의 멀티 페이즈 클럭 중 상기 기준 클럭과 위상이 일치하는 멀티 페이즈 클럭을 지연 클럭으로 생성하도록 구성된 멀티 페이즈 클럭 선택부; 를 포함한다.

[0007]

또한, 본 발명의 실시예에 따른 DLL회로는 바이어스 전압을 인가 받아 기준 클럭과 동일한 주파수로 발진하는 클럭을 단위시간만큼 지연하여 복수개의 멀티 페이즈 클럭을 생성하는 전압 제어 발진부; 상기 복수개의 멀티 페이즈 클럭을 입력 받고, 제어신호에 응답하여 지연 클럭을 생성하는 지연 클럭 생성부; 상기 지연 클럭을 입력 받아 소정 시간 지연하여 피드백 클럭을 생성하는 지연 모델링부; 및 상기 복수개의 멀티 페이즈 클럭 중 어느 하나의 멀티 페이즈 클럭과 상기 기준 클럭의 주파수를 비교하여 상기 바이어스 전압을 생성하고, 상기 피드백 클럭과 상기 기준 클럭의 위상을 비교하여 제어신호를 생성하는 DLL 제어부; 를 포함한다.

효과

[0008]

본 발명은 전압 제어 발진부를 이용하여 다중 위상 클럭을 생성하므로 종래 DLL 회로보다 락킹 타임을 감소시켜 전력 소모를 줄일 수 있고, 회로 면적도 감소 시킬 수 있다. 또한, 기준 클럭과 주파수가 일치된 다중 위상 클럭을 생성하고, 상기 다중 위상 클럭 중 기준 클럭에 동기되는 클럭을 지연 클럭으로 생성함으로써, 하모닉 락킹의 문제를 해결할 수 있다.

발명의 실시를 위한 구체적인 내용

[0009]

도 1은 본 발명의 실시예에 지연 고정 루프(Delayed Locked Loop, 이하 DLL) 회로의 블로도이다.

[0010]

본 발명의 실시예에 따른 DLL 회로(1)는 멀티 페이즈 클럭 생성부(10) 및 멀티 페이즈 클럭 선택부(20)를 포함한다. 상기 멀티 페이즈 클럭 생성부(10)는 기준 클럭(clk_ref)을 단위시간만큼 지연하여 복수개의 멀티 페이즈 클럭(Multi-Phase Clock, mclk<0:5>)을 생성하고, 상기 복수개의 멀티 페이즈 클럭(mclk<0:5>)이 상기 기준 클럭(clk_ref)의 주파수(Frequency)와 동일하도록 조절하며, 상기 기준 클럭(clk_ref)과 상기 복수개의 멀티 페이즈 클럭(mclk<0:5>)이 주파수가 일치할 때 인에이블 되는 인에이블 신호(en)를 생성하도록 구성된다. 상기 기준 클럭(clk_ref)은 입력 버퍼(Input Buffer)에 의해 외부 클럭(External Clock)을 변환하여 얻은 클럭이다.

[0011]

본 발명의 실시예에서, 상기 멀티 페이즈 클럭 생성부(10)는 발진 제어부(100) 및 전압 제어 발진부(200)로 구성된다. 상기 발진 제어부(100)는 상기 복수개의 멀티 페이즈 클럭(mclk<0:5>) 중 어느 하나의 멀티 페이즈 클럭(mclk<n>)과 상기 기준 클럭(clk_ref)의 주파수를 비교하여 바이어스 전압(bias) 및 인에이블 신호(en)를 생성한다. 상기 발진 제어부(100)는 상기 복수개의 멀티 페이즈 클럭(mclk<0:5>) 중 어느 하나의 멀티 페이즈 클럭(mclk<n>)을 입력 받아 기준 클럭(clk_ref)의 주파수와 비교할 수 있다. 이하에서는, 상기 제 1 멀티 페이즈 클럭(mclk<0>)이 상기 발진 제어부(100)로 입력되는 경우를 가정하여 설명한다. 기준 클럭(clk_ref)의 주파수가 상기 제 1 멀티 페이즈 클럭(mclk<0>)의 주파수보다 높을 때, 상기 발진 제어부(100)는 상기 바이어스 전압(bias)을 상승시켜 상기 전압 제어 발진부(200)로 제공한다. 반대로, 기준 클럭(clk_ref)의 주파수가 상기 제 1 멀티 페이즈 클럭(mclk<0>)의 주파수보다 낮을 때, 상기 발진 제어부(100)는 상기 바이어스 전압(bias)을 하강시켜 상기 전압 발진 제어부(200)로 제공한다. 상기 기준 클럭(clk_ref)과 상기 제 1 멀티 페이즈 클럭(mclk<0>)의 주파수가 일치하는 경우에는 상기 바이어스 전압(bias)을 그대로 유지하며, 인에이블 신호(en)를 인에이블 시킨다.

- [0012] 상기 전압 제어 발진부(200)는 상기 바이어스 전압(bias)에 따라 지연정도를 달리하여 발진 주파수를 조절하고, 입력 받는 상기 기준 클럭(clk_ref)을 단위시간만큼 지연하여 상기 복수개의 멀티 페이즈 클럭(mclk<0:5>)을 생성하도록 구성된다. 상기 발진 제어부(100)에서 인가되는 바이어스 전압(bias)에 따라 전압 제어 발진부(200)에서 발진하는 클럭의 주파수가 조절된다. 상기 전압 제어 발진부(200)는 상기 바이어스 전압(bias)이 상승하면 보다 빠른 주기(높은 주파수)로 발진하는 클럭을 생성하며, 상기 바이어스 전압이 하강하면 보다 느린 주기(낮은 주파수)로 발진하는 클럭을 생성한다. 따라서, 상기 전압 제어 발진부(200)는 기준 클럭(clk_ref)과 동일하면서 단위시간만큼 위상차이를 갖는 복수개의 멀티 페이즈 클럭(mclk<0:5>)을 생성할 수 있다.
- [0013] 상기 멀티 페이즈 클럭 선택부(20)는 상기 인에이블 신호(en)가 인에이블 되면, 제어신호(ctrl11)에 따라 상기 복수개의 멀티 페이즈 클럭(mclk<0:5>) 중 어느 하나의 클럭을 소정시간 지연시켜 상기 기준 클럭(clk_ref)의 위상과 비교하고, 상기 복수개의 멀티 페이즈 클럭(mclk<0:5>) 중 상기 기준 클럭(clk_ref)과 위상이 일치하는 멀티 페이즈 클럭을 제 1 지연 클럭(clk_dly1)으로 생성하도록 구성된다.
- [0014] 본 발명의 실시예에서 상기 멀티 페이즈 클럭 선택부(20)는 지연 클럭 생성부(300), 지연 모델링부(400) 및 위상 비교부(500)로 구성된다. 상기 지연 클럭 생성부(300)는 제어신호(ctrl11)에 응답하여 상기 전압 제어 발진부(200)에서 기준 클럭(clk_ref)과 동일한 주파수를 갖는 복수개의 멀티 페이즈 클럭(mclk<0:5>) 중 적어도 한 개 이상의 멀티 페이즈 클럭을 제 1 지연 클럭(clk_dly1)으로 생성한다.
- [0015] 상기 지연 모델링부(400)는 본 발명의 실시예가 DLL 회로로서 동작하도록 반도체 메모리 장치의 내부적인 지연시간만큼 지연을 수행할 수 있도록 설정된다. 상기 지연 모델링부(400)는 상기 지연 클럭 생성부(300)에서 생성된 제 1 지연 클럭(clk_dly1)을 기설정된 시간만큼 지연하여 피드백 클럭(fclk)으로 출력한다.
- [0016] 상기 위상 비교부(500)는 상기 인에이블 신호(en)에 응답하여 활성화 된다. 상기 위상 비교부(500)가 활성화되면, 상기 기준 클럭(clk_ref)과 상기 피드백 클럭(fclk)의 위상을 비교하게 된다. 상기 위상 비교부(500)는 상기 피드백 클럭(fclk)과 상기 기준 클럭(clk_ref)의 위상을 비교하여 제어신호(ctrl11)를 생성한다. 예를 들어, 초기에 상기 제어신호(ctrl11)를 입력 받는 지연 클럭 생성부(300)가 복수개의 멀티 페이즈 클럭(mclk<0:5>) 중 제 2 멀티 페이즈 클럭(mclk<1>)을 제 1 지연 클럭(clk_dly1)으로 생성하였다고 가정하자. 상기 제 1 지연 클럭(clk_dly1)이 지연 모델링부(400)를 통해 지연되어 피드백 클럭(fclk)이 되고, 상기 피드백 클럭(fclk)이 위상 비교부(500)로 입력 된다. 상기 위상 비교부(500)는 상기 피드백 클럭(fclk)과 상기 기준 클럭(clk_ref)의 위상을 비교한다. 상기 피드백 클럭(fclk)이 상기 기준 클럭(clk_ref)의 위상보다 빠를 경우, 상기 지연 클럭 생성부(300)가 상기 제 2 멀티 페이즈 클럭(mclk<1>)보다 위상이 늦는 제 3 멀티 페이즈 클럭(mclk<2>)을 출력하도록 제어신호(ctrl11)가 생성되고, 상기 피드백 클럭(fclk)이 상기 기준 클럭(clk_ref)보다 위상이 늦을 경우, 상기 지연 클럭 생성부(300)가 상기 제 2 멀티 페이즈 클럭(mclk<1>)보다 위상이 빠른 제 1 멀티 페이즈 클럭(mclk<0>)을 제 1 지연 클럭(clk_dly1)으로 출력하도록 제어신호(ctrl11)가 생성된다.
- [0017] 도 2는 본 발명의 실시예에 따른 DLL 회로(1)의 전압 제어 발진부(200)의 상세한 구성을 보여주는 도면이다.
- [0018] 상기 전압 제어 발진부(200)는 바이어스 전압(bias)과 기준 클럭(clk_ref)을 입력 받아 복수개의 멀티 페이즈 클럭(mclk<0:5>)을 생성하는 복수개의 딜레이 셀(DC0~DC5)을 구비한다. 도 2에서 보는 바와 같이, 상기 전압 제어 발진부(200)는 6개의 딜레이 셀(DC0~DC5) 및 6개의 버퍼(Buf)로 구성되어 있다. 상기 딜레이 셀(DC0~DC5)은 각각 동일한 위상차이를 발생시킬 수 있도록 단위시간만큼 지연을 수행한다. 또한, 상기 딜레이 셀(DC0~DC5)은 상기 바이어스 전압(bias)을 인가 받아 기준 클럭(clk_ref)과 주파수가 일치하도록 주파수 조절이 가능하게 구성된다. 즉, 인가되는 바이어스 전압(bias)에 따라 지연정도를 달리하여 생성하는 멀티 페이즈 클럭(mclk<0:5>)의 주파수를 조절한다. 상기 버퍼(Buf)는 상기 딜레이 셀(DC0~DC5)과 동일한 개수로 구비된다. 상기 버퍼(Buf)들은 각 딜레이 셀(DC0~DC5)의 출력 단에 각각 연결되어, 멀티 페이즈 클럭(mclk<0:5>)을 출력하도록 구성된다. 따라서, 본 발명의 실시예에서 예시한 바와 같이 상기 전압 제어 발진부(200)를 6개의 딜레이 셀(DC0~DC5)과 6개의 버퍼(Buf)로 구성하는 경우, 6개의 멀티 페이즈 클럭(mclk<0:5>)을 생성할 수 있다. 즉, 상기 6개의 멀티 페이즈 클럭(mclk<0:5>) 중 제 1 멀티 페이즈 클럭(mclk<0>)이 가장 빠른 위상을 가지고, 제 2 멀티 페이즈 클럭(mclk<1>)은 상기 제 1 멀티 페이즈 클럭(mclk<0>)보다 단위시간(한 주기의 1/6)만큼 늦는 위상을 가지고, 상기 제 6 멀티 페이즈 클럭(mclk<5>)이 가장 늦는 위상을 갖는다. 본 발명의 실시예에서는, 딜레이 셀과 버퍼가 각각 6개인 경우를 예로 설명하였으나 이에 한정하는 것은 아니고, 상기 딜레이 셀과 버퍼의 수를 늘려 더 많은 수의 멀티 페이즈 클럭을 생성할 수 있다.

[0019]

도 3은 상기 전압 제어 발진부(200)를 구성하는 제 1 딜레이 셀(DCO)의 상세한 구성을 보여주는 회로도로서, 이하에서는 상기 기준 클럭(clk_ref)이 클럭 쌍(clkp, clkn)으로 입력되는 경우를 가정하여 설명하도록 한다. 상기 클럭 쌍(clkp, clkn)은 180도의 위상차이를 갖는다. 상기 제 1 딜레이 셀(DCO)은 병렬로 연결된 피모스 트랜지스터들(Pms)과 병렬로 연결된 엔모스 트랜지스터들(Nms)을 포함한다. 상기 딜레이 셀(DCO)은 기준 클럭 쌍(clkp, clkn)과 여섯번째 딜레이 셀(DC5)에서 출력되어 피드백 되는 클럭 쌍(inp, inn)을 구비하고 있는 엔모스 트랜지스터들(Nms)로 입력 받고, 상기 제 2 내지 제 6 딜레이 셀(DC1~DC5)은 각각 바로 이전 딜레이 셀에서 출력된 클럭을 구비하고 있는 엔모스 트랜지스터들로 입력 받는다는 점에서 차이가 있을 뿐, 다른 구성은 모두 동일하다. 상기 제 1 딜레이 셀(DCO)은 입력 되는 바이어스 전압 쌍(pbias, nbias)에 따라 지연 정도를 조절하여 클럭의 주파수를 높이거나 낮출 수 있다. 상기 바이어스 전압 쌍은 서로 반비례하는 관계에 있다. 즉, 바이어스 전압(pbias)의 레벨이 상승하면, 바이어스 전압(nbias)의 레벨은 비례적으로 하강한다.

[0020]

도 4는 지연 클럭 생성부(300)의 상세한 구성을 보여주는 도면이다.

[0021]

상기 지연 클럭 생성부(300)는 제 1 출력부(310)로 구성된다. 상기 제 1 출력부(310)는 제 1 멀티부(MUX1, 311)를 포함하며, 바람직하게는 제 1 위상 혼합부(312)를 더 포함한다. 상기 제 1 멀티부(311)는 제어신호(ctrl11)에 응답하여 상기 복수개의 멀티 페이즈 클럭(mclk<0:5>) 중 하나의 클럭을 출력하도록 구성된다. 상기 위상 혼합부(312)는 상기 제어신호(ctrl11)에 응답하여 상기 제 1 멀티부(311))의 출력을 미세 조정하는 기능을 수행한다. 예를 들어, 상기 제어신호(ctrl11)에 응답하여 상기 제 1 멀티부(311)가 제 1 멀티 페이즈 클럭(mclk<0>)을 출력하면 상기 제 1 멀티 페이즈 클럭(mclk<0>)은 상기 제 1 위상 혼합부(312)로 입력된다. 상기 위상 혼합부(312)는 상기 제 1 멀티 페이즈 클럭(mclk<0>)과 제 2 멀티 페이즈 클럭(mclk<1>) 사이의 임의의 위상을 선택할 수 있다. 즉, 상기 제 1 위상 혼합부(312)는 상기 제 1 멀티 페이즈 클럭(mclk<0>)을 입력 받아 제 1 멀티 페이즈 클럭(mclk<0>)과 제 2 멀티 페이즈 클럭(mclk<1>) 사이의 임의의 위상을 갖는 클럭을 제 1 지연 클럭(clk_dly1)으로 생성할 수 있다.

[0022]

본 발명의 실시예에서 상기 지연 클럭 생성부(300)는 제 2 출력부(320)를 더 포함할 수 있다. 상기 제 2 출력부는 합산기(ADDER, 321) 제 2 멀티부(MUX2, 322)로 구성되며, 바람직하게는 제 2 위상 혼합부(323)를 더 포함할 수 있다. 상기 합산기(321)는 상기 제어신호(ctrl11)를 입력 받아 제 2 제어신호(ctrl12)를 생성한다. 예를 들어, 제 1 제어신호(ctrl11)가 제 1 멀티 페이즈 클럭(mclk<0>)을 출력하도록 할 때, 상기 제 2 제어신호(ctrl12)는 합산기(321)를 통해 제 4 멀티 페이즈 클럭(mclk<3>)을 출력하도록 할 수 있다. 상기 제 2 멀티부(322)는 상기 제 2 제어신호(ctrl12)에 응답하여 상기 복수개의 멀티 페이즈 클럭(mclk<0:5>) 중 적어도 하나 이상의 클럭을 출력한다. 상기 제 2 멀티부(322)는 제 1 멀티부(311)와 동일하게 구성될 수 있다. 상기 제 2 위상 혼합기(323)는 상기 제 1 위상 혼합기(312)와 동일한 기능을 수행하도록 구비된다. 즉, 제 2 멀티부(322)가 제 4 멀티 페이즈 클럭(mclk<3>)을 출력하였을 때, 상기 제 2 위상 혼합부(323)는 상기 제 2 제어신호(ctrl12)에 응답하여 상기 제 4 멀티 페이즈 클럭(mclk<3>)과 제 5 멀티 페이즈 클럭(mclk<4>) 사이의 임의의 위상을 갖는 클럭을 제 2 지연 클럭(clk_dly2)으로 생성할 수 있다. 상기 합산기(321), 제 2 멀티부(322) 및 제 2 위상 혼합부(323)를 구비함으로써 다중 위상을 갖는 지연 클럭(clk_dly1, clk_dly2)을 생성할 수 있게 된다.

[0023]

도 5는 도 1의 위상 비교부(510)의 상세한 구성을 보여주는 도면이다.

[0024]

상기 위상 비교부(500)는 위상 감지부(510) 및 제어신호 생성부(520)로 구성된다. 상기 위상 감지부(510)는 지연 클럭 생성부(300)에서 생성된 지연 클럭(clk_dly)이 지연 모델링부(400)를 통해 소정시간 지연되어 생성된 피드백 클럭(fclk)과 상기 기준 클럭(clk_ref)의 위상을 비교한다. 상기 위상 감지부(510)는 상기 피드백 클럭(fclk)과 상기 기준 클럭(clk_ref)의 위상을 비교하여, 상기 피드백 클럭(fclk)이 상기 기준 클럭(clk_ref)의 위상보다 앞서는 경우 다운신호(down)를 인에이블 시킨다. 반대로, 상기 피드백 클럭(fclk)이 상기 기준 클럭(clk_ref)의 위상보다 뒤지는 경우에는 업신호(up)를 인에이블 시킨다. 상기 업신호(up)와 다운신호(down)는 하이로 인에이블 되는 펄스 신호가 될 수 있다. 또한 상기 위상 감지부(510)는 상기 피드백 클럭(fclk)과 상기 기준 클럭(clk_ref)의 위상차이에 따라 상기 업신호(up)와 다운신호(down)를 복수회 발생시킬 수 있다. 예를 들어, 상기 기준 클럭(clk_ref)이 상기 피드백 클럭(fclk)보다 한주기의 1/6만큼의 위상이 뒤질 때 상기 업신호(up)는 한번 발생될 수 있다. 상기 기준 클럭이 상기 피드백 클럭(fclk)보다 한주기의 1/3만큼의 위상이 뒤질 때 상기 업신호(up)는 두번 발생될 수 있다. 위와 같이 위상 차이에 따라 업신호(up) 및 다운신호(down)를 복수회 발생시켜 기준 클럭(clk_ref)과 위상이 일치하는 제 1 지연 클럭(clk_dly1)을 빨리 생성할 수 있게 된다.

[0025]

상기 제어신호 생성부(520)는 상기 업신호(up) 및 다운신호(down)에 응답하여 업카운트 되거나 다운카

운트 되는 제어신호(ctrl11)를 생성한다. 예를 들어, 상기 제어신호 생성부(520)는 상기 업신호(up) 및 다운신호(down)에 응답하여 업카운트 되거나 다운카운트 되는 제어신호(ctrl11)를 생성하는 카운터로 구성될 수 있다. 상기 카운터가 3비트 신호를 출력하는 카운트라고 가정하면 상기 제어신호 생성부(520)는 000부터 111까지 8개의 신호를 출력할 수 있다. 상기 제어신호 생성부(520)는 인에이블 신호(en)에 응답하여 활성화된 초기에 000이라는 제어신호(ctrl11)를 생성하였을 때, 상기 업신호(up)가 두번 발생하면 두번 업카운트 된 010신호를 생성하며, 010신호를 출력하다가 다운신호(down)가 한번 발생하면 한번 다운카운트 된 001신호를 생성할 수 있다.

[0026] 상기 제 1 멀티스부(311)는 상기 제어신호(ctrl11)에 따라 복수개의 멀티 페이즈 클럭(mclk<0:5>) 중 어느 하나의 멀티 페이즈 클럭(mclk<n>)을 출력할 수 있다. 예를 들어, 상기 제 1 멀티스부(311)가 000신호가 제어신호로 입력되면 제 1 멀티 페이즈 클럭(mclk<0>)을 출력하고, 001신호가 입력되면 제 2 멀티 페이즈 클럭(mclk<1>)을 생성하는 방식으로 구성될 수 있다. 본 발명의 실시예에서는, 상기 제 1 멀티스부(311)가 하나의 멀티 페이즈 클럭을 생성하지만, 당업자라면 상기 제어신호를 복수개로 구성하여, 멀티스부에서 2개 이상의 멀티 페이즈 클럭을 출력하도록 구성할 수 있음을 알 수 있다.

[0027] 상기 합산기(321)는 상기 제어신호 생성부(520)가 생성하는 제어신호(ctrl11)를 세 번 더 업카운트 한 신호를 생성하도록 구성될 수 있다. 예를 들어, 상기 제어신호 생성부(311)가 000신호를 제어신호(ctrl11)로 생성하였을 때, 상기 합산기(321)는 상기 000신호를 입력 받아 011신호를 제 2 제어신호(ctrl12)로 생성할 수 있다. 따라서 상기 제 2 멀티스부(MUX2, 322)는 상기 제 2 제어신호(ctrl12)에 따라 복수개의 멀티 페이즈 클럭(mclk<0:5>) 중 하나의 멀티 페이즈 클럭을 출력하게 된다. 다시 말해, 상기 제 1 제어신호(ctrl11)가 000으로 이루어진 신호라고 가정하였을 때 상기 제 1 멀티 페이즈 클럭(mclk<0>)을 출력하고, 상기 제 2 멀티스부(322)는 011로 이루어진 제 2 제어신호(ctrl12)를 입력 받아 제 4 멀티 페이즈 클럭(mclk<3>)을 출력하는 것이다. 본 발명의 실시예에서 예시한 것처럼, 전압 제어 발진부(200)가 6개의 멀티 페이즈 클럭(mclk<0:5>)을 생성한다고 할 때, 상기 제 1 멀티스부(311)의 출력 및 제 2 멀티스부(322)의 출력은 90도의 위상차이를 갖게 된다.

[0028] 상기 제 1 및 제 2 위상 혼합부(312, 323)도 상기 제어신호(ctrl11) 및 제 2제어신호(ctrl12)에 따라 제 1 멀티스부(311) 및 제 2 멀티스부(322)가 출력하는 제 1 및 제 4 멀티 페이즈 클럭(mclk<0>, mclk<3>)의 위상을 미세하게 조정하여 제 1 및 제 2 지연 클럭(clk_dly1, clk_dly2)을 생성한다.

[0029] 상기 제 1 출력부(310) 및 제 2 출력부(322)의 출력 단에 추가적인 인버터를 구성하였을 경우, 본 발명은 제 1 지연 클럭(clk_dly1), 제 1 지연 클럭(clk_dly1)과 90도의 위상차이가 나는 클럭(제 2 지연 클럭(clk_dly2)), 제 1 지연 클럭(clk_dly1)과 180도 위상차이가 나는 클럭(제 1 지연 클럭(clk_dly1)을 인버터를 통해 반전시킨 클럭) 및 제 1 지연 클럭(clk_dly2)과 270도 위상차이가 나는 클럭(제 2 지연 클럭(clk_dly2)을 인버터를 통해 반전시킨 클럭), 4개의 클럭을 지연 클럭(clk_dly)으로 생성할 수 있게 된다.

[0030] 도 1 내지 도 5를 참조하여 본 발명의 실시예에 따른 DLL 회로의 동작을 살펴보면 다음과 같다.

[0031] 상기 전압 제어 발진부(200)는 상기 기준 클럭(clk_ref)을 입력 받아 단위시간만큼 지연시켜 제 1 내지 제 6 멀티 페이즈 클럭(mclk<0:5>)을 생성한다. 상기 제 1 내지 제 6 멀티 페이즈 클럭(mclk<0:5>) 중 어느 하나의 클럭은 상기 발진 제어부(100)로 피드백 된다. 예를 들어, 제 1 멀티 페이즈 클럭(mclk<0>)이 발진 제어부(100)로 입력된다고 할 때, 상기 발진 제어부(100)는 상기 제 1 멀티 페이즈 클럭(mclk<0>)과 기준 클럭(clk_ref)의 주파수를 비교하여 전압 제어 발진부(200)로 입력되는 바이어스 전압(bias)의 레벨을 조절한다. 상기 제 1 멀티 페이즈 클럭(mclk<0>)의 주파수가 상기 기준 클럭(clk_ref)의 주파수보다 낮은 경우 상기 바이어스 전압(bias)의 레벨을 상승시켜 상기 전압 제어 발진부(200)가 더 높은 주파수의 멀티 페이즈 클럭(mclk<0:5>)을 생성하도록 한다. 상기 전압 제어 발진부(200)가 생성하는 제 1 멀티 페이즈 클럭(mclk<0>)의 주파수가 상기 기준 클럭(clk_ref)의 주파수와 일치할 때, 상기 발진 제어부(100)는 상기 바이어스 전압(bias)을 유지하고, 인에이블 신호(en)를 인에이블 시킨다.

[0032] 상기 인에이블 신호(en)는 상기 위상 비교부(500)를 활성화 시킨다. 상기 위상 비교부(500)의 제어신호 생성부(520)는 상기 인에이블 신호(en)를 입력 받아 초기화되고, 000신호를 제어신호(ctrl11)로 생성한다. 상기 제 1 출력부(310)는 상기 제어신호(ctrl11)에 응답하여 제 1 멀티 페이즈 클럭(mclk<0>)을 제 1 지연 클럭(clk_dly1)으로 출력한다. 상기 제 1 지연 클럭(clk_dly1)은 지연 모델링부(400)를 통해 지연된다. 지연된 피드백 클럭(fclk)은 상기 위상 감지부(510)로 입력 된다. 상기 위상 감지부(510)는 상기 기준 클럭(clk_ref)과 상기 피드백 클럭(fclk)의 위상을 감지하여 업신호(up) 또는 다운신호(down)를 생성한다. 예를 들어, 상기 상기 피드백 클럭(fclk)의 위상이 상기 기준 클럭(clk_ref)보다 한주기의 1/6만큼 빠른 경우 상기 업신호(up)가 한번

생성된다. 상기 제어신호 생성부(520)는 상기 업신호(up)에 응답하여 한번 업카운트된 신호, 즉 001 신호를 제어신호(ctrl11)로 생성한다. 상기 합산기(321)는 상기 제어신호(ctrl11)에서 세번더 업카운트 된 100신호를 제2제어신호(ctrl12)로 생성한다. 따라서 상기 제1 먹스부(311)는 제어신호(ctrl11)에 응답하여 제2 멀티 페이즈 클럭(mclk<1>)을 제1 지연 클럭(clk_dly1)으로 생성하고, 상기 제2 먹스부(322)는 제2 제어신호(ctrl12)에 응답하여 제5 멀티 페이즈 클럭(mclk<4>)을 제2 지연 클럭(clk_dly2)으로 생성한다. 상기 제1 및 제2 먹스부(311, 322)의 출력 단에 추가적인 인버터를 구성하였을 때, 결과적으로 기준 클럭(clk_ref)과 동기되는 제1 지연 클럭(clk_dly1), 상기 제1 지연 클럭(clk_dly1)과 90도 위상차이가 나는 클럭(제2 지연 클럭(clk_dly2)), 상기 제1 지연 클럭(clk_dly1)과 180도 위상차이가 나는 클럭(제1 지연 클럭(clk_dly1)이 인버터를 통해 반전된 클럭) 및 상기 제1 지연 클럭(clk_dly1)과 270도 위상차이가 나는 클럭(제2 지연 클럭(clk_dly2)이 인버터를 통해 반전된 클럭)이 생성된다. 본 발명의 실시예에서는 결과적으로 4개의 다중 위상 클럭이 생성됨을 예로 보였으나, 당업자라면 추가적인 합산기 및 먹스부를 구성하여 원하는 수만큼의 다중 위상 클럭을 생성할 수 있음을 알 수 있다.

[0033] 본 발명은 주파수가 기준 클럭과 일치된 복수개의 멀티 페이즈 클럭을 생성하고, 기준 클럭의 위상과 동기되는 클럭을 선택적으로 출력함으로써, 종래기술 보다 락킹 타임을 감소시킬 수 있고, 이에 따라 전류소모를 감소시킬 수 있다. 또한, 종래의 하모닉 락킹의 문제도 해결할 수 있다.

[0034] 본 발명이 속하는 기술분야의 당업자는 본 발명이 그 기술적 사상이나 필수적 특징을 변경하지 않고서 다른 구체적인 형태로 실시될 수 있으므로, 이상에서 기술한 실시예들은 모든 면에서 예시적인 것이며 한정적인 것이 아닌 것으로서 이해해야만 한다. 본 발명의 범위는 상기 상세한 설명보다는 후술하는 특허청구범위에 의하여 나타내어지며, 특허청구범위의 의미 및 범위 그리고 그 등가개념으로부터 도출되는 모든 변경 또는 변형된 형태가 본 발명의 범위에 포함되는 것으로 해석되어야 한다.

도면의 간단한 설명

[0035] 도 1은 본 발명의 실시예에 따른 DLL 회로의 구성을 보여주는 블록도,

[0036] 도 2는 도 1의 전압 제어 발진부의 상세한 구성을 보여주는 도면,

[0037] 도 3은 도 2의 딜레이 셀의 상세한 구성을 보여주는 회로도,

[0038] 도 4는 도 1의 지연 클럭 생성부의 상세한 구성을 보여주는 도면,

[0039] 도 5는 도 1의 위상 비교부의 상세한 구성을 보여주는 도면이다.

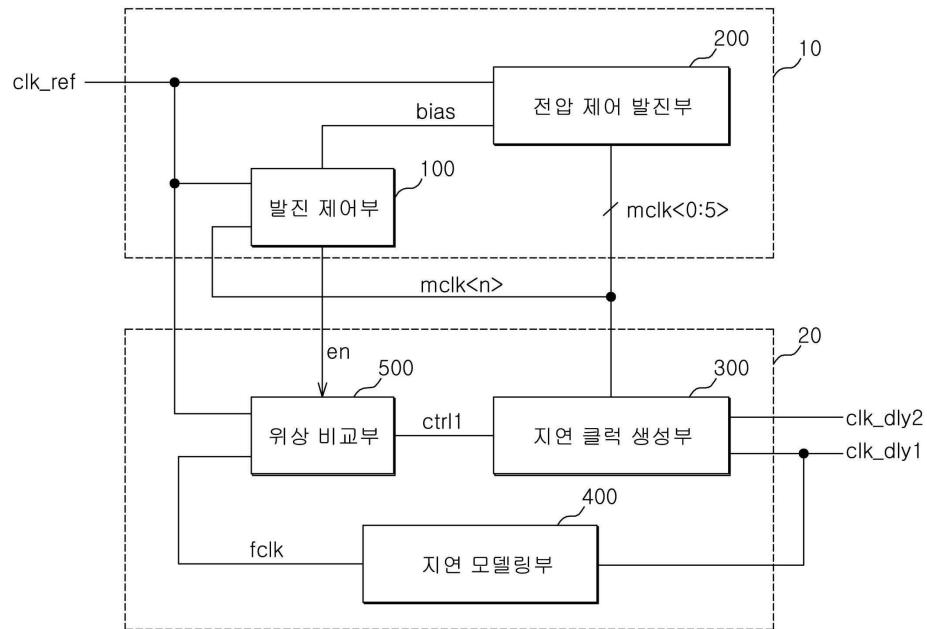
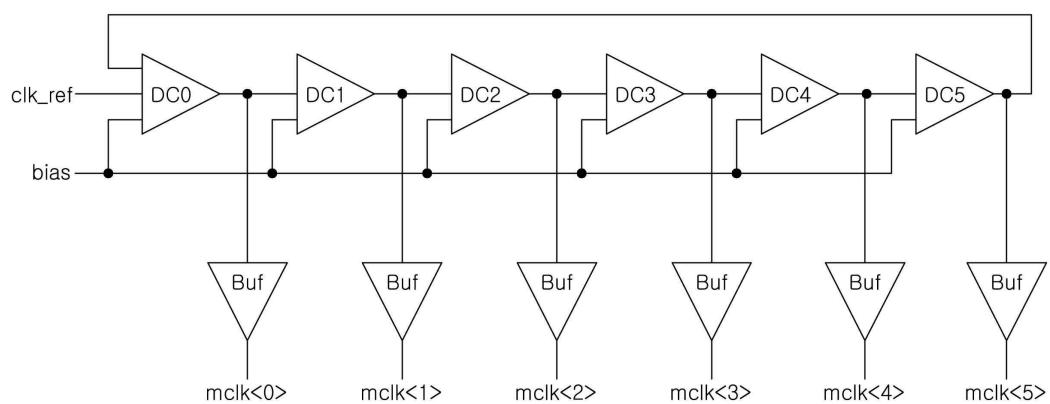
[0040] <도면의 주요부분에 대한 부호의 설명>

1: DLL 회로	10: 멀티 페이즈 클럭 생성부
-----------	-------------------

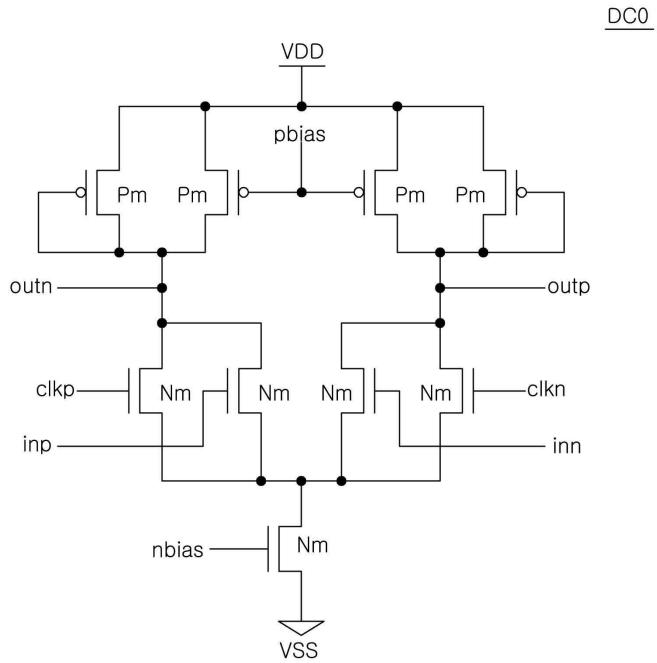
20: 멀티 페이즈 클럭 선택부	100: 발진 제어부
-------------------	-------------

200: 전압 제어 발진부	300: 지연 클럭 생성부
----------------	----------------

400: 지연 모델링부	500: 위상 비교부
--------------	-------------

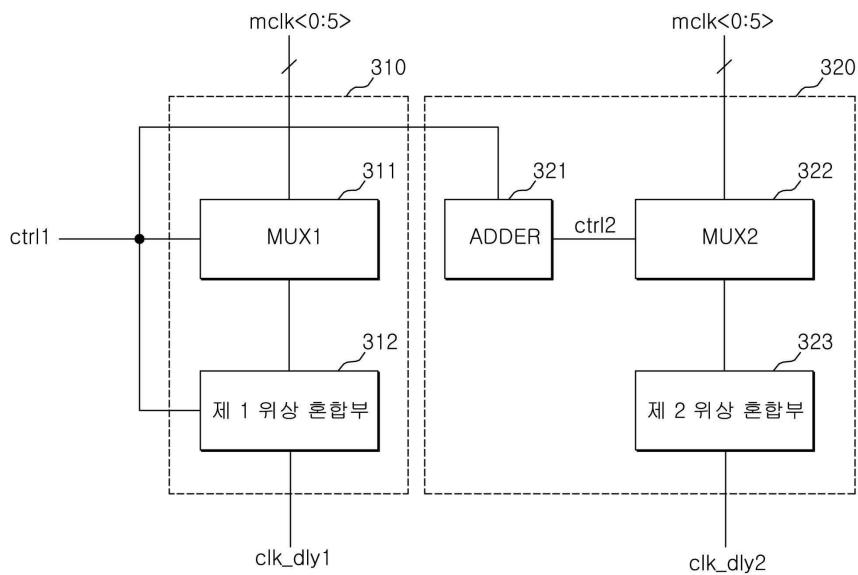
도면**도면1**1**도면2**100

도면3



도면4

300



도면5

