

(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl.⁷
G11C 11/407

(45) 공고일자 2001년03월02일

(11) 등록번호 10-0284467

(24) 등록일자 2000년12월19일

(21) 출원번호	10-1997-0709066	(65) 공개번호	특 1999-0022585
(22) 출원일자	1997년12월06일	(43) 공개일자	1999년03월25일
번역문제출일자	1997년12월06일		
(86) 국제출원번호	PCT/US 96/09070	(87) 국제공개번호	WO 96/39698
(86) 국제출원일자	1996년06월04일	(87) 국제공개일자	1996년12월12일
(81) 지정국	AP ARIPO특허 : 케냐 레소토 말라위 수단 스와질랜드 케냐 EA 유라시아특허 : 아르메니아 벨라루스 키르기즈 EP 유럽특허 : 오스트리아 벨기에 스위스 독일 덴마크 스페인 프랑스 영국 그리스 이탈리아 룩셈부르크 모나코 네덜란드 포르투갈 스웨덴 오스트리아 스위스 독일 덴마크 스페인 핀란드 영국 국내특허 : 아일랜드 일본 북한 알바니아 오스트레일리아 바베이도스 불가리아 브라질 캐나다 중국 체코 에스토니아 그루지야 헝가리 이 스라엘 아이슬란드 대한민국		
(30) 우선권주장	8/471,861 1995년06월06일 미국(US)		
(73) 특허권자	마이크론 테크놀로지, 인크 로데릭 더블류 루이스		
(72) 발명자	미국 83716-9632 아이다호주 보이스 피.오. 박스 6 사우쓰 페드럴 웨이 8000 세이에디, 머마지드		
(74) 대리인	미국 83702 아이다호주 보이스 엔. 밴트리 플레이스 4665 안국찬, 주성민		

심사관 : 정재현

(54) DRAM센싱을위한셀플레이트기준화

요약

개시된 집적회로 다이내믹 메모리 디바이스는 커패시터의 전하로서 메모리 셀에 데이터를 저장한다. 메모리 셀은 공통 플레이트를 구비하고 디지털 라인에 선택적으로 접속될 수 있다. p-센스 및 n-센스 증폭기를 포함하는 센싱 회로가 디지털 라인과 셀 플레이트에 접속된다. 평형화 회로는 메모리 셀에 저장된 데이터를 센싱하기 위해 셀 플레이트와 디지털 라인을 평형으로 하기 위해 설명되었다. 분리 회로는 센싱 회로를 메모리 셀로부터 선택적으로 분리시키기 위해 설명되었다.

대표도

도3

명세서

기술분야

본 발명은 일반적으로 다이내믹 메모리 집적회로에 관한 것이며 특히 그 센싱 회로에 관한 것이다.

배경기술

집적회로 메모리는 메모리 기억용량의 대형화 필요성이 증대됨에 따라 더욱 집적도가 높아가고 있다. 제조 기술 및 디자인 옵션은 메모리 용량의 지속적인 증가를 유지함에 있어 상당히 성공적이었던고는 하지만 새로운 고 집적도 회로에 대한 필요성도 계속되고 있다.

다이내믹 랜덤 액세스 메모리(DRAM)는 개개의 메모리 셀을 배열하여 구성된다. 각각의 메모리 셀은 전하를 보유할 수 있는 커패시터와 커패시터 전하를 액세스하기 위한 액세스 트랜지스터를 구비한다. 전하는 데이터 비트로 참조되며 고(하이) 전압 또는 저(로) 전압으로 될 수 있다. 데이터는 기록 모드 동안에 메모리 셀에 기억되거나 판독 모드 동안에 메모리 셀로부터 검색될 수 있다. 데이터는 비트 또는 디지털 라인으로 참조되는 신호 라인에서 전송되며, 신호 라인은 스위칭 디바이스로 사용되는 트랜지스터를 통해 입/출력 라인에 결합된다. 기억된 데이터의 비트 각각에 대해, 그 참 논리 상태는 I/O 라인에서 가능하며 그 상보 논리 상태는 I/O 상보 라인에서 이용할 수 있다. 따라서, 각각의 메모리 셀은 두 개의 디지털 라인, 즉 디지털 및 디지털 상보 라인을 갖는다.

통상적으로, 메모리 셀은 어레이 형태로 배열되며 각각의 셀은 어레이에서 그 위치를 가리키는 어드레스를 갖는다. 어레이는 교차하는 로우(row) 구성을 가지며 메모리 셀은 각각의 교차점과 연관되어 있다. 셀로부터의 판독 또는 셀로의 기록을 위해서는 원하는 특정 셀이 선택 또는 어드레스되어야 한다. 선택

된 셀의 어드레스는 로우 디코더 및 칼럼 디코더로의 입력신호에 의해 표시된다. 로우 디코더는 로우 어드레스에 응답하여 워드 라인을 활성화한다. 선택된 워드 라인은 선택된 워드 라인과 통하는 각 메모리 셀의 액세스 트랜지스터를 활성화한다. 칼럼 디코더는 칼럼 어드레스에 응답하여 디지털 라인 쌍을 선택한다. 판독 동작을 위해, 선택된 워드 라인은 주어진 로우 어드레스를 위한 액세스 트랜지스터를 활성화하며, 데이터는 디지털 라인 쌍에 래치된다.

통상적인 다이내믹 메모리는 집적회로에서 커패시터로 제조된 메모리 셀을 사용하여 데이터를 저장한다. 말하자면, 논리 "1"이 커패시터에 전하로써 저장되고 커패시터가 방전되어 논리 "0"으로 된다. 디지털 라인 쌍은 집적회로에서 금속 라인으로 제조되며 메모리 셀에 접속되어 메모리 셀에 기억된 데이터를 전송한다. 센스 증폭기는 디지털 라인의 소량의 차동 전압을 센싱하고 메모리 셀의 판독 또는 기록을 위해 최대 전력 공급 레일로 디지털 라인을 구동하는데 사용된다. 메모리 셀 및 액세스 회로의 사이즈를 축소하기 위한 특유한 제조 기술 및 공정이 개발되어 왔지만, 디지털 라인에 대한 물리적인 스페이싱 요건은 이용가능한 다이 면적을 최대화하는데 장애가 되고 있다. 말하자면, 디지털 라인 쌍 때문에 메모리 셀 사이즈의 축소가 완전하게 실현될 수 없다.

전술한 이유 때문에, 또한 본 기술분야의 숙련자라면 명세서를 읽어보면 알 수 있는 후술하는 이유 때문에, 다이 면적의 점유를 줄여서 더욱 조밀하게 메모리를 집적할 수 있는 센싱 회로를 필요로 하고 있다.

<발명의 요약>

본 발명에서는 집적 회로 메모리의 집적도 증가에 따른 전술한 문제점 및 그 밖의 문제점을 다루고 있는데, 후술하는 설명을 보면 이해할 수 있을 것이다. 센싱 회로에 대한 기준으로 공통 셀 플레이트를 사용함으로써 메모리 셀을 액세스하는데 필요한 금속 디지털 라인의 수를 줄인 센싱 회로를 이용한 다이내믹 메모리 회로가 개시되어 있다.

특히, 본 발명은, 공통 플레이트로서 형성된 제1 플레이트와 제2 플레이트를 구비한 다수의 메모리 셀 커패시터와, 다수의 메모리 셀 커패시터 및 하나의 디지털 라인에 접속되어 다수의 메모리 셀 커패시터 중 하나의 제2 플레이트를 디지털 라인에 선택적으로 각각 접속시키는 다수의 액세스 디바이스와, 디지털 라인에 선택적으로 접속되고 공통 플레이트에 선택적으로 접속된 기준 노드를 갖는 센스 증폭기 회로를 구비한 집적 회로를 포함하는 집적 회로를 개시한다.

본 발명은 센스 증폭기 회로를 공통 플레이트에 선택적으로 접속시키기 위해 센스 증폭기의 기준 노드와 공통 플레이트 사이에 전기적으로 배치된 분리 회로를 포함할 수 있다. 더욱이, 본 발명은 센스 증폭기 회로를 디지털 라인에 선택적으로 접속시키기 위해 센스 증폭기 회로의 제2 노드와 디지털 라인 사이에 전기적으로 배치된 분리 회로를 포함할 수 있다.

평형 회로가 센스 증폭기 회로를 평형화 하기 위해 포함될 수 있다. 일 실시예에서, 상기 평형 회로는 기준 노드에 접속된 소스와 센스 증폭기 회로의 제2 노드에 접속된 드레인을 구비한 트랜지스터를 포함한다. 다른 실시예에서, 평형 회로는 기준 노드에 접속된 소스 및 디지털 라인에 접속된 드레인을 구비한 트랜지스터를 포함한다.

또 다른 실시예에서, 다이내믹 메모리 집적회로는 공통 플레이트로서 형성된 제1 플레이트와 제2 플레이트를 구비한 다수의 메모리 셀 커패시터와, 다수의 메모리 셀 커패시터 중 하나의 제2 플레이트를 디지털 라인에 각각 선택적으로 접속시키기 위해 워드 라인에 접속된 게이트를 구비한 다수의 액세스 트랜지스터를 포함한다. 메모리는 제1 노드와 제2 노드를 구비한 센스 증폭기, 센스 증폭기를 공통 플레이트에 선택적으로 접속시키기 위해 센스 증폭기의 제1 노드와 공통 플레이트 사이에 전기적으로 배치된 분리 회로, 및 센스 증폭기를 디지털 라인에 선택적으로 접속시키기 위해 센스 증폭기의 제2 노드와 디지털 라인 사이에 전기적으로 배치된 분리 회로를 더 포함한다.

일 실시예는 제1 플레이트 및 공통 플레이트를 구비한 다수의 다이내믹 메모리 셀 커패시터 내에 저장된 데이터를 센싱하는 방법을 포함한다. 상기 방법은 센스 증폭기의 제1 노드를 공통 플레이트 기준 전압에 접속시키는 단계, 센스 증폭기의 제2 노드를 디지털 라인에 전기적으로 접속시키는 단계, 공통 플레이트 기준 전압과 디지털 라인 전압 사이의 차동 전압을 전하는 단계, 및 센스 증폭기를 사용하여 차동 전압을 센싱하는 단계를 포함한다.

또 다른 실시예는 제1 플레이트 및 공통 플레이트를 구비한 다수의 메모리 셀 커패시터 내에 저장된 데이터를 센싱하는 방법을 포함한다. 상기 방법은 공통 플레이트에 선택적으로 접속된 제1 노드와 디지털 라인에 선택적으로 접속된 제2 노드를 구비한 센스 증폭기 회로를 평형화 하는 단계, 센스 증폭기 회로의 제1 노드를 공통 플레이트로부터 분리하는 단계, 및 다이내믹 메모리 셀 커패시터 내에 저장된 데이터를 센싱하는 단계를 포함한다. 다이내믹 메모리 셀 커패시터 내에 저장된 데이터를 센싱하는 단계는 다이내믹 메모리 셀 커패시터를 디지털 라인에 선택적으로 접속시키는 단계, 센스 증폭기 회로의 제2 노드를 선택된 메모리 셀 커패시터로부터 분리하는 단계, 및 센스 증폭기 회로를 사용하여 제1 노드와 제2 노드 사이의 차동 전압을 센싱하는 단계를 포함할 수 있다.

한 실시예는 제1 노드에 접속된 소스와 제2 노드에 접속된 드레인을 구비한 트랜지스터를 활성화시키고, 제1 노드를 공통 플레이트에 접속시킴으로써 센스 증폭기 회로를 평형화한다. 다른 평형화 방법은 제2 노드를 디지털 라인으로부터 전기적으로 분리하는 단계, 제1 노드에 접속된 소스와 디지털 라인에 접속된 드레인을 구비한 트랜지스터를 활성화시키는 단계, 제2 노드를 디지털 라인에 전기적으로 접속시키는 단계, 및 제1 노드를 공통 플레이트에 접속시키는 단계를 포함한다.

도면의 간단한 설명

도 1은 관련된 메모리 센싱 회로를 도시한 도면;

도 2는 도 1의 센싱 회로의 타이밍도;

- 도 3은 본 발명의 센싱 회로를 도시한 도면;
- 도 4는 도 3의 회로의 타이밍도;
- 도 5는 본 발명의 센싱 회로의 다른 개략도;
- 도 6은 도 5의 회로의 타이밍도;
- 도 7은 센싱 동작의 상세도;
- 도 8은 관련된 메모리 회로의 간략한 레이아웃;
- 도 9는 본 발명에 적용한 메모리 회로의 간략한 레이아웃;

실시예

후술하는 양호한 실시예의 상세한 설명에 있어서 첨부 도면을 참고로 하고 있는데, 도면은 본 발명이 실행될 수 있는 특정 실시예를 설명하기 위한 것이다. 실시예들은 본 기술 분야에 숙련된 사람이면 본 발명을 실시할 수 있을 정도로 자세히 설명되어 있다. 또한, 다른 실시예를 사용할 수도 있으며 본 발명의 범주에서 벗어나지 않고도 논리적, 기계적, 전기적 변경도 가능하다. 그러므로 후술되는 상세한 설명을 제한적인 관점에서 보지 말아야 하며, 본 발명의 범위는 첨부된 청구의 범위에 의해서만 한정되는 것이다.

도 1은 종래의 다이내믹 메모리 액세스 회로의 일부분을 도시한다. 메모리 어레이(100)는 공통 셀 플레이트(104)로 형성되는 용량성 플레이트를 갖고 다른 노드는 액세스 트랜지스터(106(0)-(n))에 접속되어 있는 커패시터로 제조된 다수의 메모리 셀(102(0)-(n))을 갖는다. 각각의 액세스 트랜지스터는 그 게이트가 워드 라인(108(0)-(n))에 접속된 n-타입 트랜지스터이다. 셀 플레이트(104)는 일반적으로 바이어싱 소스(비도시)에 의해 전원 전압(Vcc)의 절반으로 바이어싱된다.

디지털 라인(110 및 112)은 각각 액세스 트랜지스터 및 메모리 셀에 접속된다. 액세스 트랜지스터(106)가 선택적으로 활성화될 때, 대응하는 메모리 셀(102)에 저장된 전하는 디지털 라인중 하나에 결합된다. N-타입 분리 트랜지스터(114 및 116)는 n-센스 증폭기(118) 및 p-센스 증폭기(120)로부터 디지털 라인(110 및 112)을 각각 분리시키는데 사용된다. 평형 트랜지스터(122)은 후술하는 바와 같이 센스 증폭기들의 노드를 동일한 전압으로 동등하게 하는데 사용된다.

작동시, 메모리 셀에 기억된 데이터는 도 2에 도시된 절차에 따라 액세스되고 센싱될 수 있다. 제1 단계는 트랜지스터(122)의 게이트(EQ)를 하이로 유지하여 센스 증폭기(118 및 120)의 노드(129 및 131)를, 바이어싱 회로(비도시)에 의해 바이어싱할 때와 같이, Vcc/2로 균등하게 만드는 것이다. 따라서 센스 증폭기 양단의 차동 전압은 영(0)이며 각각의 노드는 공급 전압(Vcc)의 절반인 양호한 전압을 갖는다. 다음 단계는 분리 트랜지스터(114 및 116)의 게이트(ISO A 및 ISO B)에 고(하이) 전압을 제공하여 분리 트랜지스터(114 및 116)를 활성화하는 것이다. 이렇게 하면 디지털 라인(110 및 112)이 센스 증폭기(118 및 120)에 접속되어 디지털 라인도 Vcc/2로 안정하게 된다. 다음에는 메모리 셀 액세스 트랜지스터(106(0)-(n))중 하나를 관련 워드 라인(108(0)-(n)) 게이트 전압을 상승시켜 선택적으로 활성화한다. 선택된 메모리 셀(102)에 저장된 전하 또는 전하의 부재는 디지털 라인이 공유한다. 커패시터에 논리 "1"이 기억되었다면 관련 디지털 라인은 예컨대 대략 100mv 전압 만큼 약간 상승한다. 디지털 라인에 공유되는 전하는 메모리 셀에 저장된 전하에 직접 영향을 받는다. 메모리 셀이 충전되지 않았다면 디지털 라인 전압은 예컨대 100mv 하강한다.

n-센스 증폭기(118) 및 p-센스 증폭기(120)는, 공지된 바와 같이, 디지털 라인 간의 차동을 센싱하고 응답의 최대 레일로 디지털 라인을 구동시킨다. N-센스 증폭기(118)는 두 개의 n-채널 트랜지스터를 가지며 그 게이트는 다른 트랜지스터의 소스에 교차 결합된다. 각 트랜지스터의 드레인은 함께 접속되며 NLat라인에 의해 제어된다. NLat라인은 통상적으로 노드(129 및 131)가 동등하게 되는 동일한 레벨 즉 Vcc/2로 예비-충전된다. NLat라인상의 전압은 노드중 하나의 고전압을 센싱하도록 하강된다. 예를들어 노드(129)가 노드(131)보다 100mv 높다고 가정하면, 트랜지스터(119)는 NLat가 노드(129) 이하의 임계 전압만큼 하강할 때 턴온을 개시한다. 노드(131)는 NLat로 풀링되어 트랜지스터(117)가 턴온되지 않게 해준다. 유사하게, p-센스 증폭기(120)는 두 개의 교차 결합된 p-채널 트랜지스터(121 및 125)를 갖는다. 각 트랜지스터의 드레인은 함께 접속되며 PLat라인에 의해 제어된다. PLat라인은 통상적으로 노드(129 및 131)가 동등하게 되는 동일한 레벨 즉 Vcc/2로 예비-충전된다. PLat라인상의 전압은 노드중 하나의 저전압을 센싱하도록 상승된다. 예를들어 노드(131)가 노드(129)보다 100mv 낮다고 가정하면, 트랜지스터(121)는 PLat가 노드(131) 이상의 임계 전압만큼 상승할 때 턴온을 개시한다. 노드(129)는 PLat로 풀링되어 트랜지스터(125)가 턴온되지 않게 해준다. NLat 및 PLat는 최대 전력 레일, 접지 및 Vcc로 각각 스트로브된다. 디지털 라인중 하나가 더 높다면 그 디지털 라인은 Vcc로 구동되는 한편 상보 디지털 라인은 접지로 풀링된다.

도 2에 도시된 바와 같이, 디지털 라인의 전압은 워드 라인이 활성화된 약간 후까지 동등하다. n-센스 증폭기가 먼저 스트로브되어 한 라인을 로우로 구동한 다음 p-센스 증폭기가 스트로브되어 다른 라인을 하이로 구동한다. 디지털 라인은 평형 트랜지스터(122)가 다시 활성화될 때까지 최대 전력 레벨로 래치된다. 워드 라인이 하이이고 디지털 라인이 래치되어 있는 시간 동안 메모리 셀이 리프레시된다.

전술한 바와 같이, 디지털 라인은 금속 라인으로 제조되어 비교적 넓은 다이 면적을 필요로 하며 메모리 장치의 밀도를 증가시키는데 장애가 된다. 그러므로, 디지털 라인의 수를 감소시키는 것이 바람직하다. 도 3은 본 발명의 센싱 회로를 도시한 것이다. 메모리 어레이(123)는 한 노드가 공통 셀 플레이트(127)에 접속된 커패시터로 제조되는 메모리 셀(126(0)-(n))을 구비한다. 셀 플레이트는 바이어싱 회로(도시 생략)에 의해 Vcc/2로 바이어싱된다. 각 메모리 셀(126)의 다른 플레이트는 n-타입 액세스 트랜지스터(128(0)-(n))중 하나에 접속된다. 액세스 트랜지스터는 디지털 라인(124)에 접속되며 그 게이트는 워드 라인(130(0)-(n))중 하나에 접속된다.

분리 트랜지스터(132 및 134)는 각각 n-센스 증폭기(136) 및 p-센스 증폭기(138)의 노드(135 및 137)로부터 디지털 라인(124)과 셀 플레이트(127)를 선택적으로 분리시킨다. N-타입 평형 트랜지스터(139)는 센스 증폭기 노드들(135 및 137)을 공통 전압과 평형화하도록 제공된다.

도 4를 참조하면, 트랜지스터(139)(EQ)의 게이트를 활성화시킴으로써 디지털 라인(124) 및 셀 플레이트는 메모리 셀 상에 저장된 센스 데이터와 동등하게 된다. 전술한 바와 같이, 셀 플레이트는 $V_{cc}/2$ 로 유지되고, 이와 유사하게 디지털 라인도 $V_{cc}/2$ 로 유지된다. 저장된 데이터를 센싱하기 전에, 평형 트랜지스터(139)는 턴 오프된다. 그 다음에 분리 트랜지스터(134)는 턴 오프되어 그 게이트 전압(ISO Cell)을 하강시킴으로써 센스 증폭기의 노드(137)를 셀 플레이트(127)로부터 분리한다. 노드(137)에서의 전압은 트랜지스터(139)가 턴 오프될 때 아래로 접속된다. 예를 들면, 노드(137) 상의 전압은 트랜지스터(139)가 턴 오프될 때 근사적으로 20mV까지 하강한다. 그러나, 디지털 라인(124) 상의 큰 커패시턴스가 트랜지스터(139)의 커플링(coupling) 효과를 방지하고 상대적으로 안정된 전압을 유지하기 때문에 노드(135)는 상대적으로 거의 변화되지 않는다. 그러므로, 트랜지스터(139)가 턴오프될 때 센스 증폭기 노드(135 및 137) 사이에는 작은 차동 전압이 동시에 전해진다. 메모리 셀에 저장된 데이터로부터 야기되는 통상적인 차동 전압이 대략 100mV 이므로, 커플링에 의한 20mV의 차동 전압은 상당한 것이며, 후술되는 바와 같이 다루어져야 한다. 분리된 플레이트에서, 액세스 트랜지스터128(0)-(n)은 대응 워드 라인 130(0)-(n)을 상승시킴으로써 선택적으로 활성화된다. 메모리 셀에 저장된 전하 또는 전하의 부재는 디지털 라인과 센스 증폭기 노드들에 공유된다. 디지털 라인 상의 전압 변화는 메모리 셀에 저장된 전하에 영향을 받으며, 통상적으로 이러한 전압 차이는 $\pm 100\text{mV}$ 이다.

전하가 디지털 라인에 커플링된 후, 분리 트랜지스터(132)는 그 게이트 전압(ISO Digit)을 하강시킴으로써 턴오프되어 노드(135)를 디지털 라인으로부터 분리시킨다. 노드(135)를 디지털 라인(124)으로부터 분리시킴으로써, 디지털 라인(124)의 커패시턴스가 제거되고 노드(135)는 노드(137)가 커플링 하강하는 양만큼 커플링 하강될 것이다. 그러므로, 센스 증폭기 노드(135 및 137) 사이의 전체 차동 전압은 선택된 메모리 셀에 기억된 전하와 동등하다.

그 다음에 센스 증폭기는 NLat 및 PLat를 이용하여 노드(135)가 본 기술분야에 공지된 적절한 공급 레벨로 구동되도록 스트로브된다. 말하자면, 노드(135)가 평형 레벨 이상이면 노드는 V_{cc} 로 구동되고 노드(135)가 평형 레벨 이하이면 접지로 구동된다. 다음에는 ISO Digit를 상승시켜 분리 트랜지스터(132)가 재-활성화되어 전체 디지털 라인(124)이 적절한 전력 레일로 가고 메모리 셀은 리프레시될 수 있다. 워드 라인(130)이 로우 레벨로 복귀한 후, 분리 트랜지스터(134)(ISO Cell)를 활성화시키기 전에 센스 증폭기와 디지털 라인의 양 노드가 V_{cc} 근처의 안정한 등가 전압에 있도록 재 활성화될 수 있다. 센스 증폭기가 활성화된 채로 트랜지스터(139)를 통해 노드(135 및 137)를 접속시키면 센스 증폭기에 교차 전류가 생긴다. 이러한 교차 전류는 비교적 클 수 있으며 경제적으로 바람직하지 않은 것이다. 센스 증폭기 노드 중 하나가 원래 V_{cc} 이고 다른 하나가 접지이면, 결과적인 평형 레벨은 $V_{cc}/2$ 근방인 것은 알 수 있는 일이다. 그러므로, 셀 플레이트(127)의 바이어스 레벨은 실질적으로 영향을 받지 않는다. 본 발명은 셀 마진의 실질적인 손실없이 공급 전압의 큰 변화 이상으로 메모리 셀 차분 전압을 유지시킨다. 관련된 기술은 기존 전압이 공급 전압과 독립적이기 때문에 메모리 셀에 데이터가 기입된 후에 공급 전압 변동에서 셀 마진을 상실한다. 본 발명에서는, 기존 전압과 메모리 셀 모두가 셀 플레이트에 따르므로, 기존 전압의 변동이 디지털 라인 상에 반영되어 셀 마진이 영향을 받지 않게 된다.

다르게는, 도 5에 도시된 바와 같이, 차동 평형 기술이 채용될 수 있다. 분리 트랜지스터(133)는 노드(137)를 그 반대 상태로 함으로써 센스 증폭기를 평형화하기 위해 노드(137)를 디지털 라인(124)에 선택적으로 접속시키는 데 사용될 수 있다. 즉, 먼저 노드(135)를 디지털 라인(124)으로부터 분리하고 그 다음에 트랜지스터(133)를 활성화시킴으로써, 센스 증폭기는 디지털 라인 상의 전압의 상태를 변화시킬 것이다. 예를 들면, 만약 트랜지스터(133)가 활성화될 때 디지털 라인이 "1" 이라면, 디지털 라인 상의 전압은 N 센스 증폭기에 의해 로우 상태로 천이될 것이다. 노드(135)를 일정하게 유지하고 트랜지스터(133)를 사용함으로써, 교차 전류가 방지된다는 것이 이해될 것이다. 트리거 또는 트래킹 회로(도시 생략)가 $V_{cc}/2$ 근방의 레벨로 전압을 래치하는 데 사용될 수 있다. 한 실시예는 타이밍 회로를 평형 트랜지스터(139)를 턴 온하고 센스 증폭기(136 및 138)를 턴 오프하는 데 사용하고 있다.

도 6은 이러한 평형 회로의 타이밍을 도시하고 있다. 평형 트랜지스터(139)는 그 게이트 전압(EQ)을 하강시킴으로써 턴 오프된다. 분리 트랜지스터(134)는 셀 플레이트를 회로로부터 분리시키기 위해 그 게이트 전압(ISO Cell)을 낮춤으로써 턴 오프된다. 워드 라인(130)은 메모리 셀(126)을 액세스하도록 상승되고 트랜지스터(132)는 그 게이트 전압(ISO Digit)을 낮춤으로써 비활성화된다. 센스 증폭기는 NLat 및 PLat를 사용하여 스트로브되고 트랜지스터(132)가 재활성화되어 메모리 셀을 리프레시한다. 워드 라인이 로우(low)로 복귀한 다음, 트랜지스터(132)가 턴오프되어 디지털 라인(124)을 노드(135)로부터 분리한다. 트랜지스터(133)는 그 게이트 전압(ISO Equil)을 상승시켜 활성화되며 노드(137)는 디지털 라인에 접속된다. 센스 증폭기는 디지털 라인을 충전시키거나 방전시켜서 디지털 라인이 상태 변동을 시작하도록 만든다. 디지털 라인의 전압이 대략 $V_{cc}/2$ 일 때 타이밍 또는 트리거 회로가 평형 트랜지스터(139)를 활성화하고 센스 증폭기를 턴오프한다. 그러므로, 노드(135 및 137)는 동등하게 되고 트랜지스터(132)는 활성화된다. 마지막으로, 트랜지스터(133)이 턴 오프되고 셀 플레이트(127)의 바이어스 레벨은 실질적으로 영향을 받지 않게 된다.

선택적인 바이어스 회로(141)가 도 3에 도시되어 있다. 상기 회로는 디지털 라인(142)을 V_{cc} 의 전압 레벨로 바이어스하는 데 사용될 수 있다. 트랜지스터(132 및 139)를 활성화함으로써 센스 증폭기의 노드는 트랜지스터(134)를 활성화시키기 전에 $V_{cc}/2$ 로 평형화될 수 있다. 이러한 평형화 선택사양은 추가적인 데이 면적을 필요로 하므로 다른 평형 회로보다는 경제적으로 바람직하지 않은 것이다.

도 7는 도 3의 회로에서 "1" 로써 저장된 데이터를 포함하는 선택된 메모리 셀에서의 센싱 동작을 더욱 상세히 도시한 것이다.

$V_{cc}(3.6\text{볼트})$ 로부터 트랜지스터(139)의 게이트(EQ)의 하강 이전에 센스 증폭기 노드(135 및 137)는 1.8볼

트($V_{cc}/2$)로 동등하게 되어 있음을 알 수 있다. EQ가 로우(low)로 갈 때 노드(137)가 커플링 하강하므로 노드(135 및 137) 간에는 약간의 차동 전압이 발생한다. 메모리 셀(126)중 하나가 그 관련 워드 라인(130)을 상승시킴으로써 선택된다. 메모리 셀에 저장된 전하는 디지털 라인 및 노드(135)에 공유된다. 디지털 라인의 커패시턴스가 메모리 셀의 커패시턴스보다 높으므로, 노드(135)의 전압은 메모리 셀의 전압 강하의 부분만큼만 증가한다. 트랜지스터(132)는 ISO Digit 라인을 하강시켜서 턴오프된다. 그 결과, 노드(135)가 결합 하강하며 센스 증폭기 노드 간의 차동 전압이 메모리 셀 전하의 진정한 값에 영향을 미친다. 센스 증폭기가 디지털 라인으로부터 전기적으로 분리된 후, n-센스 증폭기(136)가 스트로브되고(포인트 N으로 도시) 그 다음 p-센스 증폭기(138)가 스트로브된다(포인트 P로 도시). 노드(135)는 n-센스 증폭기가 스트로브된 후 로우(low)로 결합되지만 p-센스 증폭기가 스트로브될 때 하이로 풀링된다. 트랜지스터(132)가 재활성화되어 노드(135)를 디지털 라인 및 메모리 셀(126)에 접속시킨다. ISO Digit 라인이 하이로 갈 때 센스 증폭기의 노드는 모두 하이로 결합된다. 노드(135)는 p-센스 증폭기에 의해 하이로 풀링되며 노드(137)는 n-센스 증폭기에 의해 로우로 풀링된다. 메모리 셀 트랜지스터(132) 및 트랜지스터(130)가 모두 활성화되는 동안 리프레시된다. 즉 메모리 셀(126)의 전압이 V_{cc} 로 풀링되어 셀을 재충전시킨다. 본 기술분야의 숙련자에게 공지된 바와 같이, 트랜지스터(132 및 130)의 게이트 전압은 V_{cc} 이상의 하이 레벨을 갖는 펌프 전압에 접속된다. EQ 라인이 하이로 복귀하여 트랜지스터(139)를 활성화하고 노드(137)를 셀 플레이트에 접속시키기 전에 노드(135 및 137)는 $V_{cc}/2$ 로 동등해진다.

센스 증폭기를 위한 기준으로서 기존 셀 플레이트를 사용함으로써 메모리의 선정된 양에 필요한 디지털 라인 수가 감소될 수 있다. 더우기, 메모리 셀을 디지털 라인에 접속시키는 데 요구되는 간격이 감소되어, 메모리 셀의 압축을 가능하게 한다. 도 8을 참조하면, 관련 집적 회로는 두 개의 디지털 라인(140)을 사용하여 메모리 셀(142)을 각각의 센스 증폭기(144)에 접속시킨다. 메모리 셀은 각각 다른 로우(row) 라인(146)과 각각 다른 디지털 라인의 교차점에 메모리 셀(142)을 갖도록 배열된다. 그러므로, 각각의 센스 증폭기(144)는 상기 설명에서 4개의 다른 메모리 셀을 선택적으로 센싱할 수 있다. 메모리 셀 크기의 임의적인 감소는 레이아웃 간격 요구도로 완전히 실현될 수 없다. 반대로, 도 9는 본 발명의 셀 플레이트 바이어싱을 채용한 집적 회로를 도시하고 있다. 메모리 셀(150)은 디지털 라인(148)과 로우 라인(152)의 각각의 교차점에 배치된다. 센스 증폭기 회로(154)는 상술한 바와 같이 셀 플레이트를 사용하여 바이어싱되고, 상기의 설명에서 4개의 다른 메모리 셀을 선택적으로 센싱할 수 있다.

제2 디지털 라인을 제거함으로써, 메모리 셀의 간격은 매우 감소될 수 있다. 본 발명에서는 $6F^2$ 사이즈 메모리 셀의 사용이 가능한 반면 통상적인 회로는 $8F^2$ 메모리 셀을 사용한다. 여기서 F는 본 기술분야에 공지된 바와 같은 디바이스의 최소 배선폭이다.

디지털 라인이 더 적게 필요한 집적회로 다이내믹 메모리에 대해 설명하였다. 집적회로는 메모리 셀 커패시터에 저장된 전하를 센싱하기 위해 하나의 디지털 라인과 메모리 셀 플레이트를 사용한다. 셀 플레이트는 집적 회로의 기존 구조이기 때문에, 디지털 라인 하나를 제거하는 것은 메모리 셀 및 관련 회로의 소형화에 크게 기여한다. 메모리 셀 전하를 센싱하기 전에 센스 증폭기 노드를 동등하게 하는 데 사용될 수 있는 세 개의 회로가 설명되었다. 기준으로서 셀 플레이트를 사용함으로써, 완전한 차동 전압이 유지되고 공급 전압의 편차로 인해 손실되는 셀 마진이 없게 된다.

(57) 청구의 범위

청구항 1

2개 이상의 칼럼들 사이의 공통 플레이트(plate)로서 형성된 제1 플레이트와 제2 플레이트를 구비한 다수의 메모리 셀 커패시터, 상기 다수의 메모리 셀 커패시터와 상기 디지털 라인에 접속되며 각각이 상기 다수의 메모리 셀 커패시터 중 하나의 커패시터의 상기 제2 플레이트를 상기 디지털 라인에 각각 선택적으로 접속시키기 위한 다수의 액세스 디바이스, 제1 노드 및 제2 노드를 구비한 센스 증폭기 회로를 포함하는 집적 회로에 있어서,

상기 센스 증폭기 회로의 상기 제1 노드와 상기 제2 노드 사이에 접속된 평형(equilibrate) 트랜지스터;

상기 센스 증폭기의 상기 제1 노드와 상기 디지털 라인 사이에 접속되어, 상기 제1 노드를 상기 디지털 라인에 선택적으로 접속하기 위한 제1 분리 트랜지스터;

상기 센스 증폭기의 상기 제2 노드와 상기 디지털 라인 사이에 접속되어, 상기 제2 노드를 상기 디지털 라인에 선택적으로 접속하기 위한 제2 분리 트랜지스터; 및

상기 디지털 라인과 상기 공통 플레이트 사이에 접속된 제3 분리 트랜지스터

를 포함하는 것을 특징으로 하는 집적 회로.

청구항 2

제1항에 있어서, 상기 디지털 라인을 상기 센스 증폭기의 상기 제2 센싱 노드에 접속하며, 상기 디지털 라인이 미리 결정된 평형 전압 레벨을 가질 때 상기 센스 증폭기를 비활성화하여, 상기 디지털 라인 및 상기 공통 플레이트의 평형을 지원하기 위해 상기 센스 증폭기를 사용하도록 동작가능한 것을 특징으로 하는 집적 회로.

청구항 3

메모리 셀의 어레이, 센스 증폭기 회로 및 평형 회로를 포함하는 메모리 디바이스를 평형화하는 방법에 있어서,

상기 평형 회로를 활성화하여 상기 센스 증폭기의 제1 및 제2 센싱 노드를 공통 전압으로 평형화하는 단계;

상기 메모리 셀 어레이의 디지털 라인 및 공통 플레이트를 상기 제1 센싱 노드 및 상기 제2 센싱 노드에 접속하여, 상기 디지털 라인 및 상기 공통 플레이트를 상기 공통 전압으로 평형화하는 단계;

상기 평형 회로를 비활성화하는 단계;

상기 센스 증폭기의 상기 제1 센싱 노드 및 상기 디지털 라인으로부터 상기 공통 플레이트를 분리하는 단계;

메모리 셀을 상기 디지털 라인에 접속하는 단계;

상기 디지털 라인을 상기 센스 증폭기의 상기 제1 센싱 노드로부터 분리하는 단계;

상기 센스 증폭기를 활성화하여 상기 센스 증폭기의 상기 센싱 노드들 사이의 차동 전압을 검출하는 단계;

상기 디지털 라인을 상기 센스 증폭기의 상기 제2 센싱 노드에 접속하는 단계; 및

상기 디지털 라인이 미리 결정된 평형 전압 레벨을 가질 때 상기 센스 증폭기를 비활성화하는 단계를 포함하는 것을 특징으로 하는 메모리 디바이스의 평형 방법.

청구항 4

2개 이상의 칼럼들 사이에 접속된 공통 플레이트와 제1 플레이트를 갖는 다수의 다이내믹 메모리 셀 커패시터에 저장된 데이터를 센싱하는 방법에 있어서,

디지털 라인에 선택적으로 접속된 제1 노드 및 상기 디지털 라인에 선택적으로 접속된 제2 노드를 갖는 센스 증폭기 회로를 평형화하는 단계- 상기 평형화 단계는, 상기 제2 노드와 상기 디지털 라인 사이에 접속된 제1 트랜지스터를 활성화하는 단계; 상기 디지털 라인이 미리 결정된 평형 전압 레벨을 가질 때 상기 센스 증폭기를 비활성화하는 단계; 상기 제1 트랜지스터를 비활성화하여 상기 디지털 라인으로부터 상기 제2 노드를 분리하는 단계; 상기 제1 노드와 상기 제2 노드 사이에 접속된 평형 트랜지스터를 활성화하는 단계; 상기 제1 노드와 상기 디지털 라인 사이에 접속된 제2 트랜지스터를 활성화하는 동시에, 상기 공통 플레이트와 상기 디지털 라인 사이에 접속된 제3 트랜지스터를 활성화하는 단계; 상기 평형 트랜지스터를 비활성화하는 단계; 및 상기 제3 트랜지스터를 비활성화하는 단계를 포함함-, 및

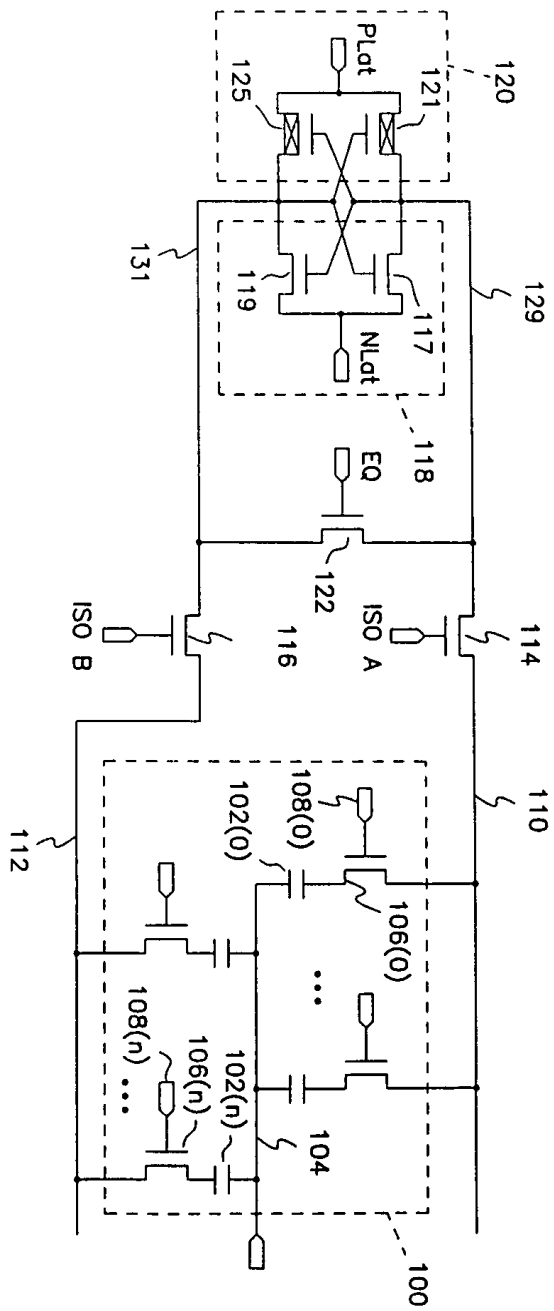
센스 트랜지스터 및 상기 센스증폭기를 활성화함에 의해 다이내믹 메모리 셀 커패시터에 저장된 상기 데이터를 센싱하는 단계

를 포함하는 것을 특징으로 하는 데이터 센싱 방법.

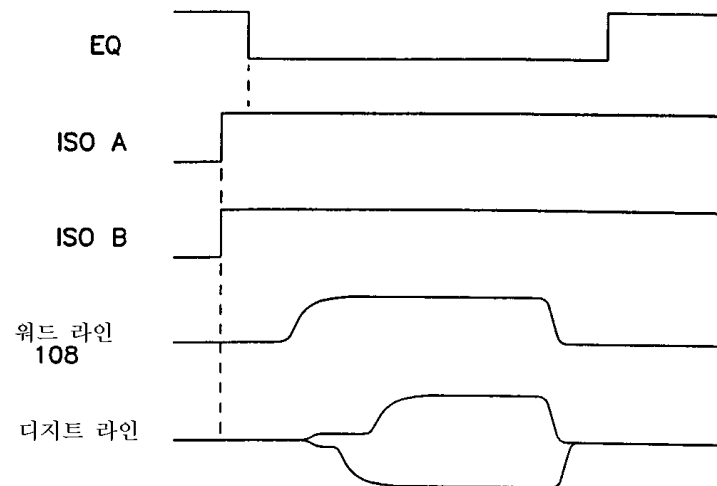
도면

도면1

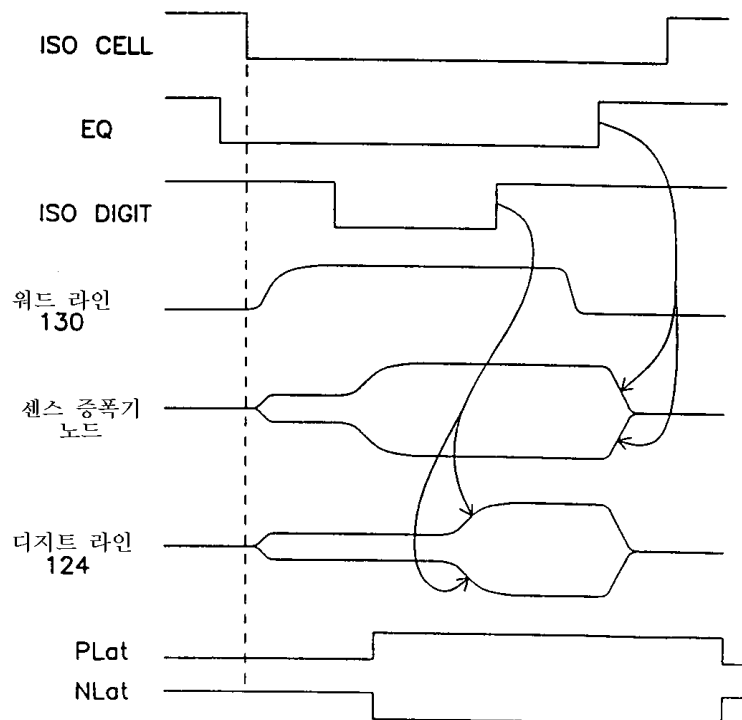
(관련 기술)



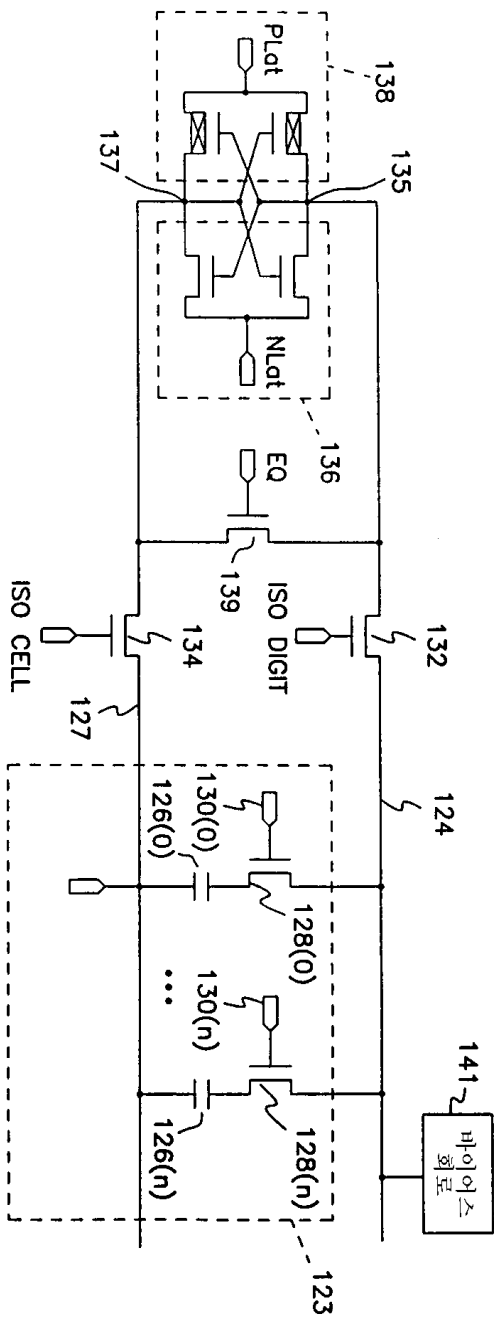
도면2



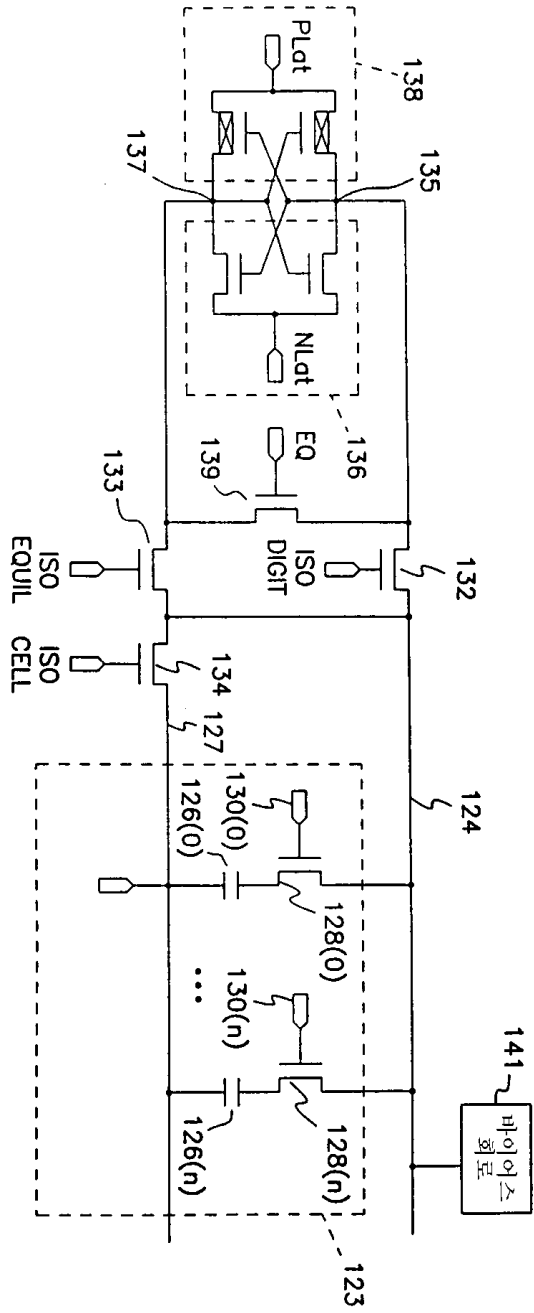
도면3



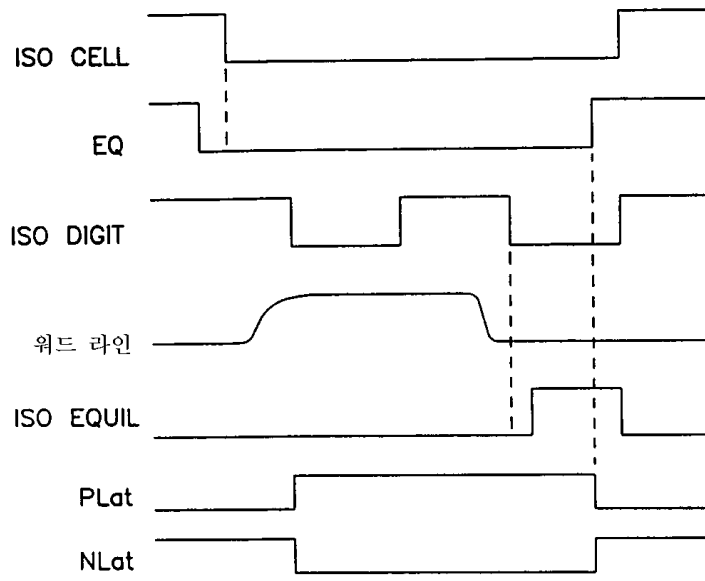
도면4



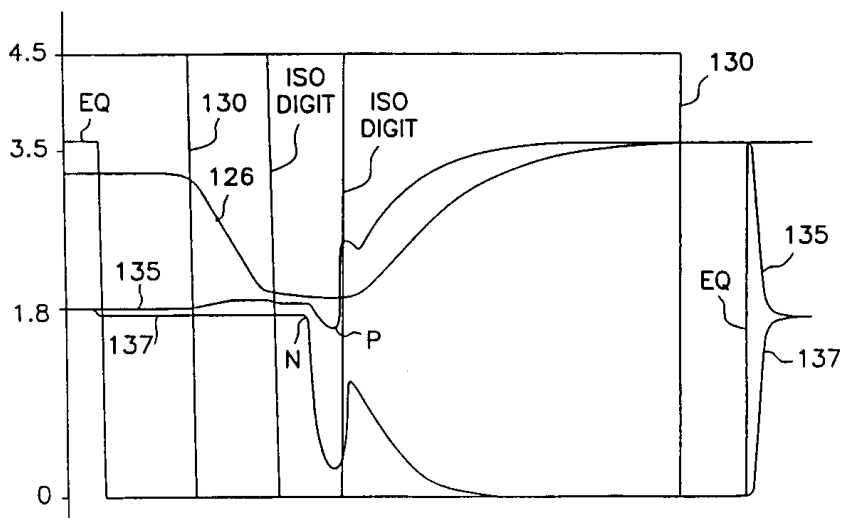
도면5



도면6

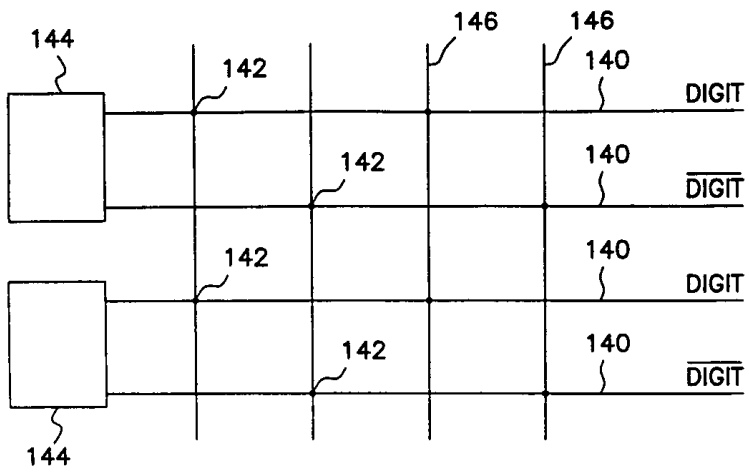


도면7



도면8

(관련 기술)



도면9

