

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2012年2月2日(02.02.2012)

PCT

(10) 国際公開番号
WO 2012/014865 A1

- (51) 国際特許分類:
G06F 3/042 (2006.01) G09F 9/00 (2006.01)
G02F 1/133 (2006.01) G09F 9/30 (2006.01)
G06F 3/041 (2006.01) G09G 3/20 (2006.01)
- (21) 国際出願番号: PCT/JP2011/066903
- (22) 国際出願日: 2011年7月26日(26.07.2011)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2010-168688 2010年7月27日(27.07.2010) JP
- (71) 出願人 (米国を除く全ての指定国について):
シャープ株式会社(SHARP KABUSHIKI KAISHA)
[JP/JP]; 〒5458522 大阪府大阪市阿倍野区長池町
2番22号 Osaka (JP).
- (72) 発明者; および
- (75) 発明者/出願人 (米国についてのみ): 山本 薫
(YAMAMOTO Kaoru). 杉田 靖博(SUGITA Ya-
suhiro). 田中 耕平(TANAKA Kohei).
- (74) 代理人: 川上 桂子, 外(KAWAKAMI Keiko et
al.); 〒5300004 大阪府大阪市北区堂島浜1丁目

4番16号 アクア堂島西館 インテリクス
国際特許事務所 Osaka (JP).

- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:

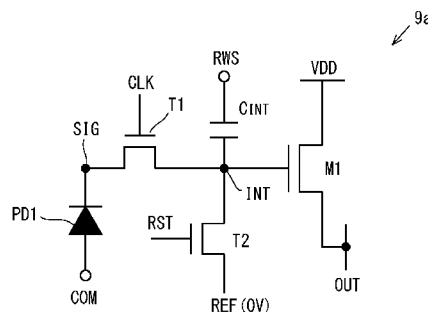
— 国際調査報告 (条約第21条(3))

[続葉有]

(54) Title: DISPLAY DEVICE AND DRIVE METHOD FOR SAME

(54) 発明の名称: 表示装置およびその駆動方法

[図3]



(57) Abstract: Disclosed is a display device having an optical sensor with increased sensitivity. The display device is provided with: a display panel, which includes a plurality of display pixel circuits (8) and a plurality of sensor pixel circuits (9a) in a display region (4); and a drive circuit (7) which supplies a drive signal to the sensor pixel circuits (9a). The sensor pixel circuits (9a) are provided with: a light receiving element (PD1); a storage node (INT), which retains electrical charge corresponding to the light amount which has entered into the light receiving element (PD1); and a read-out switching element (M1), which is connected to the storage node (INT). The display device is further provided with a first switching element (T1), which is connected between the light receiving element (PD1) and the storage node (INT), and which operates in a saturation region, and a second switching element (T2) which resets the storage node (INT).

(57) 要約:

[続葉有]



感度が向上された光センサ付きの表示装置を提供する。表示装置は、複数の表示画素回路（８）および複数のセンサ画素回路（９ a）を表示領域（４）内に含む表示パネルと、前記センサ画素回路（９ a）に対して駆動信号を供給する駆動回路（７）とを備える。前記センサ画素回路（９ a）は、受光素子（P D 1）と、前記受光素子（P D 1）へ入射した光量に応じた電荷を保持する蓄積ノード（I N T）と、前記蓄積ノード（I N T）に接続された読み出しスイッチング素子（M 1）とを備える。前記表示装置は、前記受光素子（P D 1）と前記蓄積ノード（I N T）との間に接続され、飽和領域で動作する第 1 のスイッチング素子（T 1）と、前記蓄積ノード（I N T）をリセットする第 2 のスイッチング素子（T 2）とをさらに備える。

明 細 書

発明の名称：表示装置およびその駆動方法

技術分野

[0001] 本発明は、表示装置に関し、特に、画素領域に複数の光センサを配置した表示装置に関する。

背景技術

[0002] 従来から表示装置に関し、表示パネルに複数の光センサを設け、タッチパネル、ペン入力、スキャナなどの入力機能を提供する方法が知られている。このような光センサの一例として、図33に示すように、フォトダイオードPD1と、コンデンサ C_{INT} と、トランジスタM1とを備えた回路構成が知られている（国際公開第2007/145346号および国際公開第2007/145347号を参照）。

[0003] この従来の光センサにおいて、トランジスタM1のゲートは、蓄積ノードINTに接続されている。蓄積ノードINTは、コンデンサ C_{INT} の一方の電極と、フォトダイオードPD1の一方の電極（カソード）とに接続されている。フォトダイオードPD1の他方の電極（アノード）は、リセット線RSTに接続されている。コンデンサ C_{INT} の他方の電極は、読み出し配線RWSに接続されている。

[0004] 上記従来の光センサの動作は次のとおりである。まず、リセット期間において、リセット線RSTに、フォトダイオードPD1に順方向バイアスをかける電圧を供給する。これにより、リセット期間において、蓄積ノードINTは所定電位にリセットされる。リセット期間が終了すると、リセット線RSTには、フォトダイオードPD1に逆方向バイアスをかける電圧が供給される。リセット期間に続く蓄積期間においては、蓄積ノードINTへの電荷蓄積が行われる。蓄積期間に続く読み出し期間において、読み出し配線RWSに読み出し電圧を印加することにより、蓄積期間に蓄積された電荷が、蓄積ノードINTからトランジスタM1によって読み出される。

[0005] 上記従来の光センサにおいて、感度を向上させるためには、 C_{INT} の容量を小さくするか、フォトダイオードPD1のサイズまたは数を大きくする必要がある。しかし、フォトダイオードPD1のサイズまたは数を大きくすると、その負荷容量も増加するので、結果として、感度向上の効果を得ることが難しいという問題があった。本発明は、上記の問題を解決し、感度が向上された光センサ付きの表示装置を提供することを目的とする。

発明の開示

[0006] 上記の目的を達成するために、ここに開示する表示装置は、複数の表示画素回路および複数のセンサ画素回路を表示領域内に含む表示パネルと、前記センサ画素回路に対して駆動信号を供給する駆動回路とを備え、前記センサ画素回路は、受光素子と、前記受光素子へ入射した光量に応じた電荷を保持する蓄積ノードと、前記蓄積ノードに接続された読み出しスイッチング素子とを備え、前記受光素子と前記蓄積ノードとの間に接続され、飽和領域で動作する第1のスイッチング素子と、前記蓄積ノードをリセットする第2のスイッチング素子とをさらに備えた構成である。

[0007] 本発明によれば、感度が向上された光センサ付きの表示装置を提供できる。

図面の簡単な説明

[0008] [図1]図1は、本発明の実施形態に係る表示装置の構成を示すブロック図である。

[図2]図2は、図1に示す表示装置に含まれる表示パネルにおけるセンサ画素回路の配置を示す図である。

[図3]図3は、第1の実施形態にかかるセンサ画素回路の具体的構成を示す回路図である。

[図4]図4は、第1の実施形態にかかるセンサ画素回路を駆動するための駆動信号の波形図である。

[図5]図5は、図4に示した時刻 $t_a \sim t_c$ の付近における、センサ画素回路の各種信号の変化を示す波形図である。

[図6A]図 6 A は、図 4 および図 5 に示した駆動信号が供給された場合のセンサ画素回路の動作を示す模式図である。

[図6B]図 6 B は、図 4 および図 5 に示した駆動信号が供給された場合のセンサ画素回路の動作を示す模式図である。

[図6C]図 6 C は、図 4 および図 5 に示した駆動信号が供給された場合のセンサ画素回路の動作を示す模式図である。

[図7]図 7 は、第 1 の実施形態にかかるセンサ画素回路の一変形例の構成を示す回路図である。

[図8]図 8 は、第 1 の実施形態にかかるセンサ画素回路の一変形例の構成を示す回路図である。

[図9]図 9 は、第 1 の実施形態にかかるセンサ画素回路の一変形例の構成を示す回路図である。

[図10]図 1 0 は、第 1 の実施形態にかかるセンサ画素回路の一変形例の構成を示す回路図である。

[図11]図 1 1 は、第 1 の実施形態にかかるセンサ画素回路の一変形例の構成を示す回路図である。

[図12]図 1 2 は、第 1 の実施形態にかかるセンサ画素回路の一変形例の構成を示す回路図である。

[図13]図 1 3 は、第 1 の実施形態にかかるセンサ画素回路の一変形例の構成を示す回路図である。

[図14]図 1 4 は、第 1 の実施形態にかかるセンサ画素回路の一変形例の構成を示す回路図である。

[図15]図 1 5 は、第 1 の実施形態にかかるセンサ画素回路の一変形例の構成を示す回路図である。

[図16]図 1 6 は、第 1 の実施形態にかかるセンサ画素回路の一変形例の構成を示す回路図である。

[図17]図 1 7 は、第 1 の実施形態にかかるセンサ画素回路の一変形例の構成を示す回路図である。

[図18]図18は、第1の実施形態にかかるセンサ画素回路の一変形例の構成を示す回路図である。

[図19]図19は、第1の実施形態にかかるセンサ画素回路の一変形例の構成を示す回路図である。

[図20]図20は、第2の実施形態においてセンサ画素回路へ印加される駆動信号と、 V_{sig} と V_{int} の電位変化とを示す波形図である。

[図21]図21は、第3の実施形態にかかる表示装置の画素領域におけるセンサ画素回路の配置を示す図である。

[図22]図22は、バックライトの点灯および消灯タイミング、並びに、センサ画素回路に対するリセットおよび読み出しタイミングを示す図である。

[図23A]図23Aは、第3の実施形態にかかる第1センサ画素回路の具体的な構成の一例を示す回路図である。

[図23B]図23Bは、第3の実施形態にかかる第2センサ画素回路の具体的な構成の一例を示す回路図である。

[図24]図24は、第3の実施形態にかかる表示パネルの信号波形図である。

[図25]図25は、第3の実施形態にかかるセンサ画素回路の回路図である。

[図26]図26は、第3の実施形態にかかるセンサ画素回路の一変形例の構成を示す回路図である。

[図27]図27は、第3の実施形態にかかるセンサ画素回路の一変形例の構成を示す回路図である。

[図28]図28は、第3の実施形態にかかるセンサ画素回路の一変形例の構成を示す回路図である。

[図29]図29は、第3の実施形態にかかるセンサ画素回路の一変形例の構成を示す回路図である。

[図30]図30は、第3の実施形態にかかるセンサ画素回路の一変形例の構成を示す回路図である。

[図31]図31は、第3の実施形態にかかるセンサ画素回路の一変形例の構成を示す回路図である。

[図32]図3 2は、第4の実施形態にかかる表示パネルの信号波形図である。

[図33]図3 3は、従来の光センサの構成を示す回路図である。

発明を実施するための形態

- [0009] 本発明の一実施形態にかかる表示装置は、
複数の表示画素回路および複数のセンサ画素回路を表示領域内に含む表示パネルと、
前記センサ画素回路に対して駆動信号を供給する駆動回路とを備え、
前記センサ画素回路は、
受光素子と、
前記受光素子へ入射した光量に応じた電荷を蓄積する第1の蓄積ノードと、
、
前記第1の蓄積ノードの電荷を保持するための第2の蓄積ノードと、
前記第2の蓄積ノードに接続された読み出しスイッチング素子とを備え、
前記第1の蓄積ノードと前記第2の蓄積ノードとの間に接続され、前記第1の蓄積ノードで蓄積した電荷を前記第2の蓄積ノードに転送するとき、飽和領域で動作する第1のスイッチング素子と、
前記第2の蓄積ノードに接続され、前記第1および第2の蓄積ノードをリセットする第2のスイッチング素子とをさらに備えた構成である（第1の構成）。
- [0010] 前記第1の構成において、
前記センサ画素回路が、
前記第2の蓄積ノードと読み出し信号線との間に接続されたコンデンサをさらに備え、
前記第2のスイッチング素子のゲートにリセット線が接続され、ソースに定電圧源が接続され、ドレインに前記第2の蓄積ノードが接続された構成としても良い（第2の構成）。
- [0011] あるいは、前記第1の構成において、
前記センサ画素回路が、

前記第2の蓄積ノードと読み出し信号線との間に接続されたコンデンサをさらに備え、

前記第2のスイッチング素子のゲートにリセット線が接続され、ソースに前記読み出し信号線が接続され、ドレインに前記第2の蓄積ノードが接続された構成としても良い（第3の構成）。

[0012] 前記第1～第3の構成において、

前記駆動回路が、単位期間内に、

前記第1のスイッチング素子をオンにすると共に前記第2のスイッチング素子をオンして、前記第1および第2の蓄積ノードをリセットするリセット期間と、

前記第1のスイッチング素子をオフにすると共に前記第2のスイッチング素子をオフして、前記第1の蓄積ノードにおいて前記受光素子で受光された光量に応じた電荷を蓄積する蓄積期間と、

前記第1のスイッチング素子をオンにすると共に前記第2のスイッチング素子をオフして、前記第1の蓄積ノードにおいて前記蓄積期間に蓄積した電荷を前記第2の蓄積ノードへ転送する転送期間と、

前記第1のスイッチング素子をオフにすると共に前記第2のスイッチング素子をオフして、前記読み出しスイッチング素子をオンにして読み出しを行う読み出し期間とによってセンシングを行う構成とすることが好ましい（第4の構成）。

[0013] あるいは、前記第1～第3の構成において、

前記駆動回路が、単位期間内に、

前記第1のスイッチング素子をオンにすると共に前記第2のスイッチング素子をオンして、前記第1および第2の蓄積ノードをリセットするリセット期間と、

前記第1のスイッチング素子をオンにすると共に前記第2のスイッチング素子をオフして、前記第1の蓄積ノードにおいて前記受光素子で受光された光量に応じた電荷を蓄積すると同時に、前記第1の蓄積ノードにおいて前記

蓄積期間に蓄積した電荷を前記第2の蓄積ノードへ転送する蓄積転送期間と、

前記第1のスイッチング素子をオフにすると共に前記第2のスイッチング素子をオフして、前記読み出しスイッチング素子をオンにして読み出しを行う読み出し期間とによってセンシングを行う構成とすることも好ましい（第5の構成）。

[0014] また、前記第1～第5の構成において、

1フレーム期間に所定時間だけ点灯する光源をさらに含み、

前記センサ画素回路が、光源点灯時の検知期間で光を検知する第1センサ画素回路と、光源消灯時の検知期間で光を検知する第2センサ画素回路とを含み、

前記駆動回路が、光源点灯時の検知期間および光源消灯時の検知期間以外において、前記第1および第2センサ画素回路からの読み出しを線順次で行う構成とすることも好ましい（第6の構成）。

[0015] 前記第6の構成において、

前記光源は1フレーム期間に1回所定時間だけ点灯し、

光源点灯時の検知期間および光源消灯時の検知期間は、1フレーム期間に1回ずつ設定されている構成とすることがさらに好ましい（第7の構成）。

[0016] 前記第6または第7の構成において、

前記第1センサ画素回路と第2センサ画素回路とが、1個の光センサを共有している構成とすることが好ましい（第8の構成）。

[0017] 前記第1～第8の構成において、

前記第1のコンデンサがP型トランジスタである構成とすることが好ましい（第9の構成）。

[0018] 前記第1～第8の構成において、

前記センサ画素回路が、

前記受光素子に直列に接続され、遮光された参照用受光素子をさらに含み、

前記受光素子と前記参照用受光素子との間に、前記第 1 の蓄積ノードが接続されている構成とすることが好ましい（第 10 の構成）。

[0019] 前記第 1 ～第 8 の構成において、

前記受光素子が N 型トランジスタである構成としても良い（第 11 の構成）。

[0020] 前記第 1 ～第 8 の構成において、

前記読み出しスイッチング素子に直列に接続され、前記第 2 の蓄積ノードと当該センサ画素回路の出力線との導通／非導通を制御する選択スイッチング素子をさらに備えた構成とすることが好ましい。

[0021] また、本発明の一実施形態にかかる、表示装置の駆動方法は、

複数の表示画素回路および複数のセンサ画素回路を表示領域内に含む表示パネルと、前記センサ画素回路に対して駆動信号を供給する駆動回路とを備え、前記センサ画素回路が、受光素子と、前記受光素子へ入射した光量に応じた電荷を蓄積する第 1 の蓄積ノードと、前記第 1 の蓄積ノードの電荷を保持するための第 2 の蓄積ノードと、前記第 2 の蓄積ノードに接続された読み出しスイッチング素子とを備え、前記第 1 の蓄積ノードと前記第 2 の蓄積ノードとの間に接続され、前記第 1 の蓄積ノードで蓄積した電荷を前記第 2 の蓄積ノードに転送するとき、飽和領域で動作する第 1 のスイッチング素子と、前記第 2 の蓄積ノードに接続され、前記第 1 および第 2 の蓄積ノードをリセットする第 2 のスイッチング素子とをさらに備えた表示装置の駆動方法であって、

前記駆動回路が、単位期間内に、

前記第 1 のスイッチング素子をオンにすると共に前記第 2 のスイッチング素子をオンして、前記第 1 および第 2 の蓄積ノードをリセットするリセット処理と、

前記第 1 のスイッチング素子をオフにすると共に前記第 2 のスイッチング素子をオフして、前記第 1 の蓄積ノードにおいて前記受光素子で受光された光量に応じた電荷を蓄積する蓄積処理と、

前記第 1 のスイッチング素子をオンにすると共に前記第 2 のスイッチング素子をオフして、前記第 1 の蓄積ノードにおいて前記蓄積処理で蓄積した電荷を前記第 2 の蓄積ノードへ転送する転送処理と、

前記第 1 のスイッチング素子をオフにすると共に前記第 2 のスイッチング素子をオフして、前記読み出しスイッチング素子をオンにして読み出しを行う読み出し処理とによってセンシングを行う方法である。

[0022] また、本発明の他の実施形態にかかる、表示装置の駆動方法は、

複数の表示画素回路および複数のセンサ画素回路を表示領域内に含む表示パネルと、前記センサ画素回路に対して駆動信号を供給する駆動回路とを備え、前記センサ画素回路が、受光素子と、前記受光素子へ入射した光量に応じた電荷を蓄積する第 1 の蓄積ノードと、前記第 1 の蓄積ノードの電荷を保持するための第 2 の蓄積ノードと、前記第 2 の蓄積ノードに接続された読み出しスイッチング素子とを備え、前記第 1 の蓄積ノードと前記第 2 の蓄積ノードとの間に接続され、前記第 1 の蓄積ノードで蓄積した電荷を前記第 2 の蓄積ノードに転送するとき、飽和領域で動作する第 1 のスイッチング素子と、前記第 2 の蓄積ノードに接続され、前記第 1 および第 2 の蓄積ノードをリセットする第 2 のスイッチング素子とをさらに備えた表示装置の駆動方法であって、

前記駆動回路が、単位期間内に、

前記第 1 のスイッチング素子をオンにすると共に前記第 2 のスイッチング素子をオンして、前記第 1 および第 2 の蓄積ノードをリセットするリセット処理と、

前記第 1 のスイッチング素子をオンにすると共に前記第 2 のスイッチング素子をオフして、前記第 1 の蓄積ノードにおいて前記受光素子で受光された光量に応じた電荷を蓄積すると同時に、前記第 1 の蓄積ノードにおいて前記蓄積期間に蓄積した電荷を前記第 2 の蓄積ノードへ転送する蓄積転送処理と、

前記第 1 のスイッチング素子をオフにすると共に前記第 2 のスイッチング

素子をオフして、前記読み出しスイッチング素子をオンにして読み出しを行う読み出し処理とによってセンシングを行う方法である。

[0023] [実施の形態]

以下、本発明のより具体的な実施形態について、図面を参照しながら説明する。なお、以下の実施形態は、本発明にかかる表示装置を液晶表示装置として実施する場合の構成例を示したものであるが、本発明にかかる表示装置は液晶表示装置に限定されず、アクティブマトリクス基板を用いる任意の表示装置に適用可能である。なお、本発明にかかる表示装置は、光センサを有することにより、画面に近接する物体を検知して入力操作を行うタッチパネル付き表示装置や、表示機能と撮像機能とを具備した双方向通信用表示装置等としての利用が想定される。

[0024] また、以下で参照する各図は、説明の便宜上、本発明の実施形態の構成部材のうち、本発明を説明するために必要な主要部材のみを簡略化して示したものである。従って、本発明にかかる表示装置は、本明細書が参照する各図に示されていない任意の構成部材を備え得る。また、各図中の部材の寸法は、実際の構成部材の寸法および各部材の寸法比率等を忠実に表したものである。

[0025] [第1の実施形態]

図1は、本発明の第1の実施形態に係る表示装置の構成を示すブロック図である。図1に示す表示装置は、表示制御回路1、表示パネル2、および、バックライト3を備えている。表示パネル2は、画素領域4、ゲートドライバ回路5、ソースドライバ回路6、および、センサロウドライバ回路7を含んでいる。画素領域4は、複数の表示画素回路8と複数のセンサ画素回路9を含んでいる。この表示装置は、表示パネル2に画像を表示する機能と、表示パネル2に入射した光を検知する機能とを有する。以下、 x を2以上の整数、 y を3の倍数、 m および n を偶数とし、表示装置のフレームレートを60フレーム/秒とする。

[0026] 図1に示す表示装置には外部から、映像信号 V_{in} とタイミング制御信号

C i n が供給される。表示制御回路 1 は、これらの信号に基づき、表示パネル 2 に対して映像信号 V S と制御信号 C S g、C S s、C S r を出力し、バックライト 3 に対して制御信号 C S b を出力する。映像信号 V S は、映像信号 V i n と同じでもよく、映像信号 V i n に信号処理を施した信号でもよい。

[0027] バックライト 3 は、表示用光源とは別途に設けられたセンシング用の光源であり、表示パネル 2 に光を照射する。より詳細には、バックライト 3 は、表示パネル 2 の背面側に設けられ、表示パネル 2 の背面に光を照射する。バックライト 3 は、制御信号 C S b がハイレベルのときには点灯し、制御信号 C S b がローレベルのときには消灯する。バックライト 3 としては、例えば赤外線光源等を用いることができる。

[0028] 表示パネル 2 の画素領域 4 には、 $(x \times y)$ 個の表示画素回路 8、 $(n \times m / 2)$ 個のセンサ画素回路 9 が、それぞれ 2 次元状に配置される。より詳細には、画素領域 4 には、 x 本のゲート線 G L 1 ~ G L x と y 本のソース線 S L 1 ~ S L y が設けられる。ゲート線 G L 1 ~ G L x は互いに平行に配置され、ソース線 S L 1 ~ S L y はゲート線 G L 1 ~ G L x と直交するように互いに平行に配置される。 $(x \times y)$ 個の表示画素回路 8 は、ゲート線 G L 1 ~ G L x とソース線 S L 1 ~ S L y の交点近傍に配置される。各表示画素回路 8 は、1 本のゲート線 G L と 1 本のソース線 S L に接続される。表示画素回路 8 は、赤色表示用、緑色表示用および青色表示用に分類される。これら 3 種類の表示画素回路 8 は、ゲート線 G L 1 ~ G L x の伸延方向に並べて配置され、1 個のカラー画素を構成する。

[0029] 画素領域 4 には、ゲート線 G L 1 ~ G L x と平行に、 n 本のクロック線 C L K 1 ~ C L K n 、 n 本のリセット線 R S T 1 ~ R S T n 、および、 n 本の読み出し線 R W S 1 ~ R W S n が設けられる。また、画素領域 4 には、ゲート線 G L 1 ~ G L x と平行に、他の信号線や電源線（図示せず）が設けられることがある。センサ画素回路 9 から読み出しを行うときには、ソース線 S L 1 ~ S L y の中から選択された m 本が電源線 V D D 1 ~ V D D m として使

用され、別の m 本が出力線 $OUT\ 1 \sim OUT\ m$ として使用される。

[0030] 図2は、画素領域4におけるセンサ画素回路9の配置を示す図である。図2では、 $(n \times m / 2)$ 個のセンサ画素回路9のそれぞれに、クロック線 CLK と1本の出力線 OUT が接続される。図2では、 $(n \times m / 2)$ 個のセンサ画素回路9のうち、奇数番目のクロック線 $CLK\ 1 \sim CLK\ n - 1$ に接続されているセンサ画素回路9は、奇数番目の出力線 $OUT\ 1 \sim OUT\ m - 1$ に接続される。偶数番目のクロック線 $CLK\ 2 \sim CLK\ n$ に接続されているセンサ画素回路9は、偶数番目の出力線 $OUT\ 2 \sim OUT\ m$ に接続される。

[0031] ゲートドライバ回路5は、ゲート線 $GL\ 1 \sim GL\ x$ を駆動する。より詳細には、ゲートドライバ回路5は、制御信号 CS_g に基づき、ゲート線 $GL\ 1 \sim GL\ x$ の中から1本のゲート線を順に選択し、選択したゲート線にハイレベル電位を、残りのゲート線にローレベル電位を印加する。これにより、選択されたゲート線に接続された y 個の表示画素回路8が、一括して選択される。

[0032] ソースドライバ回路6は、ソース線 $SL\ 1 \sim SL\ y$ を駆動する。より詳細には、ソースドライバ回路6は、制御信号 CS_s に基づき、映像信号 VS に応じた電位をソース線 $SL\ 1 \sim SL\ y$ に印加する。このときソースドライバ回路6は、線順次駆動を行ってもよく、点順次駆動を行ってもよい。ソース線 $SL\ 1 \sim SL\ y$ に印加された電位は、ゲートドライバ回路5によって選択された y 個の表示画素回路8に書き込まれる。このようにゲートドライバ回路5とソースドライバ回路6を用いてすべての表示画素回路8に映像信号 VS に応じた電位を書き込むことにより、表示パネル2に所望の画像を表示することができる。

[0033] センサロウドライバ回路7は、クロック線 $CLK\ 1 \sim CLK\ n$ 、リセット線 $RST\ 1 \sim RST\ n$ 、および、読み出し線 $RWS\ 1 \sim RWS\ n$ などを駆動する。より詳細には、センサロウドライバ回路7は、制御信号 CS_r に基づき、クロック線 $CLK\ 1 \sim CLK\ n$ に対して、所定のタイミングで（詳細は

後述) ハイレベル電位とローレベル電位を印加する。また、センサロウドライバ回路7は、制御信号 CS_r に基づき、リセット線 $RST_1 \sim RST_n$ の中から1本のリセット線を選択し、選択したリセット線にリセット用のハイレベル電位を、残りのリセット線にローレベル電位を印加する。これにより、ハイレベル電位が印加されたリセット線に接続された m 個のセンサ画素回路9が、一括してリセットされる。

[0034] また、センサロウドライバ回路7は、制御信号 CS_r に基づき、読み出し線 $RWS_1 \sim RWS_n$ の中から1本の読み出し線を順に選択し、選択した読み出し線に読み出し用のハイレベル電位を、残りの読み出し線にローレベル電位を印加する。これにより、選択された1本の読み出し線に接続された m 個のセンサ画素回路9が、一括して読み出し可能状態になる。このときソースドライバ回路6は、電源線 $VDD_1 \sim VDD_m$ に対してハイレベル電位を印加する。これにより、読み出し可能状態にある m 個のセンサ画素回路9から出力線 $OUT_1 \sim OUT_m$ に、各センサ画素回路9で検知した光の量に応じた信号(以下、センサ信号という)が出力される。出力線 OUT は、ソース線 SL を兼ねており、出力線 OUT へ出力されたセンサ信号は、ソースドライバ回路6へ入力される。

[0035] ソースドライバ回路6は、出力線 OUT から出力されたセンサ信号を増幅し、増幅後の信号をセンサ出力 $Sout$ として表示パネル2の外部に出力する。センサ出力 $Sout$ は、表示パネル2の外部に設けられた信号処理回路20によって、必要に応じて適宜の処理を施される。このようにソースドライバ回路6とセンサロウドライバ回路7を用いてすべてのセンサ画素回路9からセンサ信号を読み出すことにより、表示パネル2に入射した光を検知することができる。

[0036] なお、画素領域4に設けるセンサ画素回路9の個数は任意でよい。例えば、画素領域4に $(n \times m)$ 個のセンサ画素回路9を設けても良いし、画素領域4にカラー画素と同数の(すなわち、 $(x \times y / 3)$ 個の)センサ画素回路9を設けてもよい。あるいは、画素領域4にカラー画素よりも少ない個数

の（例えば、カラー画素の数分の1～数10分の1の）センサ画素回路9を設けてもよい。

[0037] このように本発明の実施形態に係る表示装置は、画素領域4に複数のフォトダイオード（光センサ）を配置した表示装置であって、複数の表示画素回路8および複数のセンサ画素回路9を含む表示パネル2と、センサ画素回路9に対してクロック信号CLK等の駆動信号を出力するセンサロウドライバ回路7（駆動回路）とを備えている。

[0038] ここで、センサ画素回路9の構成およびその駆動方法について説明する。なお、以下の説明では、信号線上の信号を識別するために、信号線と同じ名称を使用する（例えば、クロック線CLK1上の信号をクロック信号CLK1という）。

[0039] 図3は、センサ画素回路9の具体例としてのセンサ画素回路9aの構成を示す回路図である。図3に示すように、センサ画素回路9aは、クロック線CLK、リセット線RST、読み出し線RWS、電源線VDDおよび出力線OUTに接続される。センサ画素回路9aは、フォトダイオードPD1と、トランジスタT1、T2、M1と、コンデンサC_{INT}とを備えている。トランジスタT1、T2、M1は、例えば、N型TFT（Thin Film Transistor：薄膜トランジスタ）である。フォトダイオードPD1のアノードは、定電圧源COMに接続されている。フォトダイオードPD1のカソードは、トランジスタT1のソースに接続されている。トランジスタT1のゲートは、クロック線CLKに接続されている。トランジスタT1のドレインは、トランジスタM1のゲートに接続されている。トランジスタM1のドレインは電源線VDDに接続され、ソースは出力線OUTに接続される。トランジスタM1は読み出しトランジスタとして機能する。コンデンサC_{INT}は、トランジスタM1のゲートと読み出し線RWSとの間に設けられる。トランジスタT2のゲートはリセット線RSTに接続され、ドレインはコンデンサC_{INT}に接続され、ソースは参照電圧V_{ref}を供給する電源線REFに接続される。参照電圧V_{ref}は、これに限定されないが、例えば0Vである。

[0040] 図4は、センサ画素回路9を駆動するための駆動信号の波形図である。図4に示すように、ゲート線GL1～GLxの電位は、1フレーム期間に1回ずつ、順に所定時間ずつハイレベルになる。クロック線CLK1～CLKnの電位は、1フレーム期間に2回（時刻ta、tb）、所定時間だけハイレベルになる。リセット線RST1～RSTnの電位は、1フレーム期間に1回（時刻ta）、所定時間（リセット期間）だけハイレベルになる。読み出し線RWS1～RWSnは2本ずつ対にされ、 $(n/2)$ 対の読み出し線の電位は時刻tc以降に順に所定時間（読み出し期間）ずつハイレベルになる。

[0041] 図5は、図4に示した時刻ta～tcの付近における、センサ画素回路9の各種信号の変化を示す波形図である。図6A～図6Cは、図4および図5に示した駆動信号が供給された場合のセンサ画素回路9の動作を示す模式図である。

[0042] 時刻t1～t2のリセット期間において、クロック信号CLKおよびリセット信号RSTがハイレベルになることにより、図6Aに示すように、トランジスタT1、T2は共にオンとなる。トランジスタT2がオンになることにより、蓄積ノードINTの電位Vintは、参照電圧Vref（ここでは0V）とほぼ等しくなる。クロック信号CLKのハイレベル電位は、トランジスタT1が飽和領域で動作するように設定されている。

[0043] すなわち、クロック信号CLKのハイレベル電位をVclk、ノードSIGの電位をVsig、トランジスタT1の閾値電圧をVthとすると、

$$V_{int} - V_{sig} > V_{clk} - V_{sig} - V_{th} \quad \dots (1)$$

が成り立つことが条件である。

[0044] 時刻t2においてリセット信号RSTがハイレベルからローレベルへ切り替わることによってリセット期間が終了すると、蓄積期間が始まる。時刻t2～t3の蓄積期間においては、クロック信号CLK、リセット信号RST、読み出し信号RWSはすべてローレベルに維持される。蓄積期間においては、トランジスタT1、T2はオフである。このときにフォトダイオードP

D1に光が入射すると、フォトダイオードPD1に入射光に応じた電流 I_{pd} が流れ、ノードSIGから電荷 Q_{sig} が引き抜かれる（図6B）。したがって、ノードSIGの電位 V_{sig} は、引き抜かれた電荷 Q_{sig} に応じて下降する。なお、蓄積期間のあいだ、トランジスタT1、T2がオフであることにより、蓄積ノードINTの電位 V_{int} は、リセット期間の電位（ V_{ref} ）に保たれる。

[0045] 次に、蓄積期間の終了時刻（時刻 t_3 ）において、クロック信号CLKが再びハイレベルになると、トランジスタT1はオンになる。これにより、ノードSIGから引き抜かれた電荷 Q_{sig} に相当する電荷が、蓄積ノードINTからノードSIGへ移動する。これにより、蓄積ノードINTの電位 V_{int} は、この電荷 Q_{sig} の量に応じて ΔV_{int} だけ下降する。したがって、

$$\begin{aligned} V_{int} &= V_{ref} - \Delta V_{int} \\ &= V_{ref} - Q_{sig} / C_{int} \\ &= V_{ref} - I_{pd} \cdot t / C_{int} \quad \dots (2) \end{aligned}$$

である。ここで、 C_{int} は、蓄積ノードINTの負荷容量である。 t は蓄積期間（時刻 $t_2 \sim t_3$ ）の長さである。

[0046] 時刻 t_5 以降の読み出し期間においては、クロック信号CLKおよびリセット信号RSTはローレベル、読み出し信号RWSは読み出し用のハイレベルになる。このとき、蓄積ノードINTの電位 V_{int} は、読み出し信号RWSの電位の上昇量の（ C_{int} / C_p ）倍（ただし、 C_p はセンサ画素回路9の全体の容量値）だけ上昇する。トランジスタM1は、ソースドライバ回路6に含まれるトランジスタ（図示せず）を負荷としたソースフォロワ増幅回路を構成し、電位 V_{int} に応じて出力線OUTを駆動する。

[0047] なお、図5における時刻 t_1 が図4における時刻 t_a に相当し、時刻 t_3 が時刻 t_b に相当する。また、時刻 t_5 が時刻 t_c に相当する。

[0048] 以上のように、本実施形態では、センサ画素回路9aにリセット用のトランジスタT2が設けられ、リセット期間において、トランジスタT1が飽和

領域で動作するようにリセットを行う。また、センサ画素回路 9 a において、フォトダイオード PD 1 と蓄積ノード INT との間にトランジスタ T 1 が設けられたことにより、フォトダイオード PD 1 の比較的大きな負荷容量を、コンデンサ C_{int} から分離することができ、高い感度が得られる。なお、フォトダイオード PD 1 の負荷容量は、主として、フォトダイオード PD 1 の背面（バックライト側）に設けられた遮光層との間に形成される容量に起因する。

[0049] 図 3 3 に示した従来のセンサ画素回路においては、蓄積期間における電位 V_{int} の下降分 ΔV_{int} は、フォトダイオード PD 1 のカソード側の蓄積電荷を Q、フォトダイオード PD 1 の負荷容量を C_{pd} とすると、

$$\Delta V_{int} = Q / (C_{int} + C_{pd}) \quad \dots (3)$$

と表すことができる。これに対して、上記の式 (2) に示したように、本実施形態のセンサ画素回路 9 a によれば、 ΔV_{int} はフォトダイオード PD 1 の負荷容量 C_{pd} の影響を受けない。したがって、センサ画素回路 9 a によれば、蓄積期間における ΔV_{int} の下降量が大きくなり、感度の高い光センサを実現することができる。

[0050] [第 1 の実施形態の変形例]

以上、第 1 の実施形態について説明したが、センサ画素回路 9 として、センサ画素回路 9 a とは異なる回路構成を採用することも可能である。以下に、主な変形例について説明する。

[0051] [第 1 の実施形態の変形例 1]

図 7 は、第 1 の実施形態にかかるセンサ画素回路 9 a の一変形例としての、センサ画素回路 9 a 1 の構成を示す回路図である。図 7 に示すように、センサ画素回路 9 a 1 は、コンデンサ C 1 を、P 型 TFT であるトランジスタ TC で形成したものである。トランジスタ TC のドレインはトランジスタ T 1 のドレインに接続され、ソースはトランジスタ M 1 のゲートに接続され、ゲートは読み出し線 RWS に接続される。このように接続されたトランジスタ TC は、読み出し線 RWS に読み出し用のハイレベルが印加されたときに

、センサ画素回路 9 a に比較して、蓄積ノード V_{int} の電位を大きく変化させる。したがって、強い光が入射したときの蓄積ノード V_{int} の電位と弱い光が入射したときの蓄積ノード V_{int} の電位との差を増幅して、センサ画素回路の感度を向上させることができる。

[0052] [第 1 の実施形態の変形例 2]

図 8 は、第 1 の実施形態にかかるセンサ画素回路 9 a の一変形例としての、センサ画素回路 9 a 2 の構成を示す回路図である。図 8 に示すセンサ画素回路 9 a 2 は、センサ画素回路 9 a に、もう一つのフォトダイオード PD 2 を追加したものである。図 8 において、フォトダイオード PD 1 のアノードに供給される電圧を COM 1 とする。なお、フォトダイオード PD 2 は、光が入射しないように遮光されており、参照用光センサとして機能する。フォトダイオード PD 2 のアノードは、フォトダイオード PD 1 のカソード、および、トランジスタ T 1 のソースに接続され、カソードには定電圧 COM 2 が印加される。なお、フォトダイオード PD 1 のアノードに供給される定電圧 COM 1 と、フォトダイオード PD 2 のカソードに供給される定電圧 COM 2 とは、 $COM 2 > V_{sig} > COM 1$ で動作するように設定される。図 8 の構成によれば、フォトダイオード PD 2 には暗電流が流れるので、フォトダイオードの温度補償を行うことができる。

[0053] [第 1 の実施形態の変形例 3]

図 9 は、第 1 の実施形態にかかるセンサ画素回路 9 a の一変形例としての、センサ画素回路 9 a 3 の構成を示す回路図である。図 9 に示すセンサ画素回路 9 a 3 は、センサ画素回路 9 a に含まれるフォトダイオード PD 1 をフォトトランジスタ TD に置換したものである。これにより、センサ画素回路 9 a 3 に含まれるトランジスタをすべて N 型とすることができる。したがって、N 型トランジスタだけを製造できる片チャンネルプロセスを用いて、センサ画素回路を製造することができる。

[0054] [第 1 の実施形態の変形例 4]

図 10 は、第 1 の実施形態にかかるセンサ画素回路 9 a の一変形例として

の、センサ画素回路 9 a 4 の構成を示す回路図である。図 1 0 にかかるセンサ画素回路 9 a 4 は、センサ画素回路 9 a に含まれるフォトダイオード P D 1 を逆に接続したものである。センサ画素回路 9 a 4 には、通常はハイレベルで、リセット時にはリセット用のローレベルとなるリセット信号 R S T が供給される。フォトダイオード P D 1 のカソードは定電圧線 C O M に接続され、アノードはトランジスタ T 1 のソースに接続される。これにより、画素回路のバリエーションが得られる。

[0055] [第 1 の実施形態の変形例 5]

図 1 1 は、第 1 の実施形態にかかるセンサ画素回路 9 a の一変形例としての、センサ画素回路 9 a 5 の構成を示す回路図である。図 1 1 に示すセンサ画素回路 9 a 5 は、センサ画素回路 9 a に含まれるフォトダイオード P D 1 を逆に接続し、コンデンサ C_{INT} を省略したものである。また、センサ画素回路 9 a 5 においては、読み出し線 R W S も省略される。センサ画素回路 9 a 5 には、前述の変形例 4 にかかるセンサ画素回路 9 a 4 と同様に、通常はハイレベルで、リセット時にはリセット用のローレベルとなるリセット信号 R S T が供給される。ただし、リセット信号 R S T は、読み出し時には、読み出し用のハイレベルになる。リセット信号 R S T が読み出し用のハイレベルになると、蓄積ノード V_{int} の電位（トランジスタ M 1 のゲート電位）が上昇し、トランジスタ M 1 には蓄積ノード V_{int} の電位に応じた電流が流れる。このようにセンサ画素回路 9 a 5 は、コンデンサ C_{INT} が省略されているので、コンデンサ C_{INT} の分だけ開口率を大きくして、センサ画素回路の感度を向上させることができる。

[0056] [第 1 の実施形態の変形例 6]

図 1 2 は、第 1 の実施形態にかかるセンサ画素回路 9 a の一変形例としての、センサ画素回路 9 a 6 の構成を示す回路図である。図 1 2 に示すセンサ画素回路 9 a 6 は、センサ画素回路 9 a からコンデンサ C_{INT} を省略し、トランジスタ T S を追加したものである。トランジスタ T S は、N 型 T F T であり、選択用スイッチング素子として機能する。センサ画素回路 9 a 6 では、

トランジスタM1のソースは、トランジスタTSのドレインに接続される。トランジスタTSのソースは出力線OUTに接続され、ゲートは読み出し線RWSに接続される。これにより、画素回路のバリエーションが得られる。また、コンデンサC_{INT}が省略されているので、コンデンサC_{INT}の分だけ開口率を大きくして、センサ画素回路の感度を向上させることができる。

[0057] [第1の実施形態の変形例7]

図13は、第1の実施形態にかかるセンサ画素回路9のバリエーションとしての、センサ画素回路9a7の構成を示す回路図である。図13に示すように、センサ画素回路9a7は、トランジスタT2のソースが、参照電圧V_{ref}を供給する電源線REFではなく、読み出し配線RWSに接続されている点において、センサ画素回路9aと異なっている。このセンサ画素回路9a7によれば、参照電圧用の電源線REFが不要となるので、バスライン数を削減することができるという利点がある。

[0058] また、図14～図19に示すように、前述のセンサ画素回路9a1～9a6（図7～図12）において、トランジスタT2のソースを、参照電圧V_{ref}を供給する電源線REFではなく、読み出し配線RWSに接続した構成に相当する回路構成9a8～9a13も、センサ画素回路9のバリエーションとして採用可能である。これらの回路構成においても、センサ画素回路9a7と同様に、参照電圧用の電源線REFが不要となるので、バスライン数を削減することができるという利点がある。

[0059] [第2の実施形態]

本発明の表示装置の第2の実施形態について、以下に説明する。第1の実施形態において説明した構成要素と同様の要素については、同じ参照符号を付記し、その詳細な説明を省略する。

[0060] 第2の実施形態においては、センサ画素回路9の具体的構成は、第1の実施形態において説明したセンサ画素回路9aと同じであるが、駆動方法が異なっている。

[0061] 図20は、第2の実施形態においてセンサ画素回路9aへ印加される駆動

信号と、ノードS I Gと蓄積ノードI N Tの電位変化とを示す波形図である。図20に示すように、第2の実施形態においては、クロック信号C L Kは、1フレーム期間に1回だけハイレベルになる。

[0062] 時刻 $t_1 \sim t_2$ のリセット期間では、クロック信号C L Kおよびリセット信号R S Tはハイレベル、読み出し信号R W Sはローレベルである。このとき、トランジスタT 1, T 2は共にオンである。これにより、ノードS I Gの電位 V_{sig} および蓄積ノードI N Tの電位 V_{int} は、それぞれ所定のレベルにリセットされる。このとき、蓄積ノードI N Tの電位 V_{int} は定電圧 V_{ref} に、ノードS I Gの電位 V_{sig} は、 $V_{clk} - V_{th}$ に、それぞれリセットされる。なお、 V_{ref} の電位は、 V_{clk} の電位よりも大きい値に設定されている。これにより、トランジスタT 1は、常に飽和領域で動作するよう設定される。

[0063] 本実施形態においては、時刻 $t_2 \sim t_3$ において、電荷の蓄積と、蓄積ノードI N Tへの電荷転送とが同時に行われる。時刻 $t_2 \sim t_3$ において、クロック信号C L Kはハイレベルに維持され、リセット信号R S Tおよび読み出し信号R W Sはローレベルであるので、トランジスタT 1はオン、トランジスタT 2はオフである。フォトダイオードP D 1に光が入射すると、ノードS I GからフォトダイオードP D 1を経由して電源線C O Mへ光電流 I_{pd} が流れ、ノードS I Gから電荷が引き抜かれる。このとき、トランジスタT 1がオンであるので、光電流 I_{pd} で引き抜かれた電荷が、蓄積ノードI N Tから補充される。このため、蓄積ノードI N Tの電位 V_{int} は、この電荷に相当する分だけ下降する。このときの V_{int} の電位下降 ΔV_{int} は、時刻 $t_2 \sim t_3$ の長さを t と表すと、

$$\Delta V_{int} = I_{pd} \cdot t / C_{int} \quad \dots (4)$$

である。

[0064] その後、時刻 t_4 以降の読み出し期間において、クロック信号C L Kおよびリセット信号R S Tはローレベル、読み出し信号R W Sは読み出し用のハイレベルになる。これにより、第1の実施形態と同様に、トランジスタM 1

が、ソースドライバ回路6に含まれるトランジスタ（図示せず）を負荷としたソースフォロワ増幅回路を構成し、蓄積ノード V_{int} の電位に応じて出力線OUTを駆動する。

[0065] 以上のように、本実施形態では、センサ画素回路9aにリセット用のトランジスタT2が設けられ、リセット期間において、トランジスタT1が飽和領域で動作するようにリセットを行う。また、センサ画素回路9aにおいて、フォトダイオードPD1と蓄積ノードINTとの間にトランジスタT1が設けられたことにより、フォトダイオードPD1の比較的大きな負荷容量を、コンデンサCintから分離することができ、高い感度を得られる。

[0066] [第2の実施形態の変形例]

以上、第2の実施形態について説明したが、第1の実施形態と同様に、センサ画素回路9aの代わりに、第1の実施形態において説明したセンサ画素回路9a1～9a13を採用しても良く、上記と同様の効果を奏する。

[0067] [第3の実施形態]

本発明の第3の実施形態について以下に説明する。

[0068] 図21は、第3の実施形態にかかる表示装置の画素領域4におけるセンサ画素回路9の配置を示す図である。 $(n \times m / 2)$ 個のセンサ画素回路9には、バックライト3の点灯期間に入射した光を検知する第1センサ画素回路9_{on}と、バックライト3の消灯期間に入射した光を検知する第2センサ画素回路9_{off}が含まれる。第1センサ画素回路9_{on}と第2センサ画素回路9_{off}とは同数である。図21では、 $(n \times m / 4)$ 個の第1センサ画素回路9_{on}は、奇数番目のクロック線CLK1～CLK_{n-1}と奇数番目の出力線OUT1～OUT_{m-1}の交点近傍に配置される。 $(n \times m / 4)$ 個の第2センサ画素回路9_{off}は、偶数番目のクロック線CLK2～CLK_nと偶数番目の出力線OUT2～OUT_mの交点近傍に配置される。このように表示パネル2は、第1センサ画素回路9_{on}の出力信号と第2センサ画素回路9_{off}の出力信号を伝搬する複数の出力線OUT1～OUT_mを含み、第1センサ画素回路9_{on}と第2センサ画素回

路 9__o f f とは、互いに異なる出力線に接続される。

[0069] 本実施形態にかかるソースドライバ回路 6 は、第 1 センサ画素回路 9__o n の出力信号と第 2 センサ画素回路 9__o f f の出力信号との差を求める差分回路（図示せず）を含んでいる。ソースドライバ回路 6 は、差分回路で求めた光量の差を増幅し、増幅後の信号をセンサ出力 S o u t として表示パネル 2 の外部に出力する。センサ出力 S o u t は、表示パネル 2 の外部に設けられた信号処理回路 20 によって、必要に応じて適宜の処理を施される。

[0070] 図 22 は、バックライト 3 の点灯および消灯タイミング、並びに、センサ画素回路 9 に対するリセットおよび読み出しタイミングを示す図である。図 22 の例では、バックライト 3 は、1 フレーム期間に 1 回、所定時間だけ点灯し、それ以外の期間では消灯する。具体的には、バックライト 3 は、1 フレーム期間内の時刻 t A において点灯し、時刻 t B において消灯する。また、時刻 t A においてすべての第 1 センサ画素回路 9__o n に対するリセットが行われ、時刻 t B においてすべての第 2 センサ画素回路 9__o f f に対するリセットが行われる。

[0071] 第 1 センサ画素回路 9__o n は、時刻 t A から時刻 t B までの期間 A 1（バックライト 3 の点灯期間）に入射した光を検知する。第 2 センサ画素回路 9__o f f は、時刻 t B から時刻 t C までの期間 A 2（バックライト 3 の消灯期間）に入射した光を検知する。期間 A 1 と期間 A 2 は同じ長さである。第 1 センサ画素回路 9__o n からの読み出しと第 2 センサ画素回路 9__o f f からの読み出しは、時刻 t C 以降に並列に線順次で行われる。なお、図 22 では、センサ画素回路 9 からの読み出しは、1 フレーム期間内に完了しているが、次のフレーム期間で第 1 センサ画素回路 9__o n に対するリセットを行うまでに完了すればよい。また、図 22 においては、センサ画素回路 9 からの読み出しを 1 フレーム期間に 1 回ずつ行う例を示したが、1 フレーム期間に 2 回以上、センサ画素回路 9 からの読み出しを行うようにしても良い。

[0072] 図 23 A および図 23 B は、第 1 センサ画素回路 9__o n および第 2 セン

サ画素回路 9__o f f の具体的な構成の一例を示す回路図である。図 2 3 A および図 2 3 B に示すように、第 1 画素回路 9__o n および第 2 画素回路 9__o f f のそれぞれは、第 1 の実施形態で説明したセンサ画素回路 9 a と同じ回路構成を有している。

[0073] 図 2 4 は、本実施形態にかかる表示パネル 2 の信号波形図である。図 2 4 に示すように、ゲート線 G L 1 ~ G L x の電位は、1 フレーム期間に 1 回ずつ順に、所定時間ずつハイレベルになる。奇数番目のクロック線 C L K 1 ~ C L K n - 1 の電位は、1 フレーム期間に 2 回、期間 A 1 においてそれぞれ所定時間だけハイレベルになる。偶数番目のクロック線 C L K 2 ~ C L K n の電位は、1 フレーム期間に 2 回、期間 A 2 においてそれぞれ所定時間だけハイレベルになる。奇数番目のリセット線 R S T 1 ~ R S T n - 1 の電位は、1 フレーム期間に 1 回、期間 A 1 の始めに所定時間だけハイレベルになる。偶数番目のリセット線 R S T 2 ~ R S T n の電位は、1 フレーム期間に 1 回、期間 A 2 の始めに所定時間だけハイレベルになる。読み出し線 R W S 1 ~ R W S n は 2 本ずつ対にされ、 $(n/2)$ 対の読み出し線の電位は時刻 t C 以降に順に所定時間ずつハイレベルになる。

[0074] なお、クロック線 C L K のハイレベル電位 V_{clk} の条件は、第 1 の実施形態において式 (1) に示したとおりである。また、期間 A 1 および期間 A 2 のそれぞれにおける第 1 センサ画素回路 9__o n および第 2 センサ画素回路 9__o f f のそれぞれの動作は、第 1 の実施形態において説明したセンサ画素回路 9 a と同じである。

[0075] 以上より、本実施形態によれば、期間 A 1 において、第 1 センサ画素回路 9__o n の蓄積ノード I N T o n の電位 V_{int_on} は、第 1 の実施形態で式 (2) に表したものと同様に、

$$V_{int_on} = V_{ref} - I_{pd_on} \cdot t / C_{int} \quad \dots (5)$$

となる。ただし、ここで、 I_{pd_on} は、バックライト 3 が点灯した状態における蓄積期間（期間 A 1 内の蓄積期間）にフォトダイオード P D 1 に流

れた光電流の電流値を表す。

[0076] また、期間A2において、第2センサ画素回路9__offの蓄積ノードI N T o f fの電位V i n t __o f fは、第1の実施形態で式(2)に表したものと同様に、

$$V i n t _o f f = V r e f - I p d _o f f \cdot t / C i n t$$

・・・ (6)

となる。ただし、ここで、I p d __o f fは、バックライト3が消灯した状態における蓄積期間（期間A2内の蓄積期間）にフォトダイオードPD1に流れた電流の電流値を表す。

[0077] 図24に示す時刻tC以降の読み出し期間においては、第1センサ画素回路9__onおよび第2センサ画素回路9__offからは、上述のとおり、バックライト3の点灯時の検知期間に入射した光の量に応じたセンサ信号と、バックライト3の消灯時の検知期間に入射した光の量に応じたセンサ信号とが、それぞれ読み出される。ソースドライバ回路6に含まれる差分回路が、第1センサ画素回路9__onの出力信号と第2センサ画素回路9__offの出力信号との差を求めることにより、バックライト点灯時の光量とバックライト消灯時の光量の差を求めることができる。

[0078] 第2センサ画素回路9__offからの出力信号、すなわち、バックライト3の消灯時の検知期間に入射した光の量に応じたセンサ信号は、周囲環境に起因するノイズ成分のみを含んでいる。したがって、ソースドライバ回路6の差分回路において、第1センサ画素回路9__onからの出力信号から、第2センサ画素回路9__offからの出力信号を差し引くことにより、ノイズ成分が除去された高精度なセンサ出力を得ることができる。

[0079] また、第1の実施形態のセンサ画素回路9aと同様に、第1センサ画素回路9__onおよび第2センサ画素回路9__offによれば、蓄積期間における蓄積ノードの電位下降量ΔV i n tがフォトダイオードPD1の負荷容量C p dの影響を受けない。したがって、本実施形態によっても、感度の高い光センサを実現することができる。

[0080] [第3の実施形態の変形例]

以上、第3の実施形態について説明したが、第1の実施形態と同様に、第1センサ画素回路9_{on}および第2センサ画素回路9_{off}の回路構成として、センサ画素回路9_aではなく、第1の実施形態において説明したセンサ画素回路9_{a1}～9_{a13}を採用しても良く、上記と同様の効果を奏する。

[0081] また、以下の変形例も採用可能である。

[0082] 図25は、第3の実施形態にかかるセンサ画素回路9_cの回路図である。

図25に示すセンサ画素回路9_cは、トランジスタT_{1on}、T_{1off}、T_{2on}、T_{2off}、M_{1on}、M_{1off}、フォトダイオードPD1、および、コンデンサC_{inton}、C_{intoff}を含んでいる。トランジスタT_{1on}、T_{1off}、T_{2on}、T_{2off}、M_{1on}、M_{1off}は、N型TFTである。図25に示すセンサ画素回路9_cは、フォトダイオードPD1と左半分の回路要素とが、バックライト3の点灯時の蓄積期間によるセンサ出力を求める第1センサ画素回路に相当し、フォトダイオードPD1と右半分の回路要素とが、バックライト3の消灯時の蓄積期間によるセンサ出力を求める第2センサ画素回路に相当する。すなわち、センサ画素回路9_cは、上述のセンサ画素回路9_{on}およびセンサ画素回路9_{off}の機能を兼ねている。センサ画素回路9_cは、クロック線CLK_{on}、CLK_{off}、リセット線RST_{on}、RST_{off}、読み出し線RWS、電源線VDD_{on}、VDD_{off}、および、出力線OUT_{on}、OUT_{off}に接続される。

[0083] 図25に示すように、フォトダイオードPD1のアノードは定電圧源COMに接続され、カソードはトランジスタT_{1on}、T_{1off}のソースに接続される。トランジスタT_{1on}のゲートはクロック線CLK₁に接続され、ドレインはトランジスタM_{1on}のゲートに接続される。トランジスタM_{1on}のドレインは電源線VDD_{on}に接続され、ソースは出力線OUT_{on}に接続される。コンデンサC_{1on}は、トランジスタM_{1on}のゲートと

読み出し線RWSの間に設けられる。トランジスタT1offのゲートはクロック線CLK2に接続され、ドレインはトランジスタM1offのゲートに接続される。トランジスタM1offのドレインは電源線VDDoffに接続され、ソースは出力線OUToffに接続される。コンデンサCINToffは、トランジスタM1offのゲートと読み出し線RWSの間に設けられる。センサ画素回路9cでは、トランジスタM1onのゲートに接続されたノードが第1蓄積ノードとなり、トランジスタM1offのゲートに接続されたノードが第2蓄積ノードとなり、トランジスタM1on、M1offは読み出しトランジスタとして機能する。

[0084] この構成においても、図24に示した駆動信号によってセンサ画素回路9cを駆動し、第3の実施形態と同様に、出力線OUTonからの出力信号から、出力線OUToffからの出力信号を差し引くことにより、ノイズ成分が除去された高精度なセンサ出力を得ることができる。

[0085] また、この変形例にかかるセンサ画素回路9cにおいても、第1の実施形態のセンサ画素回路9aと同様に、蓄積期間における蓄積ノードの電位下降量 ΔV_{int} は、フォトダイオードPD1の負荷容量Cpdの影響を受けない。したがって、本実施形態によっても、感度の高い光センサを実現することができる。

[0086] なお、図25に示したセンサ画素回路9cに対して、第1の実施形態の変形例としてのセンサ画素回路9a1～9a6を得るために第1の実施形態においてセンサ画素回路9aに施したものと、同様の変形を施すことも可能である。以下に、これらの変形例について説明する。

[0087] 図26は、センサ画素回路9cの一変形例としての、センサ画素回路9c1の構成を示す回路図である。図26に示すセンサ画素回路9c1は、センサ画素回路9cのコンデンサCINTを、P型TFTであるトランジスタTCで形成したものである。トランジスタTCのドレインはトランジスタT1のドレインに接続され、ソースはトランジスタM1のゲートに接続され、ゲートは読み出し線RWSに接続される。このように接続されたトランジスタTC

は、読み出し線RWSに読み出し用のハイレベルが印加されたときに、センサ画素回路9aに比較して、蓄積ノードVintの電位を大きく変化させる。したがって、強い光が入射したときの蓄積ノードVintの電位と弱い光が入射したときの蓄積ノードVintの電位との差を増幅して、センサ画素回路の感度を向上させることができる。

[0088] 図27は、センサ画素回路9cの一変形例としての、センサ画素回路9c2の構成を示す回路図である。図27に示すセンサ画素回路9c2は、センサ画素回路9cに、もう一つのフォトダイオードPD2を追加したものである。なお、フォトダイオードPD2は、光が入射しないように遮光されており、参照用光センサとして機能する。フォトダイオードPD2のアノードは、フォトダイオードPD1のカソード、および、トランジスタT1onおよびT1offのソースに接続されている。カソードには定電圧COM2が印加される。フォトダイオードPD2には暗電流が流れるので、フォトダイオードの温度補償を行うことができる。なお、図27において、フォトダイオードPD1のアノードへ供給される定電圧COMと、フォトダイオードPD2のカソードへ供給される定電圧COM2とは、 $COM2 > (ダイオードPD1とPD2との間の電位) > COM$ の関係が成り立つように設定される。

[0089] 図28は、センサ画素回路9cの一変形例としての、センサ画素回路9c3の構成を示す回路図である。図28に示すセンサ画素回路9c3は、センサ画素回路9cに含まれるフォトダイオードPD1をフォトトランジスタTDに置換したものである。これにより、センサ画素回路9c3に含まれるトランジスタをすべてN型とすることができる。したがって、N型トランジスタだけを製造できる片チャンネルプロセスを用いて、センサ画素回路を製造することができる。

[0090] 図29は、センサ画素回路9cの一変形例としての、センサ画素回路9c4の構成を示す回路図である。図29にかかるセンサ画素回路9c4は、センサ画素回路9cに含まれるフォトダイオードPD1を逆に接続したものである。センサ画素回路9c4には、通常はハイレベルで、リセット時にはリ

セット用のローレベルとなるリセット信号RSTが供給される。フォトダイオードPD1のカソードは定電圧線COMに接続され、アノードはトランジスタT1onおよびT1offのソースに接続される。これにより、画素回路のバリエーションが得られる。

[0091] 図30は、センサ画素回路9cの一変形例としての、センサ画素回路9c5の構成を示す回路図である。図30に示すセンサ画素回路9c5は、センサ画素回路9cに含まれるフォトダイオードPD1を逆に接続し、コンデンサC_{INT}を省略したものである。センサ画素回路9c5には、図29に示したセンサ画素回路9c4と同様に、通常はハイレベルで、リセット時にはリセット用のローレベルとなるリセット信号RSTが供給される。ただし、リセット信号RSTは、読み出し時には、読み出し用のハイレベルになる。リセット信号RSTが読み出し用のハイレベルになると、蓄積ノードV_{int}の電位（トランジスタM1のゲート電位）が上昇し、トランジスタM1には蓄積ノードV_{int}の電位に応じた電流が流れる。このようにセンサ画素回路9c5は、コンデンサC_{INT}が省略されているので、コンデンサC_{INT}の分だけ開口率を大きくして、センサ画素回路の感度を向上させることができる。

[0092] 図31は、センサ画素回路9cの一変形例としての、センサ画素回路9c6の構成を示す回路図である。図31に示すセンサ画素回路9c6は、センサ画素回路9cからコンデンサC_{INT}を省略し、トランジスタTSonおよびTSoffを追加したものである。トランジスタTSonおよびTSoffは、N型TFTであり、選択用スイッチング素子として機能する。センサ画素回路9c6では、トランジスタM1onおよびM1offのソースは、トランジスタTSonおよびTSoffのドレインにそれぞれ接続される。トランジスタTSonおよびTSoffのソースは出力線OUTonおよびOUToffにそれぞれ接続され、ゲートは読み出し線RWSに接続される。これにより、画素回路のバリエーションが得られる。また、コンデンサC_{INT}が省略されているので、コンデンサC_{INT}の分だけ開口率を大きくして、センサ画素回路の感度を向上させることができる。

[0093] 以上に示すように、センサ画素回路 9 c およびその変形例にかかるセンサ画素回路 9 c 1 ~ 9 c 6 は、バックライト 3 の点灯時の蓄積期間によるセンサ出力を求める第 1 センサ画素回路と、バックライト 3 の消灯時の蓄積期間によるセンサ出力を求める第 2 センサ画素回路とが、1 個のフォトダイオード PD 1 (受光素子) を共有した構成を有する。共有されたフォトダイオード PD 1 のカソードは、第 1 画素回路相当部分に含まれるトランジスタ T 1 o n のソースと、第 2 画素回路相当部分に含まれるトランジスタ T 1 o f f のソースに接続される。

[0094] センサ画素回路 9 c によれば、バックライト点灯時の光量とバックライト消灯時の光量を検知することができる。また、バックライト 3 の点灯時の蓄積期間によるセンサ出力を求める第 1 センサ画素回路と、バックライト 3 の消灯時の蓄積期間によるセンサ出力を求める第 2 センサ画素回路との間で 1 個のフォトダイオード PD 1 を共有することにより、フォトダイオードの感度特性のばらつきの影響がキャンセルされる。これにより、バックライト点灯時の光量とバックライト消灯時の光量の差を正確に求めることができる。また、フォトダイオードの個数を減らし、開口率を高くして、センサ画素回路の感度を高くすることができる。

[0095] [第 4 の実施形態]

本発明の第 4 の実施形態について以下に説明する。

[0096] 第 4 の実施形態にかかる表示装置は、センサ画素回路 9 として、第 3 の実施形態において図 2 3 A および図 2 3 B に示した第 1 センサ画素回路 9 _ o n と第 2 センサ画素回路 9 _ o f f とを有している。また、本実施形態において、バックライト 3 の点灯／消灯タイミングも、第 3 の実施形態と同じである (図 2 2 参照)。

[0097] 図 3 2 は、本実施形態にかかる表示パネル 2 の信号波形図である。第 4 の実施形態にかかる表示装置は、クロック信号 CLK のタイミングが、第 3 の実施形態とは異なっている。すなわち、本実施形態においては、奇数番目のクロック線 CLK 1 ~ CLK n - 1 の電位は、1 フレーム期間に 1 回、期間

A 1 においてそれぞれ所定時間だけハイレベルになる。偶数番目のクロック線 CLK 2 ~ CLK n の電位は、1 フレーム期間に 1 回、期間 A 2 においてそれぞれ所定時間だけハイレベルになる。リセット信号 RST および読み出し信号 RWS のタイミングは、第 3 の実施形態と同じである。

[0098] なお、クロック線 CLK のハイレベル電位 V_{clk} および参照電位 V_{ref} の条件は、第 2 の実施形態と同じである。また、期間 A 1 および期間 A 2 のそれぞれにおける第 1 センサ画素回路 9_{on} および第 2 センサ画素回路 9_{off} のそれぞれの動作は、第 2 の実施形態と同じである。

[0099] 本実施形態によれば、図 3 2 に示す時刻 t_C 以降の読み出し期間においては、第 1 センサ画素回路 9_{on} および第 2 センサ画素回路 9_{off} からは、バックライト 3 の点灯時の検知期間に入射した光の量に応じたセンサ信号と、バックライト 3 の消灯時の検知期間に入射した光の量に応じたセンサ信号とが、それぞれ読み出される。ソースドライバ回路 6 に含まれる差分回路が、第 1 センサ画素回路 9_{on} の出力信号と第 2 センサ画素回路 9_{off} の出力信号との差を求めることにより、バックライト点灯時の光量とバックライト消灯時の光量の差を求めることができる。

[0100] 第 2 センサ画素回路 9_{off} からの出力信号、すなわち、バックライト 3 の消灯時の検知期間に入射した光の量に応じたセンサ信号は、周囲環境に起因するノイズ成分のみを含んでいる。したがって、ソースドライバ回路 6 の差分回路において、第 1 センサ画素回路 9_{on} からの出力信号から、第 2 センサ画素回路 9_{off} からの出力信号を差し引くことにより、ノイズ成分が除去された高精度なセンサ出力を得ることができる。

[0101] また、第 1 の実施形態のセンサ画素回路 9a と同様に、本実施形態にかかる第 1 センサ画素回路 9_{on} および第 2 センサ画素回路 9_{off} によれば、蓄積期間における蓄積ノードの電位下降量 ΔV_{int} がフォトダイオード PD 1 の負荷容量 C_{pd} の影響を受けない。したがって、本実施形態によっても、感度の高い光センサを実現することができる。

[0102] [第 4 の実施形態の変形例]

以上、第４の実施形態について説明したが、第１の実施形態と同様に、第１センサ画素回路 9__o n および第２センサ画素回路 9__o f f の回路構成として、センサ画素回路 9 a ではなく、第１の実施形態において説明したセンサ画素回路 9 a 1 ～ 9 a 1 3 を採用しても良く、上記と同様の効果を奏する。

[0103] あるいは、第１センサ画素回路 9__o n および第２センサ画素回路 9__o f f の代わりに、第３の実施形態で説明したセンサ画素回路 9 c を採用しても良く、上記と同様の効果を奏する。さらに、センサ画素回路 9 c の変形例としてのセンサ画素回路 9 c 1 ～ 9 c 6 を採用しても良い。

[0104] [その他の変形例]

上述の第３および第４の実施形態においては、１フレーム期間において、先にオフ信号を取得し、次にオン信号を取得する駆動方法を説明した。しかし、先にオン信号を取得し、次にオフ信号を取得する駆動方法を採用することも可能である。

産業上の利用可能性

[0105] 本発明は、光センサ機能を有する表示装置として、産業上利用可能である。

請求の範囲

〔請求項1〕 複数の表示画素回路および複数のセンサ画素回路を表示領域内に含む表示パネルと、

前記センサ画素回路に対して駆動信号を供給する駆動回路とを備え

前記センサ画素回路は、

受光素子と、

前記受光素子へ入射した光量に応じた電荷を蓄積する第1の蓄積ノードと、

前記第1の蓄積ノードの電荷を保持するための第2の蓄積ノードと

前記第 2 の蓄積ノードに接続された読み出しスイッチング素子とを
備え、

前記第 1 の蓄積ノードと前記第 2 の蓄積ノードとの間に接続され、
前記第 1 の蓄積ノードで蓄積した電荷を前記第 2 の蓄積ノードに転送
するとき、飽和領域で動作する第 1 のスイッチング素子と、

前記第 2 の蓄積ノードに接続され、前記第 1 および第 2 の蓄積ノードをリセットする第 2 のスイッチング素子とをさらに備えた、表示装置。

〔請求項2〕 前記センサ画素回路が、

前記第 2 の蓄積ノードと読み出し信号線との間に接続されたコンデンサをさらに備え、

前記第 2 のスイッチング素子のゲートにリセット線が接続され、ソースに定電圧源が接続され、ドレインに前記第 2 の蓄積ノードが接続された、請求項 1 に記載の表示装置。

〔請求項3〕 前記センサ画素回路が、

前記第2の蓄積ノードと読み出し信号線との間に接続されたコンデンサをさらに備え、

前記第2のスイッチング素子のゲートにリセット線が接続され、ソースに前記読み出し信号線が接続され、ドレインに前記第2の蓄積ノードが接続された、請求項1に記載の表示装置。

[請求項4]

前記駆動回路が、単位期間内に、

前記第1のスイッチング素子をオンにすると共に前記第2のスイッチング素子をオンして、前記第1および第2の蓄積ノードをリセットするリセット期間と、

前記第1のスイッチング素子をオフにすると共に前記第2のスイッチング素子をオフして、前記第1の蓄積ノードにおいて前記受光素子で受光された光量に応じた電荷を蓄積する蓄積期間と、

前記第1のスイッチング素子をオンにすると共に前記第2のスイッチング素子をオフして、前記第1の蓄積ノードにおいて前記蓄積期間に蓄積した電荷を前記第2の蓄積ノードへ転送する転送期間と、

前記第1のスイッチング素子をオフにすると共に前記第2のスイッチング素子をオフして、前記読み出しスイッチング素子をオンにして読み出しを行う読み出し期間とによってセンシングを行う、請求項1～3のいずれか一項に記載の表示装置。

[請求項5]

前記駆動回路が、単位期間内に、

前記第1のスイッチング素子をオンにすると共に前記第2のスイッチング素子をオンして、前記第1および第2の蓄積ノードをリセットするリセット期間と、

前記第1のスイッチング素子をオンにすると共に前記第2のスイッチング素子をオフして、前記第1の蓄積ノードにおいて前記受光素子で受光された光量に応じた電荷を蓄積すると同時に、前記第1の蓄積ノードにおいて前記蓄積期間に蓄積した電荷を前記第2の蓄積ノードへ転送する蓄積転送期間と、

前記第1のスイッチング素子をオフにすると共に前記第2のスイッチング素子をオフして、前記読み出しスイッチング素子をオンにして

読み出しを行う読み出し期間とによってセンシングを行う、

請求項 1 ～ 3 のいずれか一項に記載の表示装置。

[請求項6] 1 フレーム期間に所定時間だけ点灯する光源をさらに含み、
前記センサ画素回路が、光源点灯時の検知期間で光を検知する第 1
センサ画素回路と、光源消灯時の検知期間で光を検知する第 2 センサ
画素回路とを含み、

前記駆動回路が、光源点灯時の検知期間および光源消灯時の検知期
間以外において、前記第 1 および第 2 センサ画素回路からの読み出し
を線順次で行う、請求項 1 ～ 5 のいずれか一項に記載の表示装置。

[請求項7] 前記光源は 1 フレーム期間に 1 回所定時間だけ点灯し、
光源点灯時の検知期間および光源消灯時の検知期間は、1 フレーム
期間に 1 回ずつ設定されている、請求項 6 に記載の表示装置。

[請求項8] 前記第 1 センサ画素回路と第 2 センサ画素回路とが、1 個の光セン
サを共有している、請求項 6 または 7 に記載の表示装置。

[請求項9] 前記第 1 のコンデンサが P 型トランジスタである、請求項 1 ～ 8 の
いずれか一項に記載の表示装置。

[請求項10] 前記センサ画素回路が、
前記受光素子に直列に接続され、遮光された参照用受光素子をさら
に含み、

前記受光素子と前記参照用受光素子との間に、前記第 1 の蓄積ノ
ードが接続されている、請求項 1 ～ 8 のいずれか一項に記載の表示装置
。

[請求項11] 前記受光素子が N 型トランジスタである、請求項 1 ～ 8 のいずれか
一項に記載の表示装置。

[請求項12] 前記読み出しスイッチング素子に直列に接続され、前記第 2 の蓄積
ノードと当該センサ画素回路の出力線との導通／非導通を制御する選
択スイッチング素子をさらに備えた、請求項 1 ～ 8 のいずれか一項に
記載の表示装置。

[請求項13]

複数の表示画素回路および複数のセンサ画素回路を表示領域内に含む表示パネルと、前記センサ画素回路に対して駆動信号を供給する駆動回路とを備え、前記センサ画素回路が、受光素子と、前記受光素子へ入射した光量に応じた電荷を蓄積する第1の蓄積ノードと、前記第1の蓄積ノードの電荷を保持するための第2の蓄積ノードと、前記第2の蓄積ノードに接続された読み出しスイッチング素子とを備え、前記第1の蓄積ノードと前記第2の蓄積ノードとの間に接続され、前記第1の蓄積ノードで蓄積した電荷を前記第2の蓄積ノードに転送するとき、飽和領域で動作する第1のスイッチング素子と、前記第2の蓄積ノードに接続され、前記第1および第2の蓄積ノードをリセットする第2のスイッチング素子とをさらに備えた表示装置の駆動方法であって、

前記駆動回路が、単位期間内に、

前記第1のスイッチング素子をオンにすると共に前記第2のスイッチング素子をオンして、前記第1および第2の蓄積ノードをリセットするリセット処理と、

前記第1のスイッチング素子をオフにすると共に前記第2のスイッチング素子をオフして、前記第1の蓄積ノードにおいて前記受光素子で受光された光量に応じた電荷を蓄積する蓄積処理と、

前記第1のスイッチング素子をオンにすると共に前記第2のスイッチング素子をオフして、前記第1の蓄積ノードにおいて前記蓄積処理で蓄積した電荷を前記第2の蓄積ノードへ転送する転送処理と、

前記第1のスイッチング素子をオフにすると共に前記第2のスイッチング素子をオフして、前記読み出しスイッチング素子をオンにして読み出しを行う読み出し処理とによってセンシングを行う、表示装置の駆動方法。

[請求項14]

複数の表示画素回路および複数のセンサ画素回路を表示領域内に含む表示パネルと、前記センサ画素回路に対して駆動信号を供給する駆

動回路とを備え、前記センサ画素回路が、受光素子と、前記受光素子へ入射した光量に応じた電荷を蓄積する第1の蓄積ノードと、前記第1の蓄積ノードの電荷を保持するための第2の蓄積ノードと、前記第2の蓄積ノードに接続された読み出しスイッチング素子とを備え、前記第1の蓄積ノードと前記第2の蓄積ノードとの間に接続され、前記第1の蓄積ノードで蓄積した電荷を前記第2の蓄積ノードに転送するとき、飽和領域で動作する第1のスイッチング素子と、前記第2の蓄積ノードに接続され、前記第1および第2の蓄積ノードをリセットする第2のスイッチング素子とをさらに備えた表示装置の駆動方法であって、

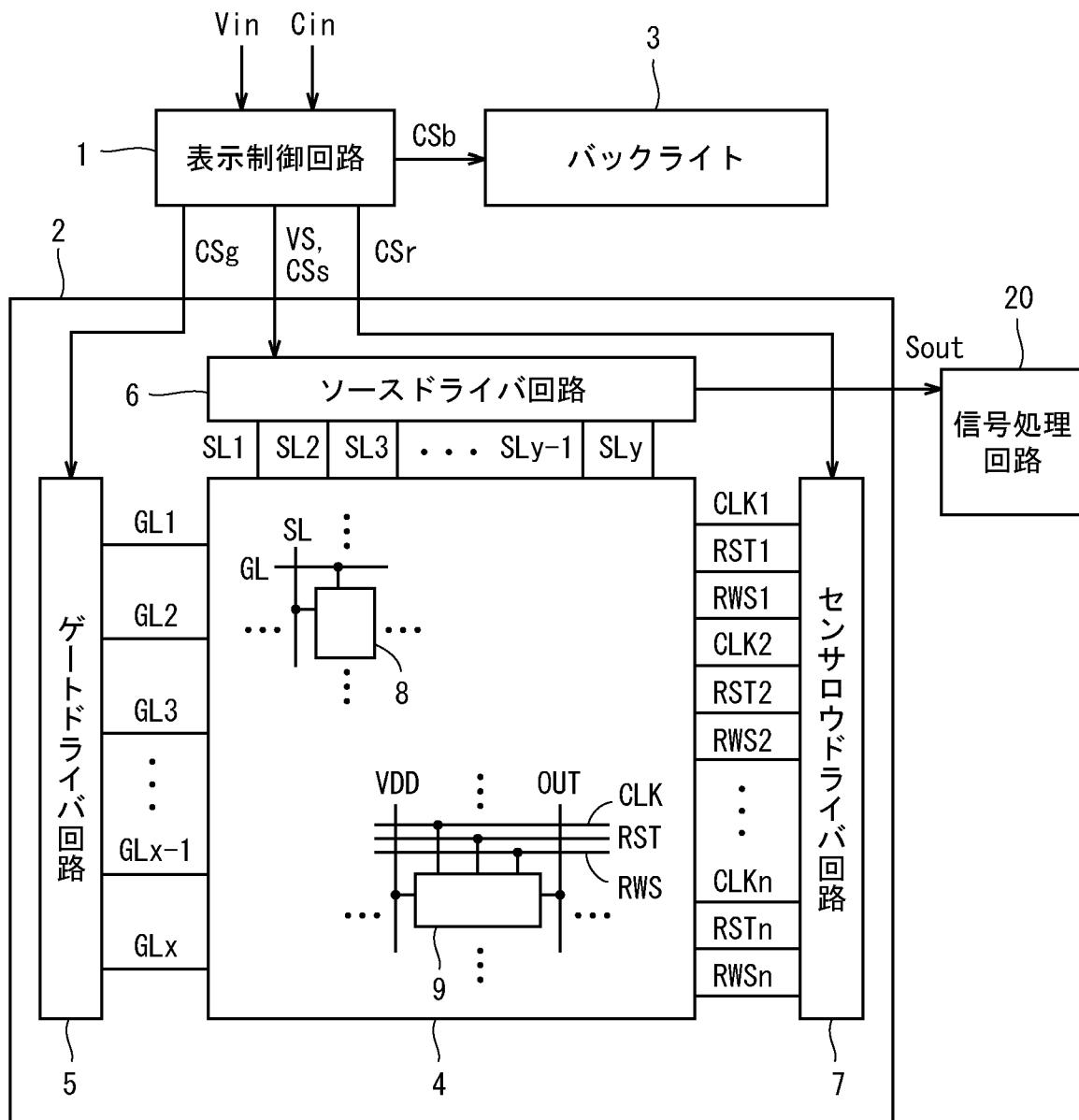
前記駆動回路が、単位期間内に、

前記第1のスイッチング素子をオンにすると共に前記第2のスイッチング素子をオンして、前記第1および第2の蓄積ノードをリセットするリセット処理と、

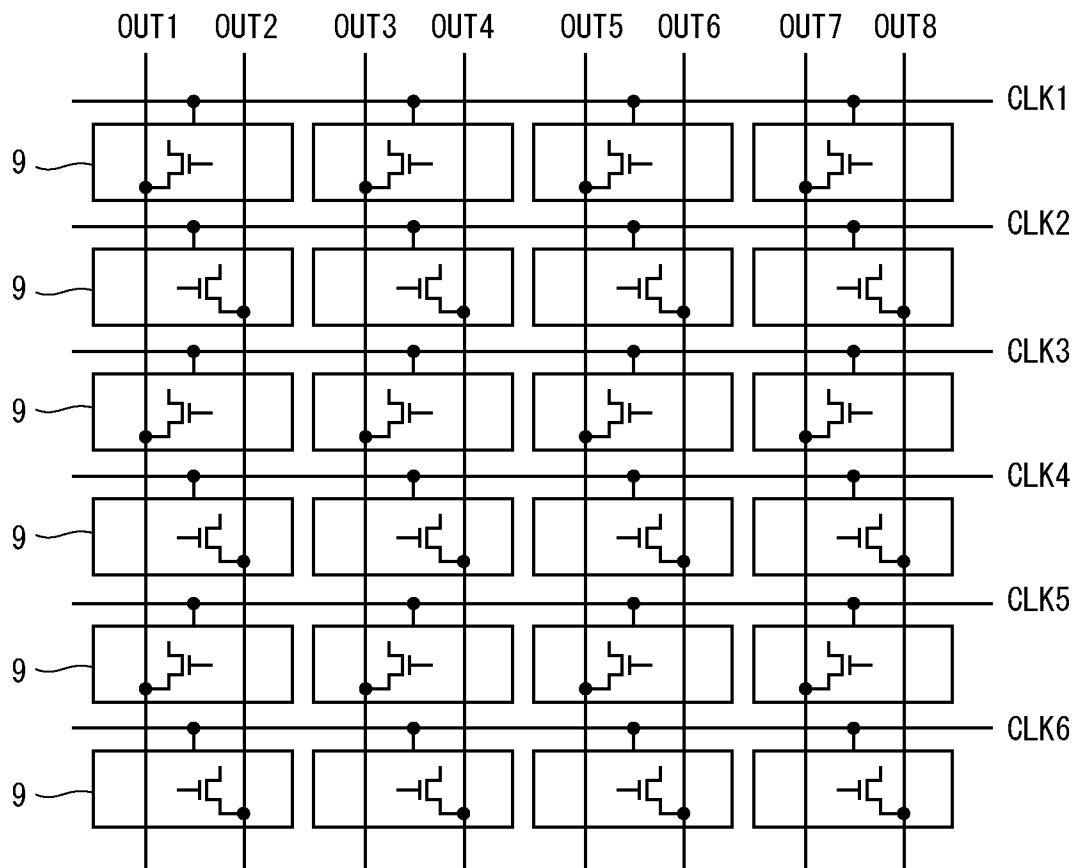
前記第1のスイッチング素子をオンにすると共に前記第2のスイッチング素子をオフして、前記第1の蓄積ノードにおいて前記受光素子で受光された光量に応じた電荷を蓄積すると同時に、前記第1の蓄積ノードにおいて前記蓄積期間に蓄積した電荷を前記第2の蓄積ノードへ転送する蓄積転送処理と、

前記第1のスイッチング素子をオフにすると共に前記第2のスイッチング素子をオフして、前記読み出しスイッチング素子をオンにして読み出しを行う読み出し処理とによってセンシングを行う、表示装置の駆動方法。

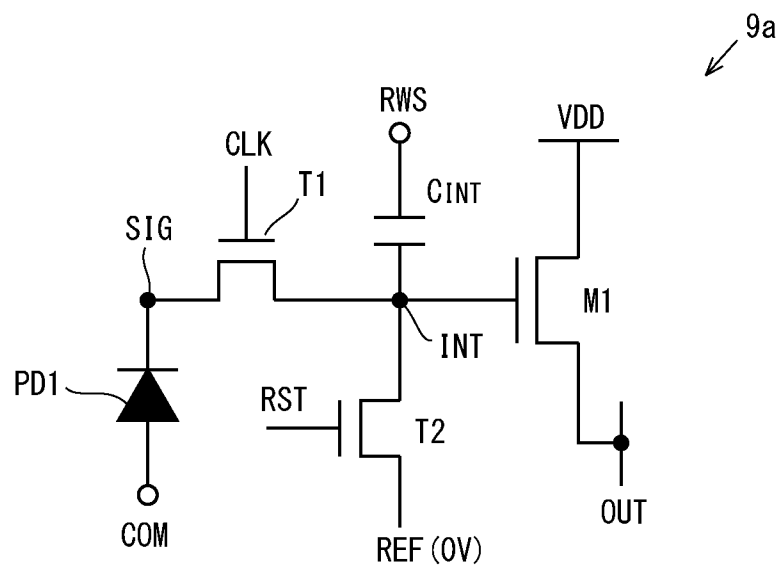
[図1]



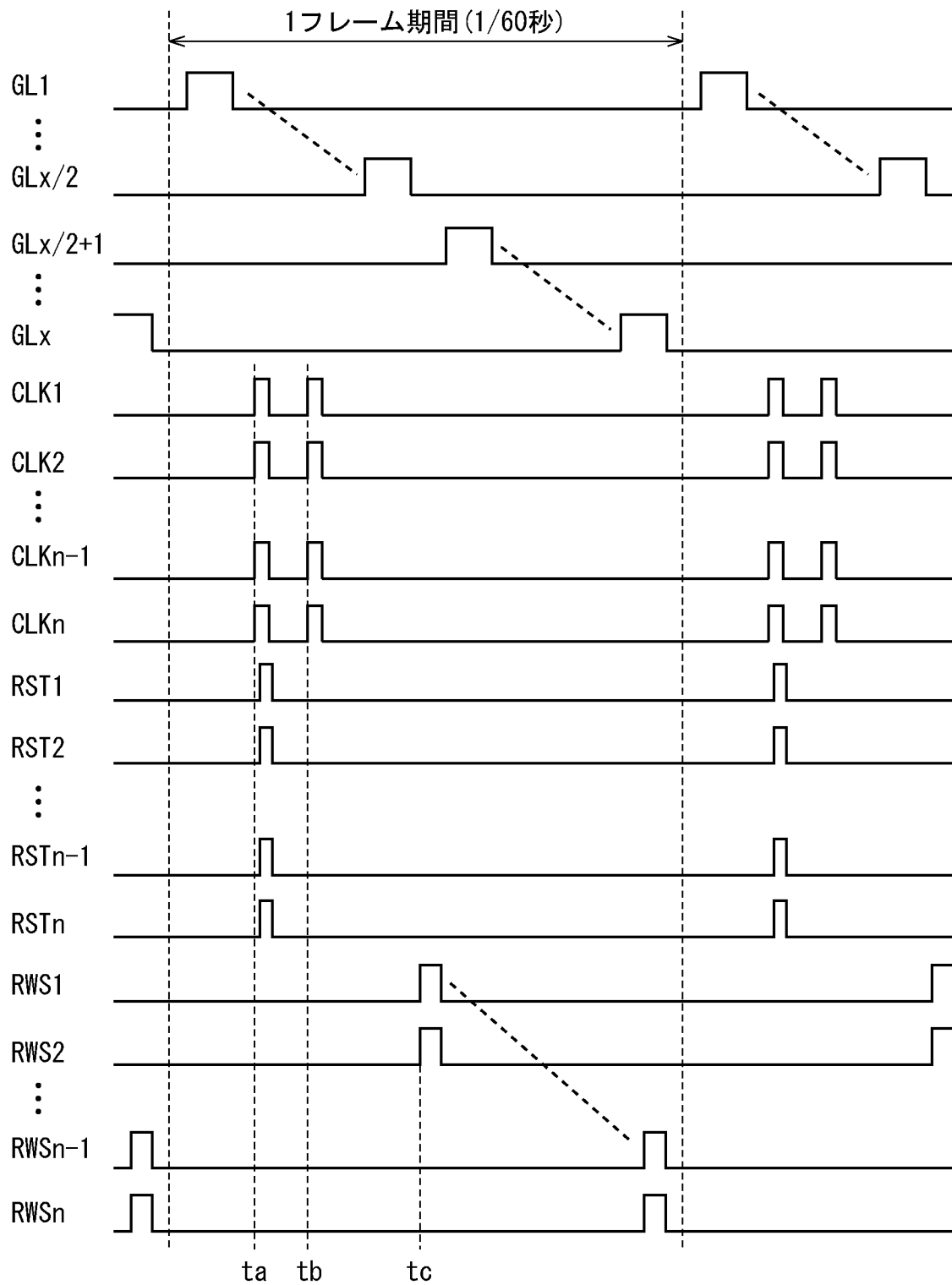
[図2]



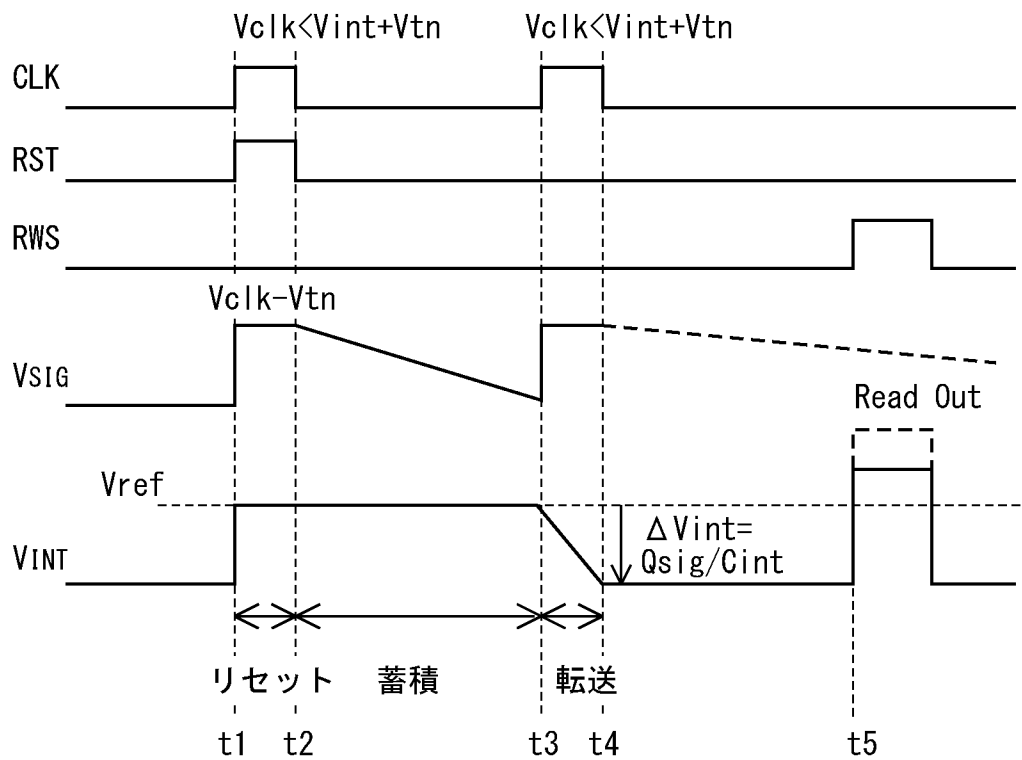
[図3]



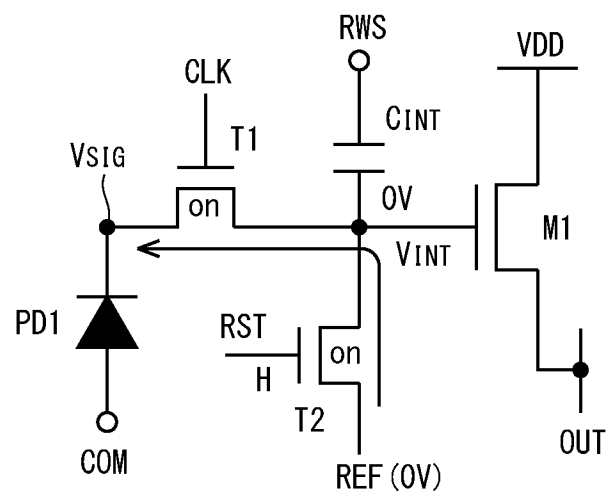
[図4]



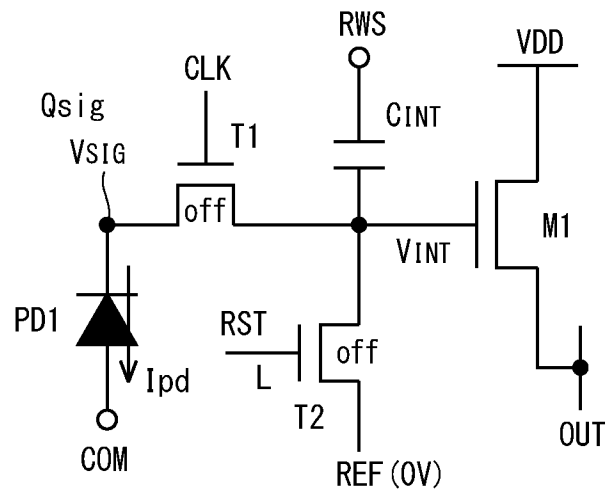
[図5]



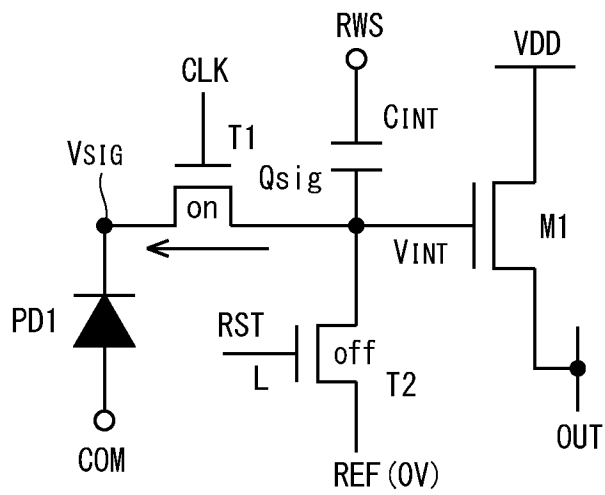
[図6A]



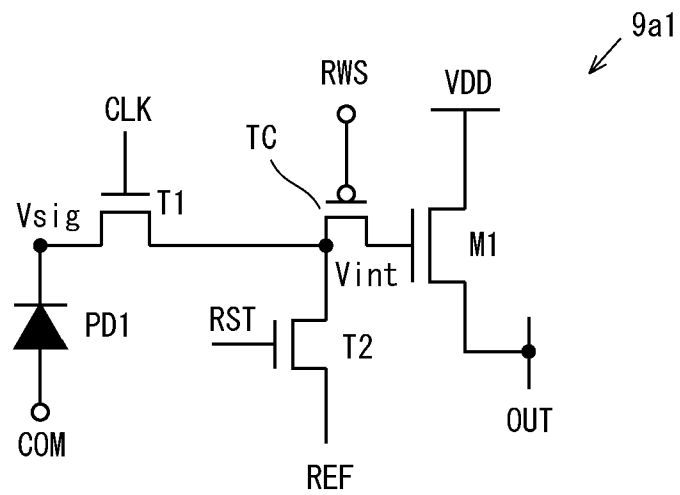
[図6B]

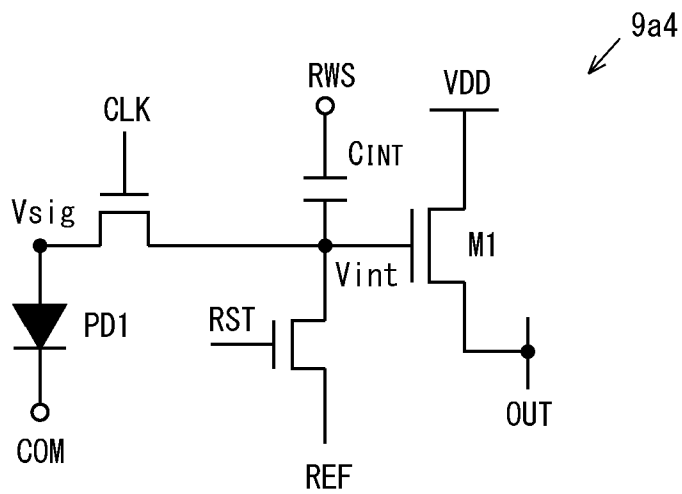
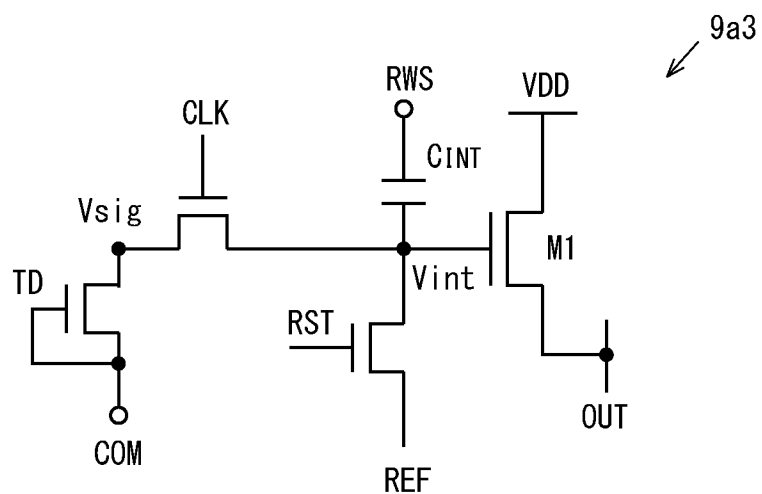
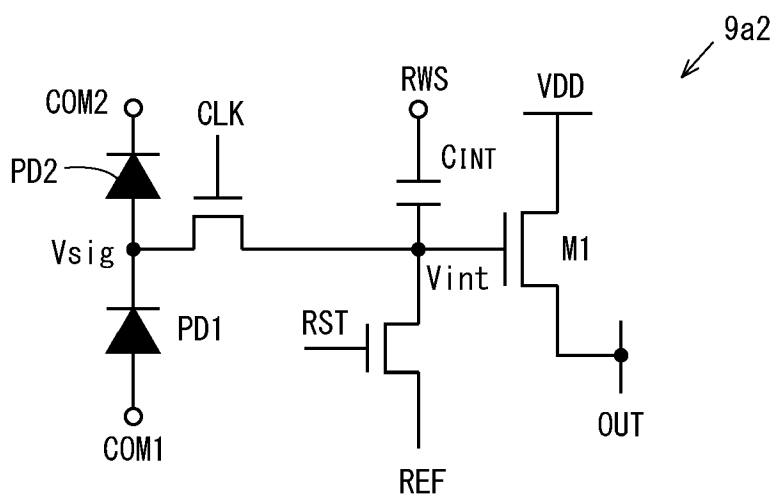


[図6C]

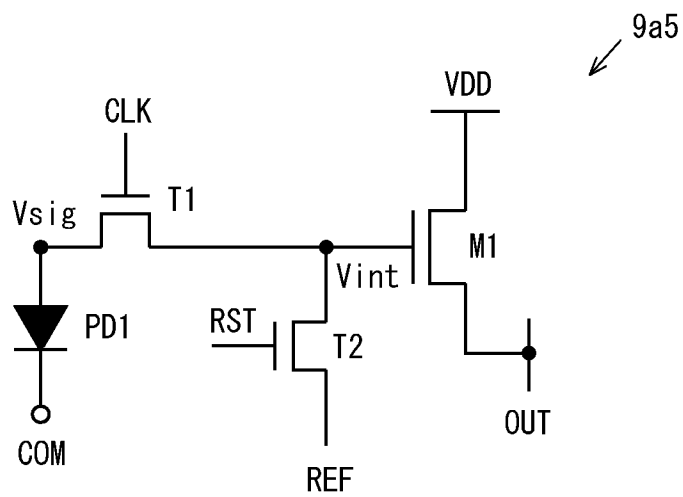


[図7]

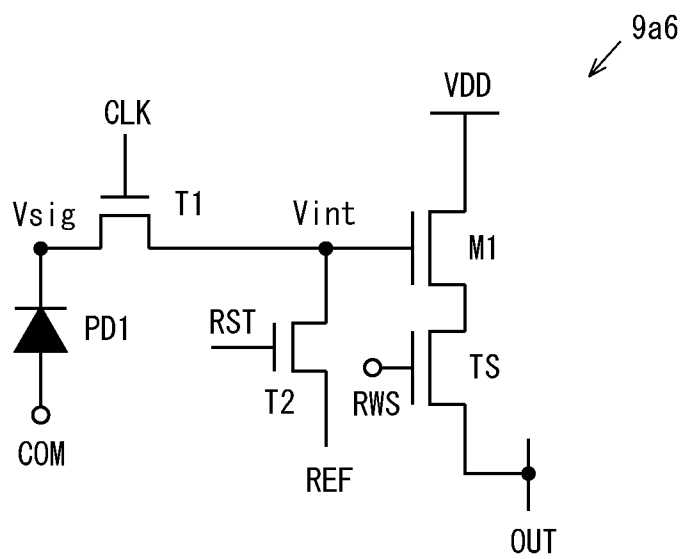




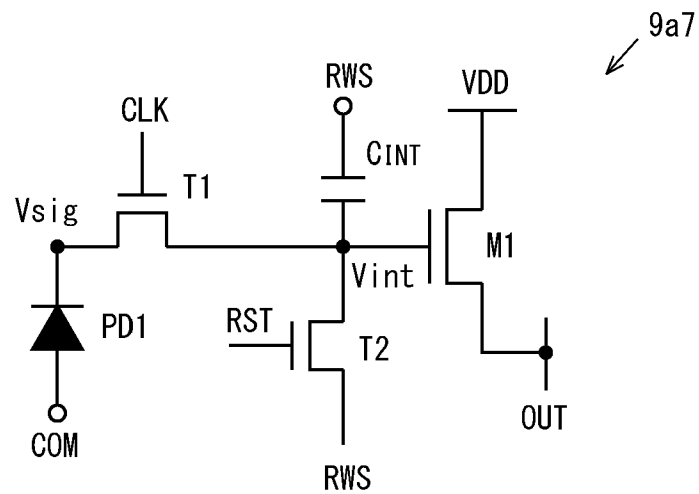
[図11]



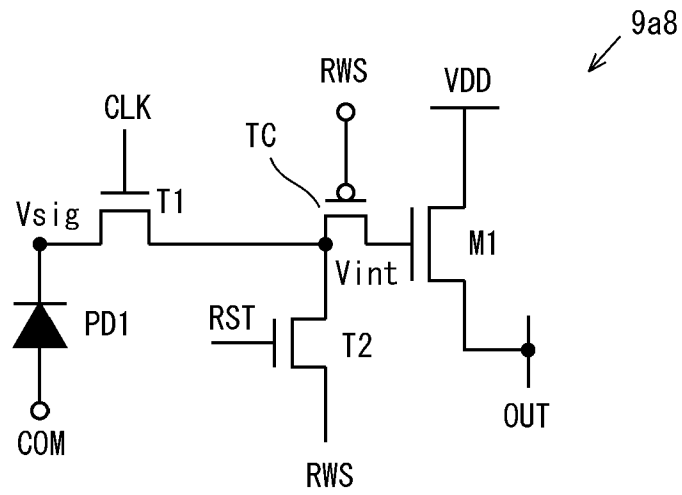
[図12]



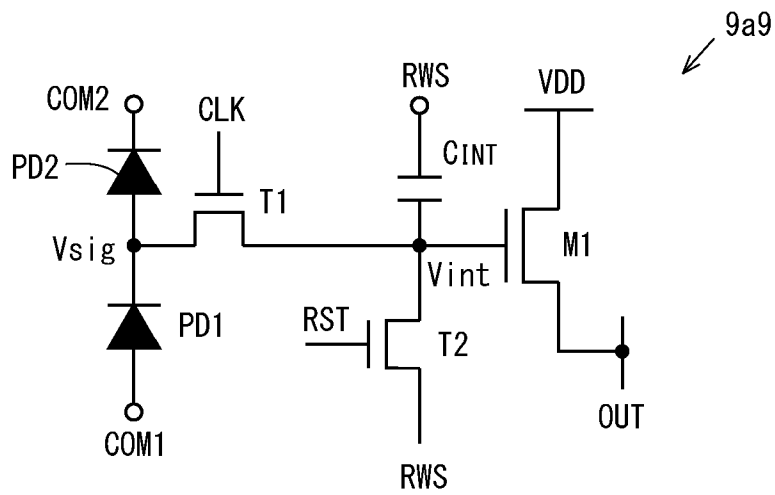
[図13]



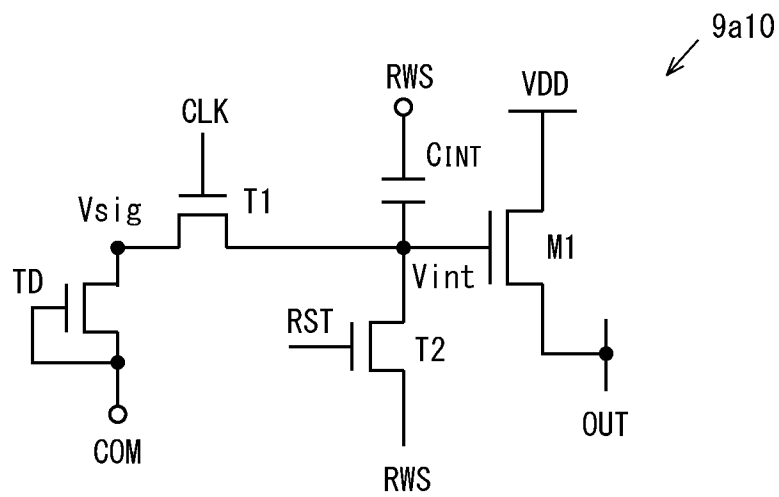
[図14]



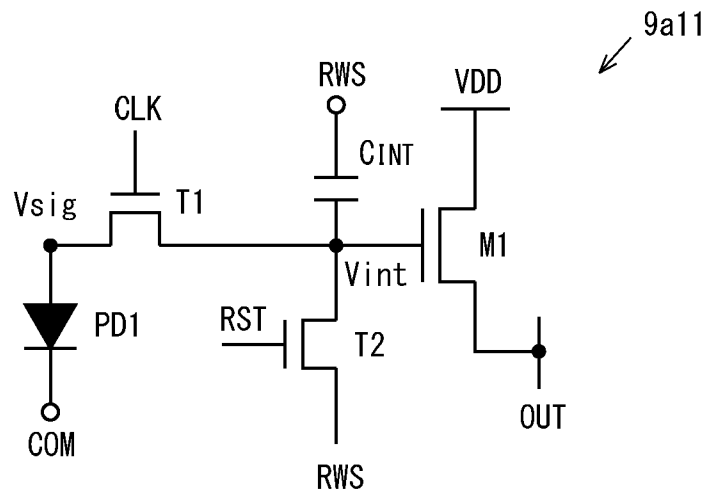
[図15]



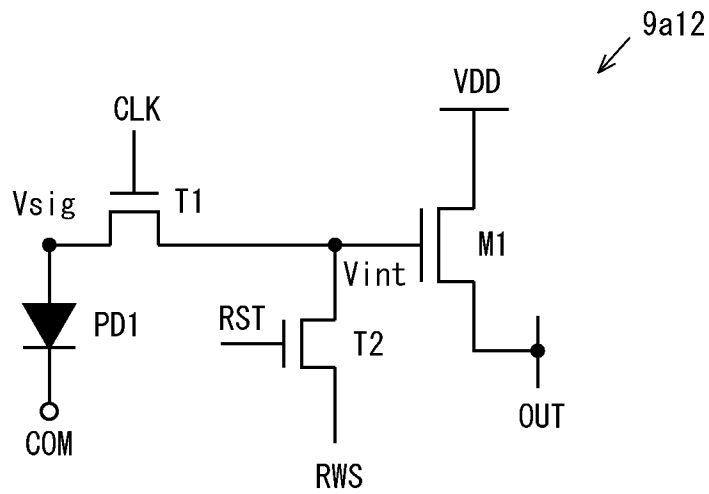
[図16]



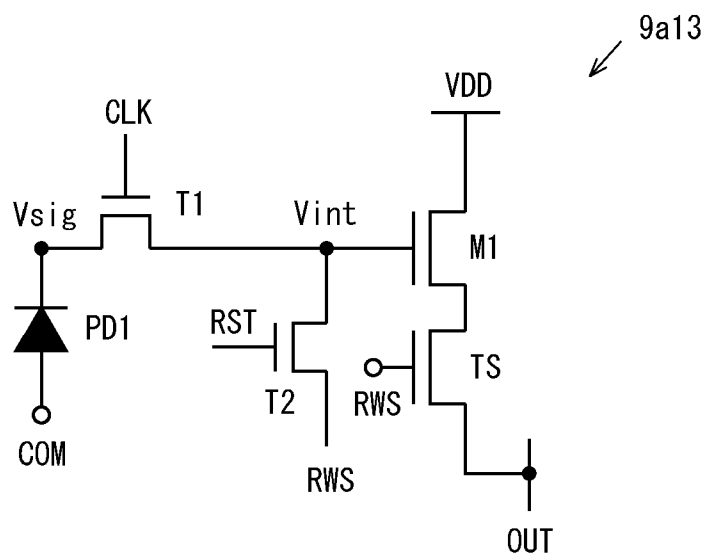
[図17]



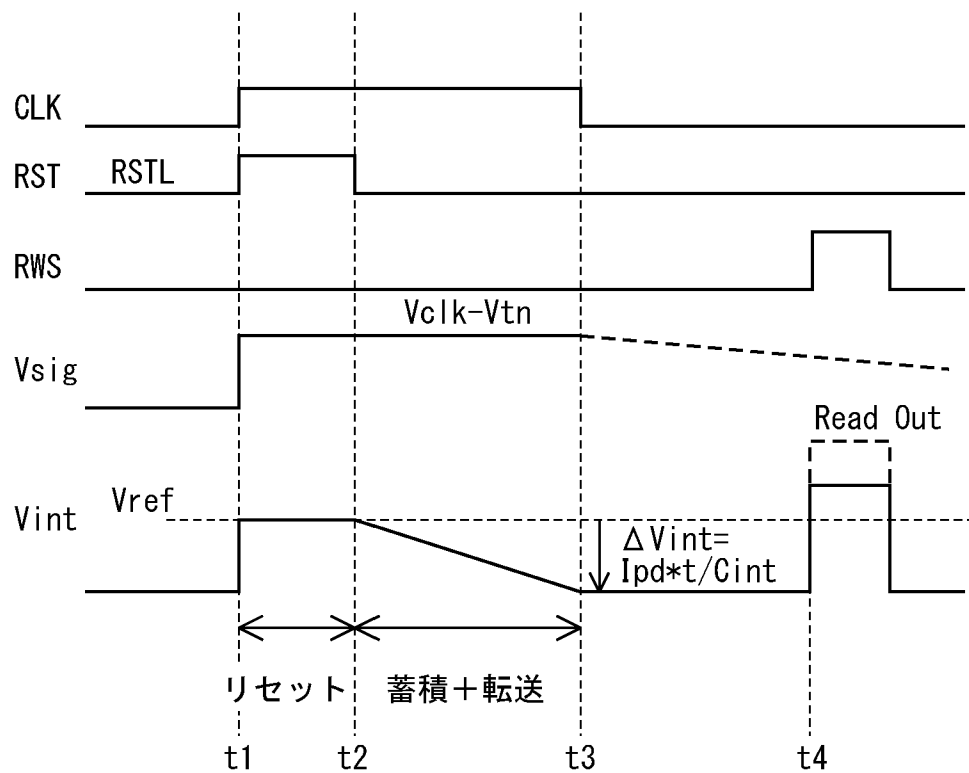
[図18]



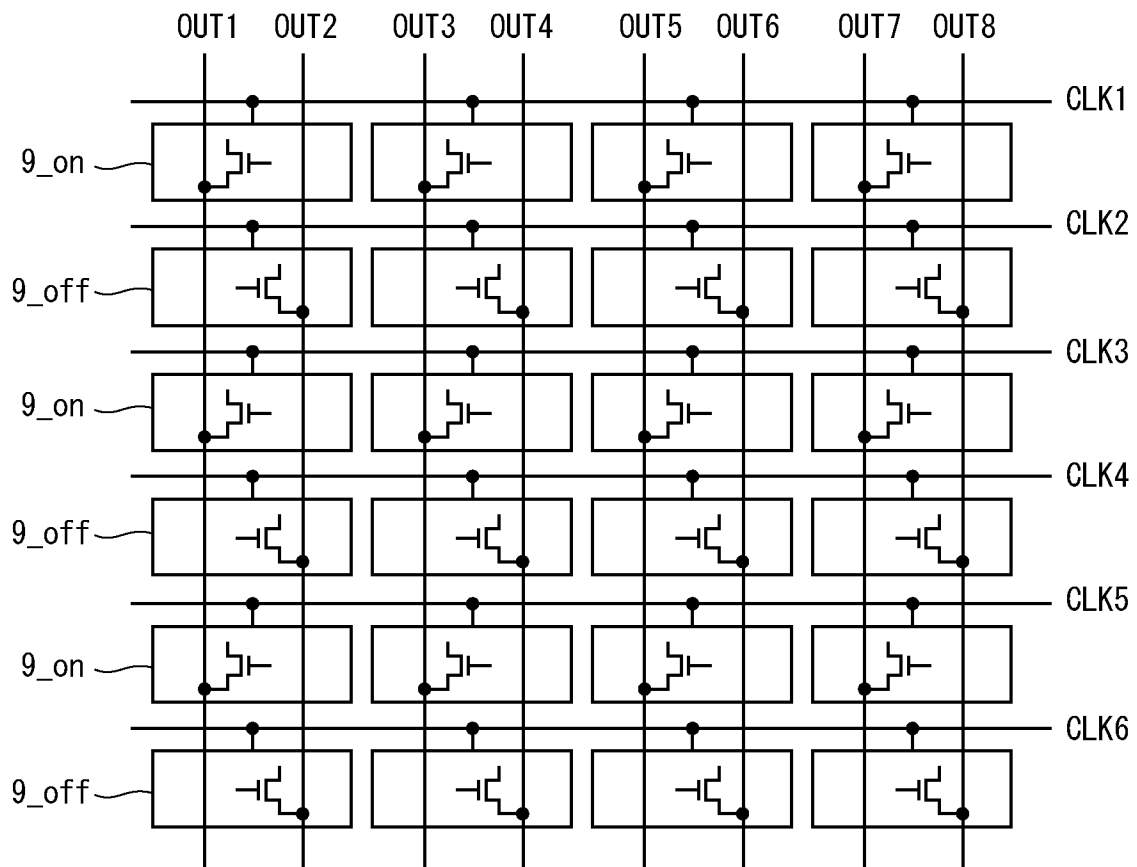
[図19]



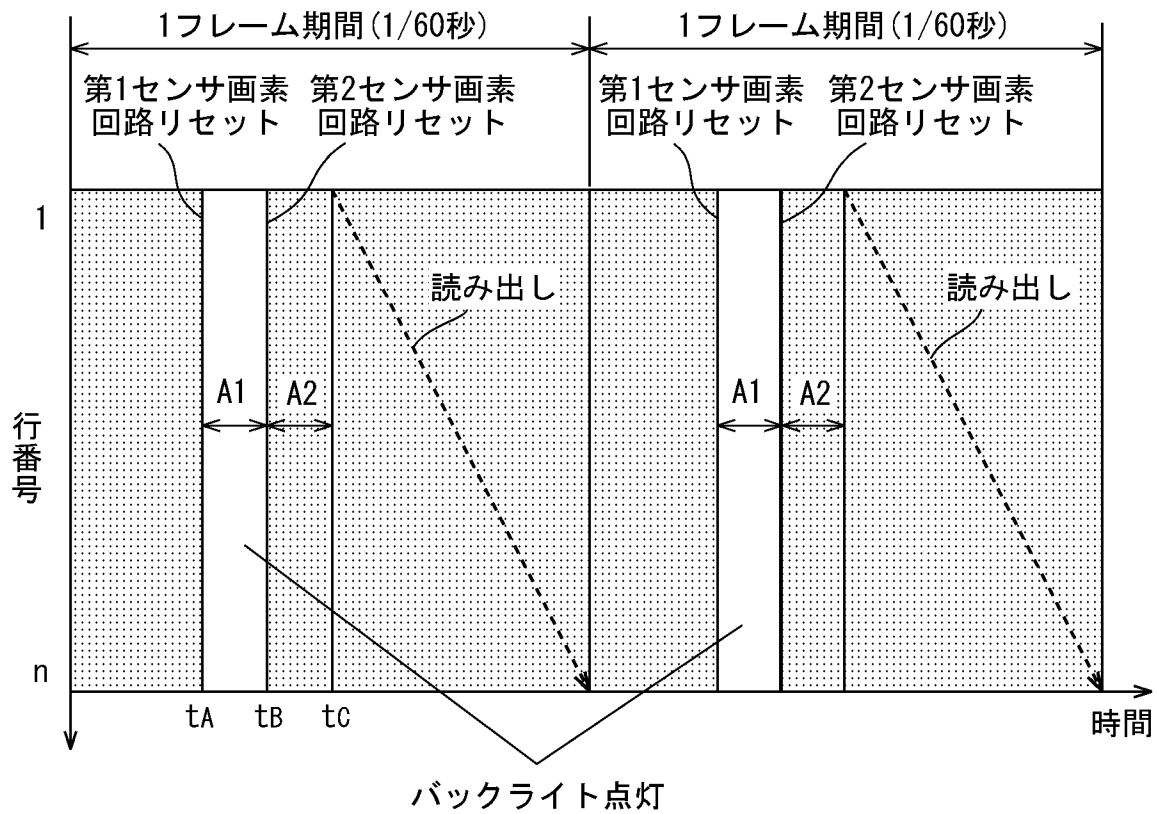
[図20]



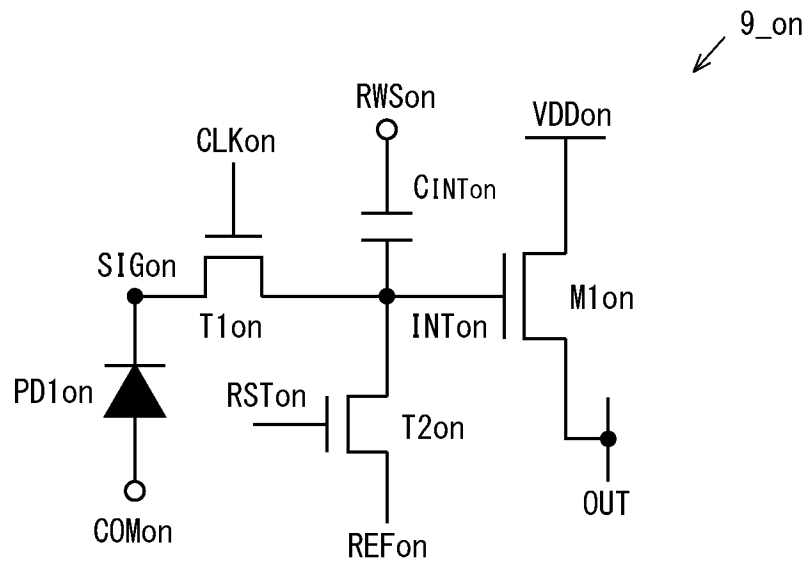
[図21]



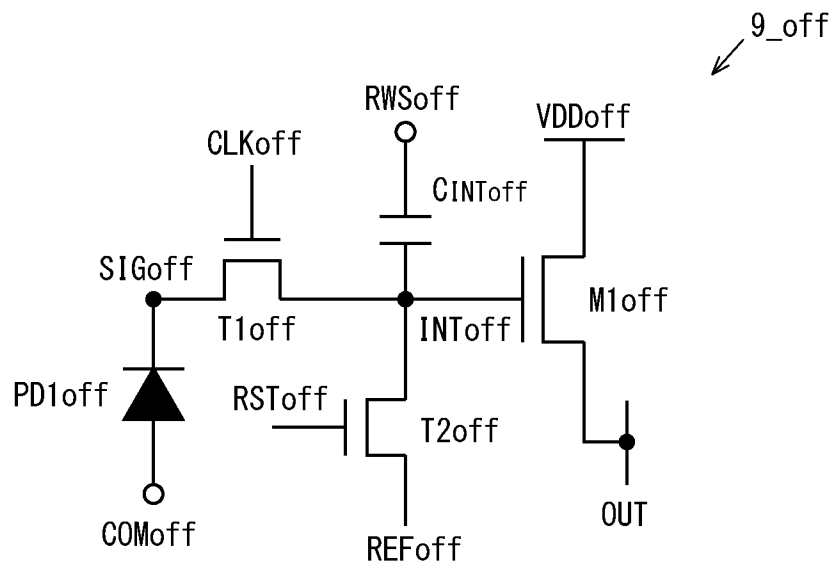
[図22]



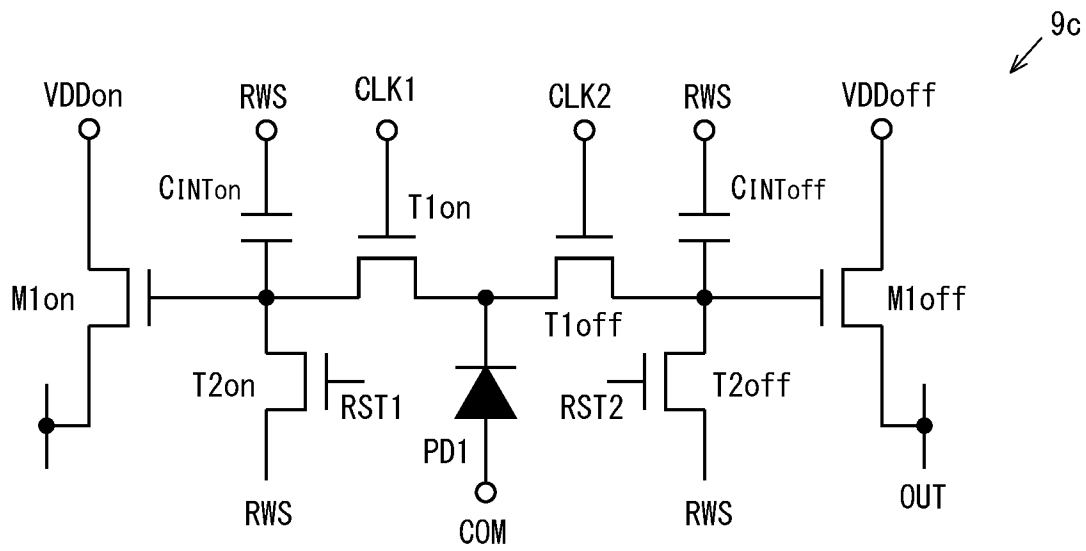
[図23A]



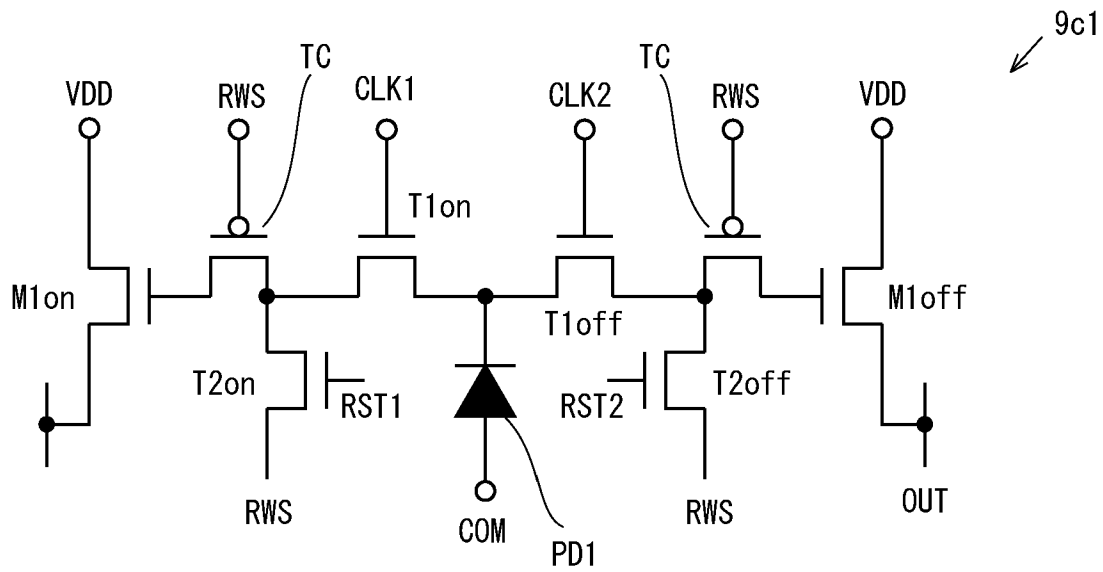
[図23B]



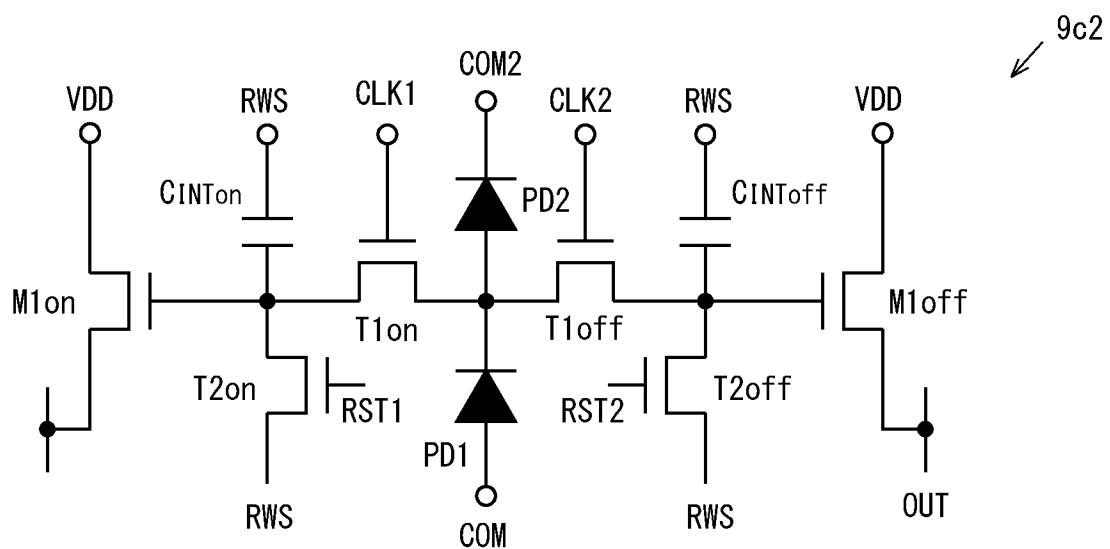
[図25]



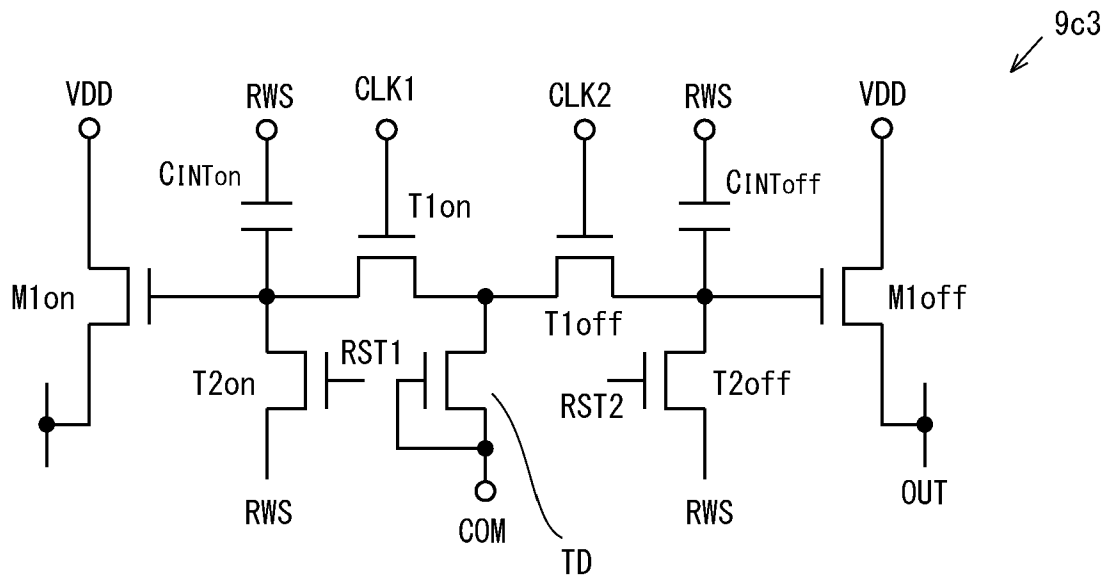
[図26]



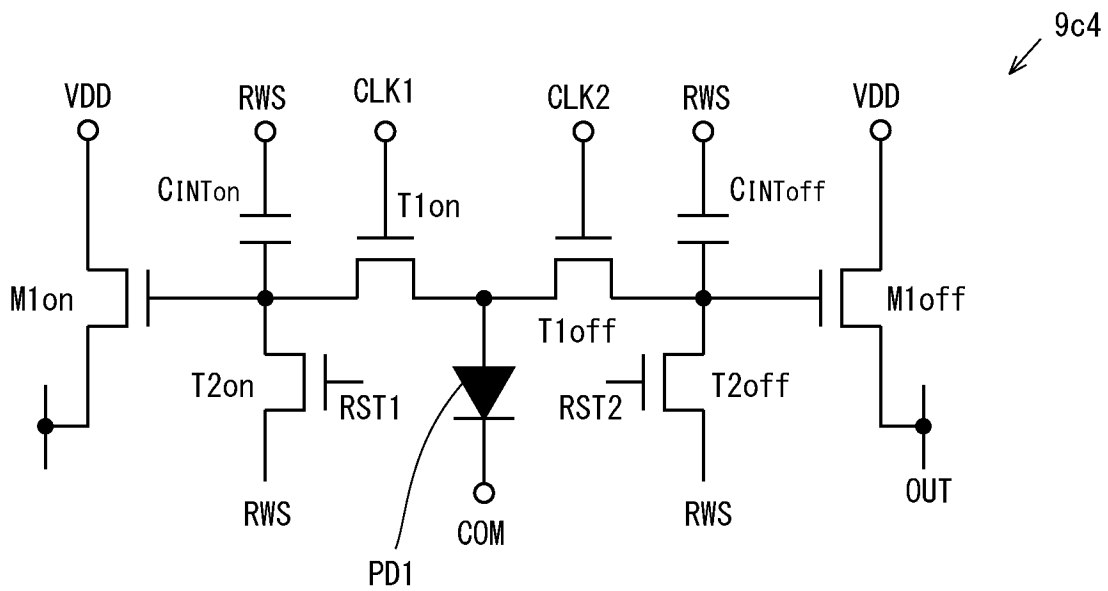
[図27]



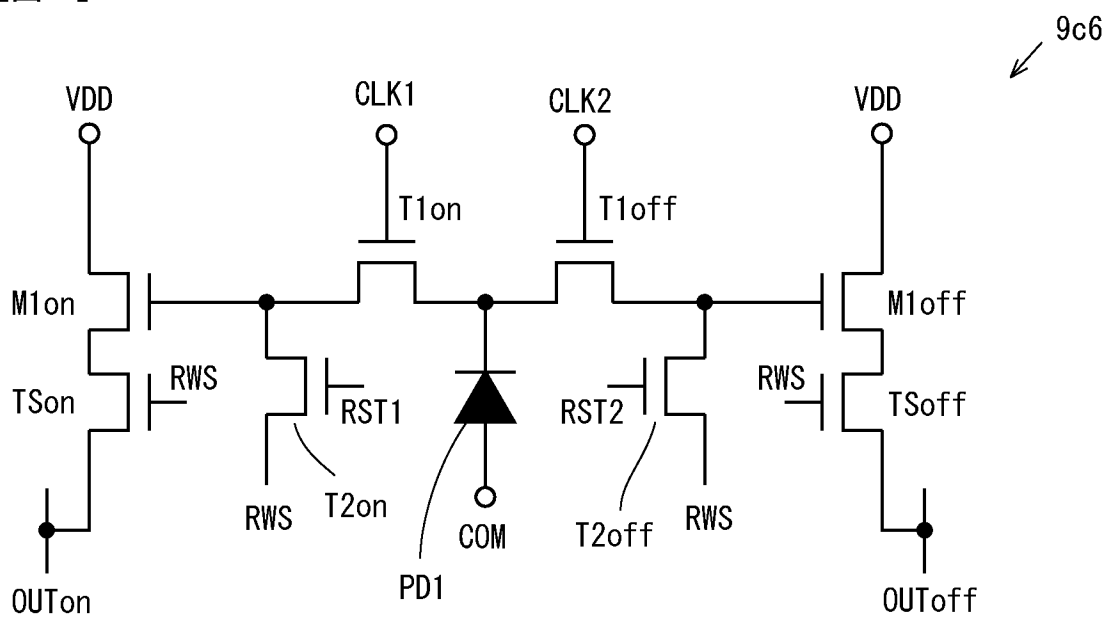
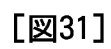
[図28]



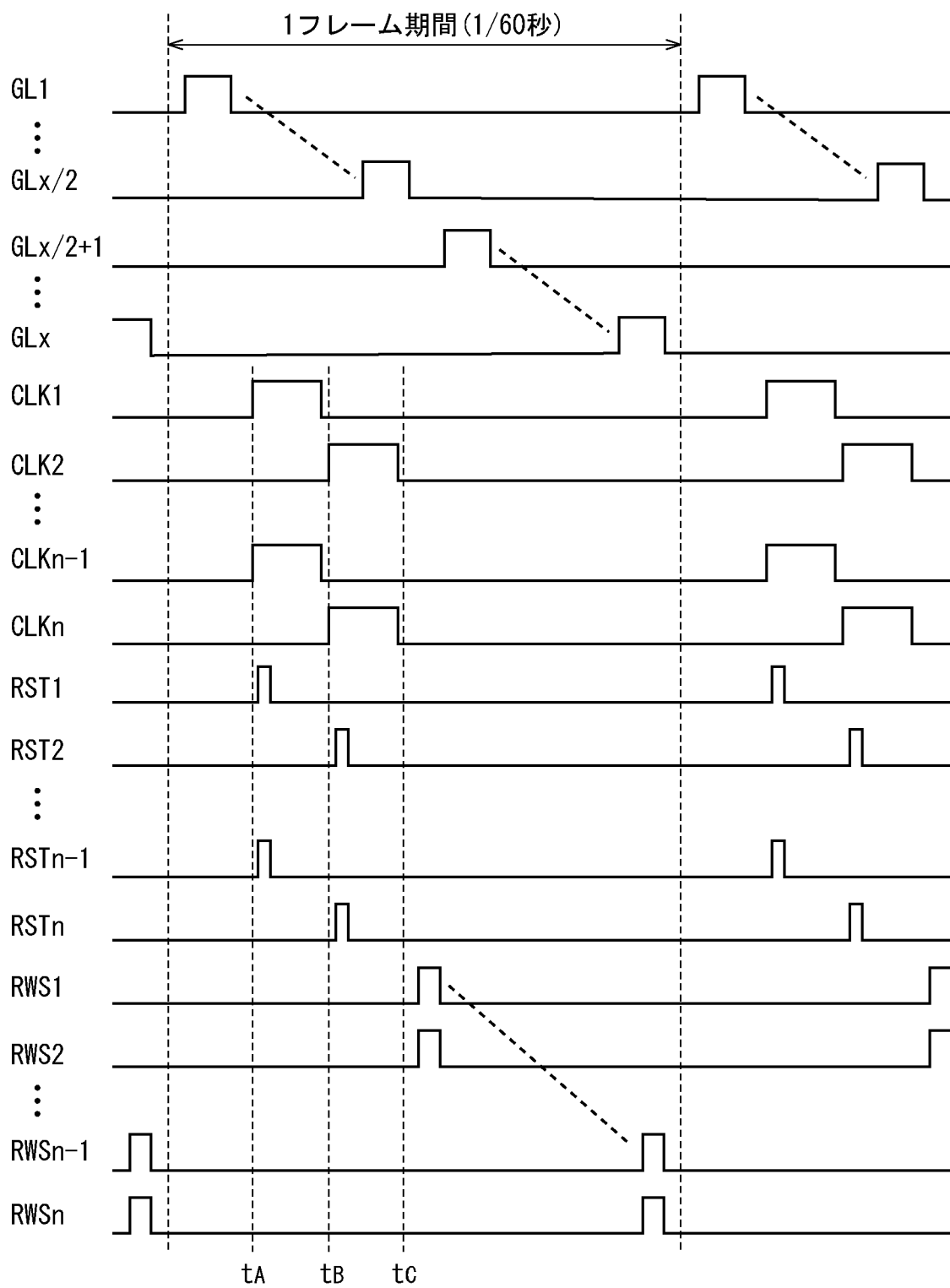
[図29]



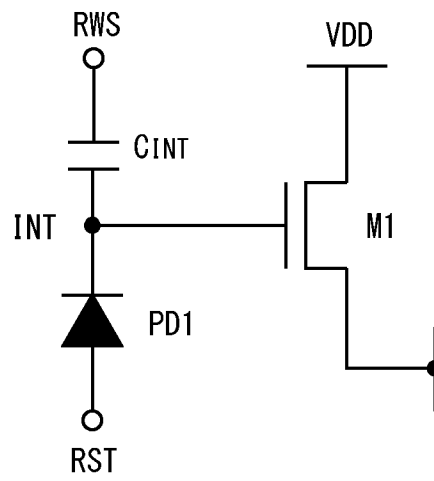
9c5



[図32]



[図33]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2011/066903

A. CLASSIFICATION OF SUBJECT MATTER

G06F3/042(2006.01)i, G02F1/133(2006.01)i, G06F3/041(2006.01)i, G09F9/00
(2006.01)i, G09F9/30(2006.01)i, G09G3/20(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G06F3/042, G02F1/133, G06F3/041, G09F9/00, G09F9/30, G09G3/20

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2011
Kokai Jitsuyo Shinan Koho	1971-2011	Toroku Jitsuyo Shinan Koho	1994-2011

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2008-102418 A (Toshiba Matsushita Display Technology Co., Ltd.), 01 May 2008 (01.05.2008), entire text; all drawings & US 2007/0182723 A1	1-14
A	JP 2005-176105 A (Canon Inc.), 30 June 2005 (30.06.2005), entire text; all drawings & US 2005/0128324 A1	1-14
A	JP 2006-217410 A (Tohoku University), 17 August 2006 (17.08.2006), entire text; all drawings (Family: none)	1-14

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
16 August, 2011 (16.08.11)

Date of mailing of the international search report
30 August, 2011 (30.08.11)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2011/066903

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2003-298940 A (Canon Inc.), 17 October 2003 (17.10.2003), entire text; all drawings & US 2003/0189159 A1 & US 2007/0120991 A1	1-14

A. 発明の属する分野の分類（国際特許分類（I P C））

Int.Cl. G06F3/042(2006.01)i, G02F1/133(2006.01)i, G06F3/041(2006.01)i, G09F9/00(2006.01)i, G09F9/30(2006.01)i, G09G3/20(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（I P C））

Int.Cl. G06F3/042, G02F1/133, G06F3/041, G09F9/00, G09F9/30, G09G3/20

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 1 1 年
日本国実用新案登録公報	1 9 9 6 - 2 0 1 1 年
日本国登録実用新案公報	1 9 9 4 - 2 0 1 1 年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2008-102418 A（東芝松下ディスプレイテクノロジー株式会社） 2008.05.01, 全文, 全図 & US 2007/0182723 A1	1-14
A	JP 2005-176105 A（キヤノン株式会社） 2005.06.30, 全文, 全図 & US 2005/0128324 A1	1-14
A	JP 2006-217410 A（国立大学法人東北大学） 2006.08.17, 全文, 全図（ファミリーなし）	1-14

☒ C 欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

1 6 . 0 8 . 2 0 1 1

国際調査報告の発送日

3 0 . 0 8 . 2 0 1 1

国際調査機関の名称及びあて先

日本国特許庁（I S A / J P）

郵便番号 1 0 0 - 8 9 1 5

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

森田 充功

5 E

3 6 5 5

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 5 2 1

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2003-298940 A (キヤノン株式会社) 2003.10.17, 全文, 全図 & US 2003/0189159 A1 & US 2007/0120991 A1	1-14