



(12) 发明专利

(10) 授权公告号 CN 102882512 B

(45) 授权公告日 2016. 01. 06

(21) 申请号 201210397425. 1

(22) 申请日 2007. 01. 15

(30) 优先权数据

11/402, 417 2006. 04. 11 US

(62) 分案原申请数据

200710001930. 9 2007. 01. 15

(73) 专利权人 阿尔特拉公司

地址 美国加利福尼亚

(72) 发明人 S·舒马拉耶夫 B·W·贝芮扎

C·H·李 R·H·帕特尔 W·王

(74) 专利代理机构 北京纪凯知识产权代理有限公司

公司 11245

代理人 赵蓉民

(51) Int. Cl.

H03K 19/177(2006. 01)

(56) 对比文件

US 2001/0033188 A1, 2001. 10. 25, 全文.

EP 1248372 A2, 2002. 10. 09, 全文.

CN 1585273 A, 2005. 02. 23, 全文.

EP 1133123 B1, 2006. 11. 15, 全文.

审查员 刘凤娇

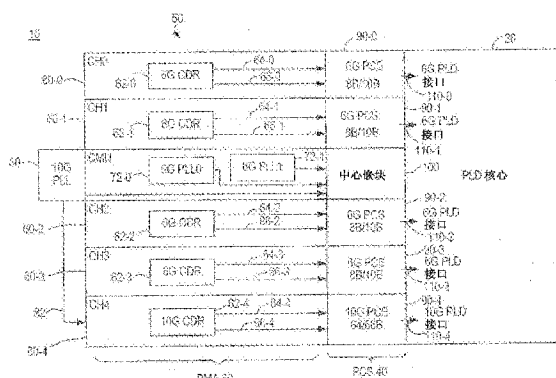
权利要求书5页 说明书6页 附图3页

(54) 发明名称

用于可编程逻辑器件的宽范围可编程能力的
异构收发器体系结构

(57) 摘要

可编程逻辑器件(PLD)上的高速串行数据收发器电路系统,其包括:一些能以高达第一较低最大数据率的数据率工作的信道,和其他能以高达第二较高最大数据率的数据率工作的信道。速度较低的信道是由速度较低的锁相环(PLL)电路系统提供,并且具有处理以较低数据率发射的数据所需的其他电路组件。速度较高的信道是由速度较高的PLL提供的,并且具有处理以较高数据率发射的数据所需的其他电路组件。



1. 一种用于可编程逻辑器件上的串行数据接收器,所述串行数据接收器包括:

多个第一信道,每个第一信道具有 6Gbps 串行比特率工作范围,其中所述多个第一信道中的每一个被配置为接收串行比特率高达所述 6Gbps 串行比特率工作范围的串行数据信号,

第二信道,其具有 10Gbps 串行比特率工作范围,其中所述第二信道被配置为接收具有所述 10Gbps 串行比特率的串行数据信号,所述 10Gbps 串行比特率超过所述多个第一信道中的每一个的所述 6Gbps 串行比特率工作范围,

至少一个锁相环电路,其供应第一、第二和第三时钟信号;

时钟信号分配电路系统,其包括:

一组第一导体,其将所述第一、第二和第三时钟信号分配给所述多个第一信道;和

用于允许所述多个第一信道中的每一个选择所述第一、第二或第三时钟信号以便该信道使用的电路,和

不同于该组第一导体的第二导体,其将所述第三时钟信号分配给所述第二信道。

2. 根据权利要求 1 所述的串行数据接收器,其中所述第一时钟信号适合于所述 6Gbps 串行比特率工作范围,而所述第三时钟信号适合于所述 10Gbps 串行比特率工作范围。

3. 根据权利要求 2 所述的串行数据接收器,其中所述时钟信号分配电路系统包括专用于传输所述第二时钟信号至所述第二信道的电路系统。

4. 根据权利要求 1 所述的串行数据接收器,其中所述第二信道被配置为接收所述第三时钟信号而不接收所述第一时钟信号。

5. 根据权利要求 1 所述的串行数据接收器,其中所述至少一个锁相环电路包括:

第一锁相环电路,其提供所述第一时钟信号;

第二锁相环电路,其提供所述第二时钟信号;和

第三锁相环电路,其提供所述第三时钟信号。

6. 根据权利要求 1 所述的串行数据接收器,其中:

所述多个第一信道中的一个信道进一步包括第一发射器电路,其中所述第一发射器电路被配置成将并行数据转换为串行数据,以便以所述 6Gbps 串行比特率工作范围传输;和

所述第二信道进一步包括第二发射器电路,其中所述第二发射器电路被配置成将并行数据转换为串行数据,以便以所述 10Gbps 串行比特率工作范围传输。

7. 根据权利要求 6 所述的串行数据接收器,其中:

所述多个第一信道中的一个信道进一步包括第一编码器电路系统和第一解码器电路系统,所述第一编码器电路系统和第一解码器电路系统被配置成工作在所述 6Gbps 串行比特率工作范围,其中所述第一编码器电路系统的输出耦合于所述第一发射器电路,并且所述第一解码器电路系统的输入耦合为接收所述多个第一信道中的所述一个信道的第一时钟数据恢复电路的输出;以及

所述第二信道进一步包括第二编码器电路系统和第二解码器电路系统,所述第二编码器电路系统和第二解码器电路系统被配置成工作在所述 10Gbps 串行比特率工作范围,其中所述第二编码器电路系统的输出耦合于所述第二发射器电路,并且所述第二解码器电路系统的输入耦合为接收所述第二信道的第二时钟数据恢复电路系统的输出。

8. 根据权利要求 1 所述的串行数据接收器,其中所述时钟信号分配电路系统包括:

与所述多个第一信道中的第一个信道关联的第一可编程元件,其中所述第一可编程元件可编程控制以将所述多个第一信道中的所述第一个信道连接至所述第一导体中的一个导体。

9. 根据权利要求 1 所述的串行数据接收器,进一步包括:

物理编码子层,其包括 6Gbps 的 10 比特到 8 比特的解码器电路系统,其中所述物理编码子层耦合于所述多个第一信道和所述第二信道,其中所述物理编码子层的第一部分包括能够工作于所述 6Gbps 串行比特率工作范围的电路系统,并且所述物理编码子层的第二部分包括能够工作于所述 10Gbps 串行比特率工作范围的电路系统,其中所述第一部分耦合于所述多个第一信道,而所述第二部分耦合于所述第二信道;以及

耦合于所述物理编码子层的可编程逻辑器件。

10. 一种用于操作可编程逻辑器件上的可编程串行数据接收器的方法,所述方法包括:

提供多个信道,其中

第一组多个信道适于接收串行比特率高达 6Gbps 最大比特率的串行数据信号;

第二组多个信道适于接收串行比特率高达 10Gbps 最大比特率的串行数据信号;

所述 10Gbps 最大比特率高于所述 6Gbps 最大比特率;

提供至少一个锁相环电路,所述至少一个锁相环电路供应第一、第二和第三时钟信号;

提供时钟信号分配电路系统,其包括:

一组第一导体,其适于分配所述第一、第二和第三时钟信号给所述第一组多个信道;和
用于允许所述第一组多个信道中的每一个选择所述第一、第二或第三时钟信号以便该信道使用的电路系统,和

提供不同于该组第一导体的第二导体,所述第二导体将所述第三时钟信号分配给所述第二组多个信道。

11. 根据权利要求 10 所述的方法,进一步包括:

产生多个第一时钟信号,所述第一时钟信号中的每一个适合于由工作在高达所述 6Gbps 最大比特率的比特率的所述第一组信道使用;

产生所述第二时钟信号,所述第二时钟信号适合于由工作在高达所述 10Gbps 最大比特率的比特率的所述第二组信道使用;

选择性地提供所述第一时钟信号和所述第二时钟信号中的任意一个至所述第一组信道;和

耦合所述第二组信道至所述第二时钟信号。

12. 根据权利要求 11 所述的方法,其中所述第二组信道中的每一个被配置成接收所述第三时钟信号而不接收所述第一时钟信号。

13. 根据权利要求 10 所述的方法,进一步包括:

在所述第一组信道中的每一个信道内将并行数据转换为串行数据,以便以所述 6Gbps 最大比特率传输;和

在所述第二组信道中的每一个信道内将并行数据转换为串行数据,以便以所述 10Gbps 最大比特率传输。

14. 一种用于可编程逻辑器件上的串行数据接收器,所述串行数据接收器包括:

第一电路系统,其包括:

四个信道,每个信道包括适于工作在 6Gbps 的第一串行数据率的时钟数据恢复电路;

第五信道,其包括适于工作在 10Gbps 的第二串行数据率的时钟数据恢复电路;和

时钟管理单元,其包括第一和第二锁相环电路以及第三锁相环电路,所述第一和第二锁相环电路产生各自的第一和第二时钟信号,所述第一和第二时钟信号具有匹配所述四个信道的频率,所述第三锁相环电路产生第三时钟信号,所述第三时钟信号具有匹配所述第五信道的频率;

耦合于所述第一电路系统的第二电路系统,所述第二电路系统包括:

四个电路,每个电路包括适于工作在 6Gbps 的数据率下的解码电路系统,其中所述四个电路中的每一个耦合于所述四个信道中相应的一个信道;和

第五电路,其包括适于工作在 10Gbps 的数据率下的解码电路系统,其中所述第五电路耦合于所述第五信道;

耦合于所述时钟管理单元的时钟信号分配电路系统,其中所述时钟信号分配电路系统包括:

一组第一导体,其分配所述第一、第二和第三时钟信号给所述四个信道;和

用于允许所述四个信道中的每一个选择所述第一、第二或第三时钟信号以便该信道使用的电路系统;和

不同于该组第一导体的第二导体,其分配所述第三时钟信号给所述第五信道。

15. 根据权利要求 14 所述的串行数据接收器,其中

该组第一导体包括:

耦合于所述第一时钟信号的第三导体;

耦合于所述第二时钟信号的第四导体;和

耦合于所述第三时钟信号的第五导体;和

所述用于允许所述四个信道中的每一个选择所述第一、第二或第三时钟信号的电路系统包括与所述四个信道中的每一个信道关联的可编程元件,其中所述可编程元件可编程控制以将所述四个信道中所述相应的一个信道连接至:(1) 所述第三导体;(2) 所述第四导体;或(3) 所述第五导体。

16. 根据权利要求 14 所述的串行数据接收器,其中第一对信道包括四个信道中的两个,其彼此相邻,并且所述第一对信道中的一个信道与所述时钟管理单元相邻。

17. 根据权利要求 16 所述的串行数据接收器,其中第二对信道包括所述四个信道中不属于所述第一对信道的另外两个信道,其彼此相邻;

所述第二对信道中的第一信道与所述时钟管理单元相邻;并且

所述第二对信道中的第二信道与所述第五信道相邻。

18. 根据权利要求 14 所述的串行数据接收器,进一步包括可编程逻辑器件核心电路系统,其可编程控制以连接至所述四个信道和所述第五信道。

19. 根据权利要求 14 所述的串行数据接收器,其中所述四个信道中的每个信道包括可工作在匹配所述四个信道的频率下的发射电路系统,并且所述第五信道包括可工作在匹配所述第五信道的频率下的发射电路系统。

20. 一种用于可编程逻辑器件上的串行数据接收器,所述串行数据接收器包括:

多个信道,每个信道具有串行比特率工作范围,其中所述多个信道中的每一个可操作用于接收串行数据信号并工作在串行比特率工作范围,并且其中所述多个信道中的第一信道的第一串行比特率工作范围的最大值超过所述多个信道中的第二信道的第二串行比特率工作范围的最大值;

至少一个锁相环电路,其供应第一、第二和第三时钟信号;

一组第一导体,其将所述第一和第二时钟信号分配给所述第二信道;

第二导体,其分配所述第二时钟信号给所述第一信道;和

用于允许所述第二信道选择所述第一时钟信号或所述第二时钟信号以便由所述第二信道使用的电路系统。

21. 根据权利要求 20 所述的串行数据接收器,其中所述第一时钟信号适合于高达 6Gbps 串行比特率工作范围,并且所述第二时钟信号适合于高达 10Gbps 串行比特率工作范围,并且其中所述第二时钟信号适合于超过所述第一时钟信号适合的串行比特率工作范围的串行比特率工作范围。

22. 根据权利要求 20 所述的串行数据接收器,其中所述第一信道可操作用于接收所述第二时钟信号而不接收所述第一时钟信号。

23. 根据权利要求 20 所述的串行数据接收器,进一步包括:

第一锁相环电路,其提供所述第一时钟信号;和

第二锁相环电路,其提供所述第二时钟信号。

24. 根据权利要求 20 所述的串行数据接收器,进一步包括:

与所述第二信道关联的可编程元件,其中所述可编程元件可编程控制以将所述第二信道连接至所述第一导体中的一个。

25. 根据权利要求 20 所述的串行数据接收器,其中所述第一信道的所述第一串行比特率工作范围是 10Gbps,并且所述第二信道的所述第二串行比特率工作范围是 6Gbps。

26. 根据权利要求 20 所述的串行数据接收器,其中所述第一信道的所述第一串行比特率工作范围为高达 10Gbps,并且所述第二信道的所述第二串行比特率工作范围是高达 6Gbps。

27. 根据权利要求 20 所述的串行数据接收器,其中:

所述多个信道中的第三信道可操作以工作在所述第二串行比特率工作范围;

该组第一导体分配所述第一时钟信号和第三时钟信号给所述第三信道;和

所述电路系统允许所述第三信道选择所述第一时钟信号或所述第三时钟信号以便由所述第三信道使用。

28. 根据权利要求 20 所述的串行数据接收器,其中所述第一串行比特率工作范围是所述第一信道的最大串行比特率工作范围,并且所述第二串行比特率工作范围是所述第二信道的最大串行比特率工作范围。

29. 根据权利要求 20 所述的串行数据接收器,其中所述第一信道包括可操作以工作在所述第一串行比特率工作范围的第一时钟数据恢复电路,并且所述第二信道包括可操作以工作在所述第二串行比特率工作范围的不同的第二时钟数据恢复电路。

30. 一种用于配置可编程逻辑器件中的多个收发器信道的方法,所述方法包括:

将所述多个收发器信道中的第一信道配置为接收串行数据信号,其中所述第一信道的第一串行比特率工作范围的最大值超过所述多个收发器信道中的第二信道的第二串行比特率工作范围的最大值;

将至少一个锁相环电路配置为供应第一和第二时钟信号;

将所述第一和第二时钟信号分配给所述第二信道;

将所述第二时钟信号配置为耦合于所述第一信道;和

允许所述第二信道选择所述第一时钟信号或所述第二时钟信号以便由所述第二信道使用。

31. 根据权利要求 30 所述的方法,其中所述第一时钟信号适合于高达 6Gbps 串行比特率工作范围,并且所述第二时钟信号适合于高达 10Gbps 串行比特率工作范围,其中所述第二时钟信号适合于超过所述第一时钟信号适合的串行比特率工作范围的串行比特率工作范围。

32. 根据权利要求 30 所述的方法,其中所述第一信道可操作用于接收所述第二时钟信号而不是所述第一时钟信号。

33. 根据权利要求 30 所述的方法,进一步包括:

用第一锁相环电路产生所述第一时钟信号;和

用第二锁相环电路产生所述第二时钟信号。

34. 根据权利要求 30 所述的方法,其中所述第一信道的所述第一串行比特率工作范围是 10Gbps,而所述第二信道的所述第二串行比特率工作范围是 6Gbps。

35. 根据权利要求 30 所述的方法,其中所述第一信道的所述第一串行比特率工作范围是高达 10Gbps,而所述第二信道的所述第二串行比特率工作范围是高达 6Gbps。

36. 根据权利要求 30 所述的方法,其中所述多个收发器信道中的第三信道可操作以工作在所述第二串行比特率工作范围,所述方法进一步包括:

将所述至少一个锁相环电路配置为提供第三时钟信号;

将所述第一时钟信号和所述第三时钟信号分配给所述第三信道;和

允许所述第三信道选择所述第一时钟信号或所述第三时钟信号以便由所述第三信道使用。

37. 根据权利要求 30 所述的方法,其中所述第一串行比特率工作范围是所述第一信道的最大串行比特率工作范围,而所述第二串行比特率工作范围是所述第二信道的最大串行比特率工作范围。

38. 根据权利要求 30 所述的方法,其中所述第一信道包括可操作以工作在所述第一串行比特率工作范围的第一时钟数据恢复电路,并且所述第二信道包括可操作以工作在所述第二串行比特率工作范围的不同的第二时钟数据恢复电路

39. 根据权利要求 30 所述的方法,进一步包括将所述第一时钟信号和所述第二时钟信号配置为选择性地提供给所述第二信道。

用于可编程逻辑器件的宽范围可编程能力的异构收发器体系结构

[0001] 本申请是分案申请,原申请的申请日为2007年1月15日,申请号为200710001930.9,发明名称为“用于可编程逻辑器件的宽范围可编程能力的异构收发器体系结构”。

技术领域

[0002] 本发明涉及可编程逻辑器件集成电路和大体类似的电路系统,本文将它们都统称为可编程逻辑器件或PLD。更具体地,本发明涉及用于PLD上的高速串行数据收发器电路系统。

背景技术

[0003] PLD是相对通用的器件,其被设计成能够满足广泛的需求。利用高速串行数据通信在构成各种系统的器件之间进行信息交换正方兴未艾。有许多可能的用于这种高速串行通信的“协议”。这些协议中的一些可能是工业标准协议。其他的协议可能是为特定系统定制的。一个具体协议包括的内容例如有:如何格式化数据;一起使用多少个信道以提供总的通信链路;信道以什么速度(串行数据率或比特率)工作;如果采用多个信道来提供一个链路,那么信道间可存在多少时滞(差值延迟)等等。就速度而言,总是希望更快的通信。例如,现在通常采用的速度可高达6Gbps(吉比特每秒),而预期的或正开始使用的速度可高达10-12Gbps。

[0004] 设计一种能支持宽范围的可能的串行数据通信速度的PLD是一个相当大的挑战,这些可能的串行数据通信速度包括上面提到的范围的上限速度。

发明内容

[0005] 根据本发明,在PLD上的串行数据接收器的电路系统可包括适于以高达第一较低最大串行比特率的数据率工作的接收器电路系统的多个信道,以及适于以高达第二较高最大串行比特率的数据率工作的接收器电路系统的至少一个另外的信道。所述电路系统进一步包括至少一个锁相环电路(PLL),该锁相环电路适于以高达第一较低最大频率提供用于所述第一接收器信道的时钟信号。电路系统还包括至少一个另外的PLL电路,该PLL电路适于以高达第二较高最大频率提供用于所述第二接收器信道的时钟信号。如果所述第二PLL电路工作于所述第一接收器信道的工作范围内的一个频率,则所述第二PLL电路也能够被所述第一接收器信道使用。所述第二PLL电路优选具有到所述第二接收器信道的专用连接或连线。

[0006] 这两种接收器信道的每一种优选包括其他的电路系统,通常需要这些电路系统处理在该种信道中将会出现的数据信号。例如,较低速度的信道可包括10比特到8比特的解码器电路系统,但没有66比特到64比特的解码器电路系统;而较高速度的信道可包括66比特到64比特的解码器电路系统,但没有10比特到8比特的解码器电路系统。

[0007] 每个接收器信道还可包括关联的发射器电路系统,以致每个信道实际上可是一个收发器信道。与接收器电路系统关联的发射器电路系统(如果有的话)优选具有可与关联的接收器电路系统比较或相当的速度特性和其他性能。

[0008] 根据附图和下面的详细描述,本发明的进一步特征以及它的性质和各种优点将变得更加明显。

附图说明

[0009] 图 1 是根据本发明的电路系统的一个说明性实施例的简化示意框图。

[0010] 图 2 是一个简化示意框图,其根据本发明更详细地示出了图 1 的一部分。

[0011] 图 3 是一个简化示意框图,其根据本发明示出了怎样可选地为图 1 的代表性部分增加更多的电路系统。

具体实施方式

[0012] 图 1 示出了根据本发明的说明性电路系统,其根本上是一种串行数据接收器电路系统。本领域技术人员应当理解,这个电路系统还可包括串行数据发射器电路系统,或与串行数据发射器电路系统一起使用,这样组合的接收器和发射器电路系统就构成了收发器的电路系统。在本说明书中,后面将更详细地考虑这一可能性,包括结合图 3。所有图 1 所示的都是 PLD 集成电路 10 的一部分。

[0013] 图 1 所示的电路系统包括 PLD 核心 20,其通常是大多数 PLD 的主要部分。PLD 核心 20 包括通用可编程逻辑、可编程互联以及 PLD 的其他相对通用的电路系统。图 1 还显示了 PLD 的一些物理编码子层(PCS)的电路系统 40 和一些物理媒介访问(PMA)层的电路系统 30。所述的电路系统 30 和 40 可以只是 PLD 10 可包括的更多此类电路系统的一个代表性部分。

[0014] 图 1 所示的 PMA 和 PCS 电路系统 30 和 40 可是 PLD 10 上的高速串行接口电路系统的一个所谓“嵌块(quad)”50 的 PMA 和 PCS 电路系统。嵌块 50 可仅是 PLD 10 上这种电路系统的若干个实例中的一个。嵌块 50 可以被称为异构的,因为它包括高速串行接口电路系统的四个信道(和相关电路系统),这四个信道被设计成,使得工作在高达第一较低最大比特率的串行数据比特率(例如,大约 6Gbps);和一个额外信道(和相关电路系统),该额外信道被设计成,使得工作在高达第二较高最大比特率的串行数据比特率(例如,大约 10Gbps)。这些不同信道(以及它们的构成组件和相关的电路系统)有时将涉及到使用这些示例性的近似的比特率。例如,这四个可工作在高达 6Gbps 的信道可被称为 6G 信道,而这个可工作在高达 10Gbps 的信道可被称为 10G 信道。应当理解,这些比特率的最大值只是示例而已,如果需要,第一和第二(或者较高和较低)最大值可以与这些示例值不同。还要理解,这里描述为具有“最大值”工作特性的电路系统不必是在所有情况下都工作在那个最大值,这就是这种组件被称为可工作在“高达”其最大值的原因。典型地,这种组件是可工作在相关参数的多个不同数值中的任何一个,这些数值可高达对那个参数所述的最大值。

[0015] 现在更详细地考虑图 1,嵌块 50 的 PMA 30 部分包括四个 6G 的信道 60-0 到 60-3、一个 10G 的信道 60-4、时钟倍增单元(CMU)的电路系统 70 以及额外的 10G 锁相环(PLL)电路系统 80。

[0016] 每个信道 60 包括一个电路系统,该电路系统用于接收串行数据信号和将该信号中的数据转换成若干个并行数据引线上的并行形式。例如,每个信道 60-0 到 60-3 都被示为分别包括 6G 的 CDR (时钟和数据恢复)电路系统 62-0 到 62-3。每个 CDR 电路 62 能够接收串行数据信号,从该信号中恢复出使串行数据信号同步的时钟信号,并且还从该串行数据信号中恢复出所谓的重定时数据。每个信道 60-0 到 60-3 的 PMA 30 部分还包括用于将重定时数据从串行形式转换为并行形式的电路系统。例如,如果使用 10 比特到 8 比特的解码方式,则每个信道 60-0 到 60-3 可将连续的由 10 个串行比特构成的组转换为 10 个并行比特,以应用于下游的电路系统。替代地,如果没有使用这种解码方式,那么每个信道 60-0 到 60-3 可将连续的由 8 个串行比特构成的组转换为 8 个并行比特,以应用于下游的电路系统。这个选择可以基于信道对信道作出。为了实现这个想法(虽然它将我们从 PMA 30 带到 PCS 40),每个信道 60-0 到 60-3 具有关联的 PCS 电路系统 90-0 到 90-3,该 PCS 电路系统包括 6G 的 10 比特到 8 比特的解码器电路系统,如果使用 10 比特到 8 比特的解码方式,那么解码器电路系统可选地用来将并行数据的每一连续 10 个比特转换为 8 比特字节的并行数据。每个 PCS 信道 90-0 到 90-3 可将并行的数个字节的数据传送到 PLD 核心 20。如图 1 中的标记所示,组件 60-0 到 60-3 和 90-0 到 90-3 被构造成和可操作用来支持高达约 6Gbps 的串行数据通信。

[0017] 一般地, PMA 信道 60-4 类似于信道 60-0 到 60-3 中的任意一个。然而,信道 60-4 被构造成和可操作用来支持高达约 10Gbps 的串行数据通信。除了在速度性能上的这个不同之处外,信道 60-4 可被构造成支持通信协议的其他特征,所述通信很可能将使用高达约 10Gbps 的串行数据率。例如,这些通信协议通常宁可使用 66 比特到 64 比特的解码方式,也不使用 10 比特到 8 比特的解码方式。因此,除了其 10G 的 CDR 电路系统 62-4 外,信道 60-4 的 PMA 30 部分(以及关联的下游 电路系统,例如 10G 的 PCS 信道 90-4)可包括这样的电路系统,其用于以适合 66 到 64 解码的方式来解串 CDR 电路系统 60-4 输出的重定时数据,然后在关联的 10G PCS 信道 90-4 中可选地执行这样的解码。

[0018] CMU 70 包括两个 6G 的 PLL 电路系统 72-0 和 72-1。PLL 电路 72 之所以被标示为“6G”,是因为这些电路中的每一个均能产生时钟信号,这些时钟信号能够被用来支持高达约 6Gbps 的串行数据通信。例如,每个 PLL 72 可接收各自的参考时钟信号,并可利用那个信号产生可被信道 60-0 到 60-3 中一个或多个信道使用的时钟信号,从而为那些信道执行上面所述的操作。PLL 电路 80 可在功能上类似于任一个电路 72,但电路 72 被构造成和可操作用来产生适合于高达约 6Gbps 串行数据率的时钟信号,而电路 80 被构造成和可操作用来产生适合于高达约 10Gbps 串行数据率的时钟信号。电路 80 可接收和利用一个参考时钟信号,该信号不同于施加到 PLL 72 上的参考时钟信号。

[0019] 电路 72 和 80 的输出时钟信号被施加到嵌块中心电路系统 100。电路系统 100 的一个功能是将电路 72 和 80 的输出时钟信号分配给信道 60-0 到 60-3 和 90-0 到 90-3,这些信道 60/90 中的每一个可以选择它要使用哪一个已分配的时钟信号。因此,这些信道 60/90 中的每个可以独自地操作,即,相对独立于其他的信道。这些信道 60/90 中的两个或多个可以选择相同的分配的时钟信号,从而以同步方式工作。由此可见,如果在一个特定应用中, 10G 的 PLL 80 正以一个足够低的频率上输出,则甚至 10G 的 PLL 80 可以成为 6G 信道 60-0 到 60-3 和 90-0 到 90-3 的时钟信号源。

[0020] 10G 的 PLL 80 的输出时钟信号经由连接 82 还被直接施加到 10G 信道 60-4 和 90-4。信道 60-4 和 90-4 正是通过这一路径获得其所需的信号,以操作高达约 10Gbps 数据率的时钟信号。有时可将路径 82 称为专用的。

[0021] 注意,每个信道 60 经由引线 64 将并行数据输出到关联的 PCS 电路系统 90。此外,每个信道 60 通过引线 66 将一个或多个时钟信号输出到关联的 PCS 电路系统 90。每个 PCS 信道 90 通过关联的 6G 或 10G 的 PLD 接口 110 将并行数据(和其他适当信号)输出到 PLD 核心 20。这些接口可为不同的宽度和/或可以不同方式使用。例如,每个 6G 的 PLD 接口可包括 16 个并行数据引线,并且可以根据需要并行地输送一个或两个 8 比特字节。换言之,每个 PCS 信道 90-0 到 90-3 可以并排地输出两个连续的 8 比特字节以并行地传送到 PLD 核心 20 上。10G 的 PLD 接口 110-4 可将高达 64 个的并行比特施加到 PLD 核心 20。在 6G 的 PLD 接口处的关联的控制信号也可能与 10G 的 PLD 接口 110-4 处的控制信号不同。

[0022] 前文已简单提到,图 1 示出了从 PMA 30 经由 PCS 40 到 PLD 核心 20 的数据流。这是电路系统的接收器操作。但是,图 1 所示的电路系统还包括允许数据以相反方向流过任一或所有信道 60/90 的组件。这是电路系统的发射器操作。在用作发射器的任一信道中,上面描述的信道的数据信号处理操作基本上被颠倒。例如,在一个 6G 的信道中,来自 PLD 核心 20 的并行数据可经过 8 比特到 10 比特的编码,接着被串行化,并作为串行数据信号发射。类似地,在 10G 的信道中,来自 PLD 核心 20 的并行数据可经过 64 比特到 66 比特的编码,接着被串行化,并作为串行数据信号发射。在这些发射器操作中可使用来自 PLL 72/80 的时钟信号。因此,由于嵌块 50 可以既有接收器又有发射器的特性,所以其可被称为收发器电路系统。而且,为了简化术语,10 比特到 8 比特的解码和 8 比特到 10 比特的编码有时可被统称为 8B/10B 编码。类似地,66 比特到 64 比特的解码和 64 比特到 66 比特的编码有时可被统称为 64/66 或 64/66B 编码。此外,下面将结合图 3 进一步考虑本发明发射器方面的内容。

[0023] 图 2 更详细地示出了如何将 PLL 72 和 80 的输出时钟信号供应给不同信道 60。特别地,图 2 示出了各自的一个导体或总线 100 将每个 PLL 72 和 80 的输出信号分别传送到每个信道 60-0 到 60-3。可编程控制的连接 102 允许这些信道中的每一个信道选择一个该信道将从中哪一个 PLL 72/80 中获得它的时钟信号。例如,所有四个信道 60-0 到 60-3 可以选择同一个源,或者不同信道可以作不同的选择。信道 60-4 只能从 PLL 80 经由专用通路 82 获得它的时钟信号。

[0024] 图 3 示出了可将发射器的电路系统添加到信道 60/90 中任一或所有信道上。如图 3 所示,代表性的信道 60-0/90-0 包括 6G 的发射器 64-0 和 6G 的 PCS 8B/10B 编码器的电路系统 94-0。信道 60-4/90-4 包括 10G 发射器的电路系统 64-4 和 10G PCS 64/66B 编码器的电路系统 94-4。既包括接收器电路系统又包括发射器电路系统的信道可被称为收发器信道。如 60-0/90-0 的某个信道的发射器部分可以从 PLD 核心 20 中接收并行数据,并可选地使该数据在如 94-0 的某个组件中进行 8 比特到 10 比特的编码,然后(在如 64-0 的 XMIT 或串行器组件中)将数据转换为串行数据信号并从器件中发射出去。类似地,信道 60-4/90-4 的发射器部分可以从 PLD 20 中接收并行数据,并可选地使该数据在组件 94-4 中进行 64 比特到 66 比特的编码,然后(在 XMIT 或串行器组件 64-4 中)将数据转换为串行数据信号并从器件中发射出去。任一信道的发射器部分优选具有与该信道的接收器部分类似或互补的速

度以及其他信号处理性能。

[0025] 现在,我们转而考虑图 1 所示类型电路系统的一些优点,以及可能改进的一些例子。虽然 CMU 70 被示为包括两个 6G 的 PLL 72,但这个数目可以变化。当前,两个 PLL 72 是优选的,因为这是考虑到为了在灵活性和复杂性之间获得一个最优效果。注意,CMU 70 中 PLL 72 和 PLL 80 之间的最大数据率的划分可以不同于图 1 所示的说明性实施例所采用的。还要注意,每个最大数据率可以被独立地选择,并且如果需要,可以有多于两个的不同的最大数据率。例如,PLL 72 和信道 60-0 到 60-3 可具有如图 1 所示的 6G 最大数据率,但组件 80 和 64-4 的最大数据率可以是 12G。作为另一例子,一个 PLL 72 和某些信道 60 可具有 4G 的最大数据率;另一个 PLL 72 和其他一些信道 60 可具有 6G 的最大数据率;而 PLL 80 和信道 60-4 可以具有 10G 的最大数据率。

[0026] 不同的 PLL 72 和 80 可以被不同地构造,这取决于希望它们支持的频率或频率范围。(参见,例如 Shumarayev 等人 2005 年 12 月 2 日提交的美国专利申请号 11/292,565。)

[0027] 每个信道片段(channel slice)60-0 到 60-3 和 90-0 到 90-3 包含 6G 的 CDR,而第五信道片段 60-4 和 90-4 能够支持更高的数据率(在图 1 例子中高达 10G)。每个 6G 信道与包括可编程 8B/10B 支持的 6G PCS 90 进行通信。10G 信道 60-4 被连接到 10G 的 PCS 90-4,其可具有不同的要求或规范,例如 64/66 编码。这样,从 PCS 40 来看,该电路系统的每个部分可以具有一组减少的要求。支持 6G 通常所需的特征能够提供在专用于 6G 的四个信道 90-0 到 90-3 中,而支持 10G 通常所需的特征则被提供在独立的信道 90-4 中。所有 PCS 信道 90 不需要具有全部的性能。同样的方法可扩展到 PCS-PLD 接口 110,在该接口处要求不同数目的信号和时钟,而这取决于该接口是用于 6G (110-0 到 110-3)还是用于 10G (110-4)。

[0028] 从 PMA 30 来看,将元件 80 和 60-4 从 6G 信道中分离出来意味着 10G PLL 和 CDR 的设计不会使 6G 信道过载。相反,6G 信道的灵活性要求(即,为了支持数据率高达 6G 的多种不同通信协议中的任一种)不会妨碍灵敏的 10G 节点。

[0029] 本文所示和描述的异构收发器体系结构促进了分段式产品的特性和大批量生产。虽然解决了所有的技术问题,但是可允许该设计中更高速部件以适当的步调工作,而不会妨碍引入那些不包括更高速性能的产品系列中的其他产品。例如,可将一个产品系列的具有 4/5 有效信道的第一批产品投放市场,从而加快问市时间。然后,可以另外花时间来完善用于该设计中更高速部件的新技术。具有 10G 信道的产品系列中的产品(或者,无论更高速的数据率目前为多少)将随后公布。替代性地,后期产品可以作为独立的产品(6G 加上 10G)进行推销,而早期投放市场的只作为 6G 进行销售。从产量来看,这样的划分还可允许降低成本。假设 10G 的产量低于 6G 的产量,那么不具有工作在 10G 信道的管芯可以仅作为 6G 的部件销售。

[0030] 本发明还具有各种系统的好处。例如,10G 信道(与 6G 链路相比)从优选布局以及更好的损耗特性中的获益较多。上文所述的优选实施例只要求对所有信道中约 20%的信道加以特别对待。如果所有信道都被构造成具有全部性能(即,既有 6G 又有 10G 的性能),那么也许就不可能将有助于 10G 操作的优先布局和损耗特性都提供给所有信道。

[0031] 本发明的另一优点是对两种(或更多种)信道类型的电源滤波的考虑是不同的。为 6G 和 10G 的内部调节可以根据它们的规格加以设计。可以选择外部解耦来补充内部设

计。

[0032] 总之,本发明的体系结构具有异构信道,能够连续地覆盖一个宽数据率的范围。这种方法允许对每类链路的功率和区域进行独立优化。这可以显著降低风险,降低总成本以及问市时间。

[0033] 应当理解,前文所述仅是对本发明原理的说明,在不脱离本发明范围和精神的情况下,本领域技术人员可以作出各种变型。例如,本文提到的具体数据率仅是说明性的,如果需要,可改用其他数据率(例如,除了 6G 和 10G)。作为可能变型的另一个例子,较高数据率信道与较低数据率信道之比可以不同于本文所述的 1 比 4 的比率。还有一个可能变型的例子是,实现的不同最大数据率的数目可以多于两个。

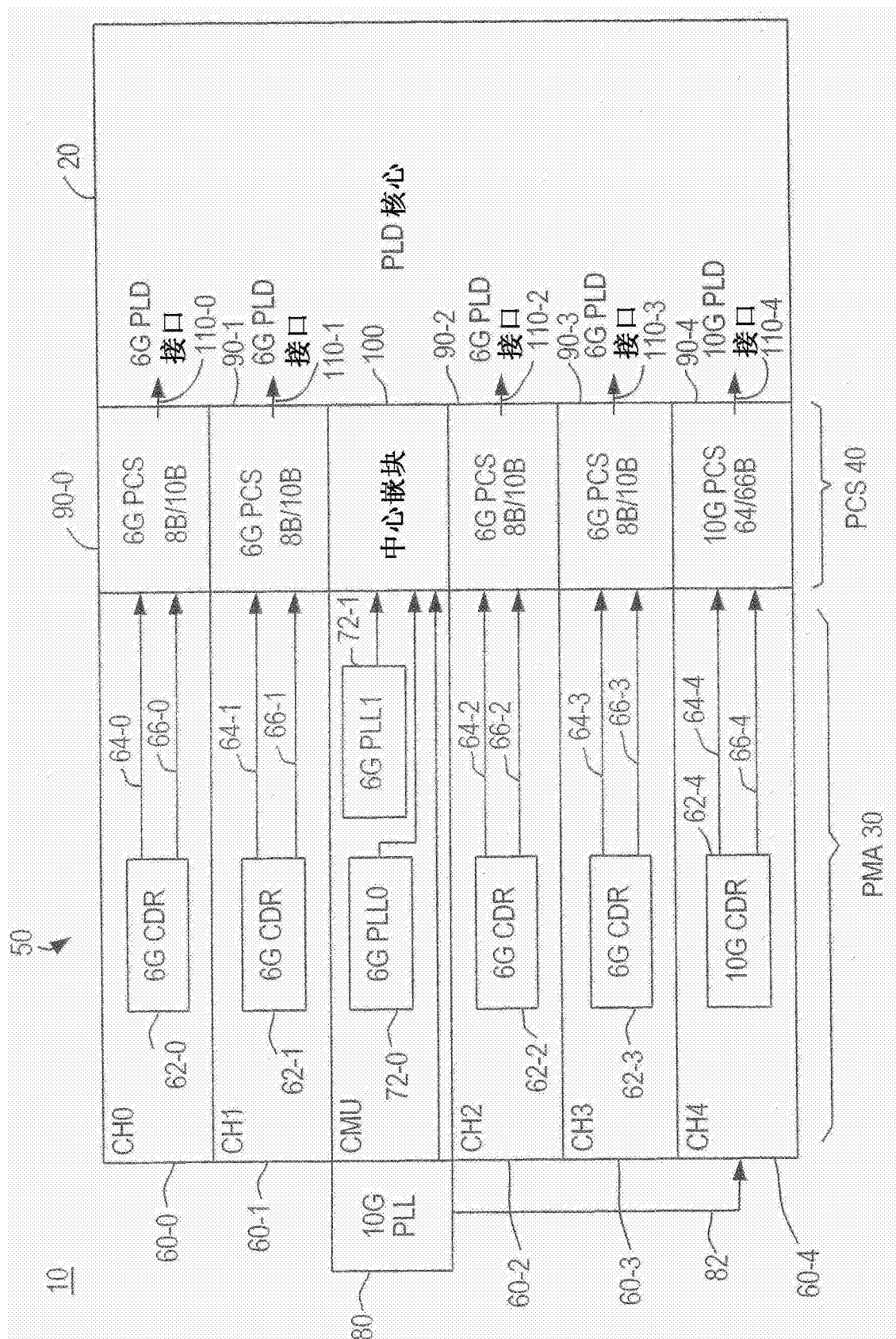


图 1

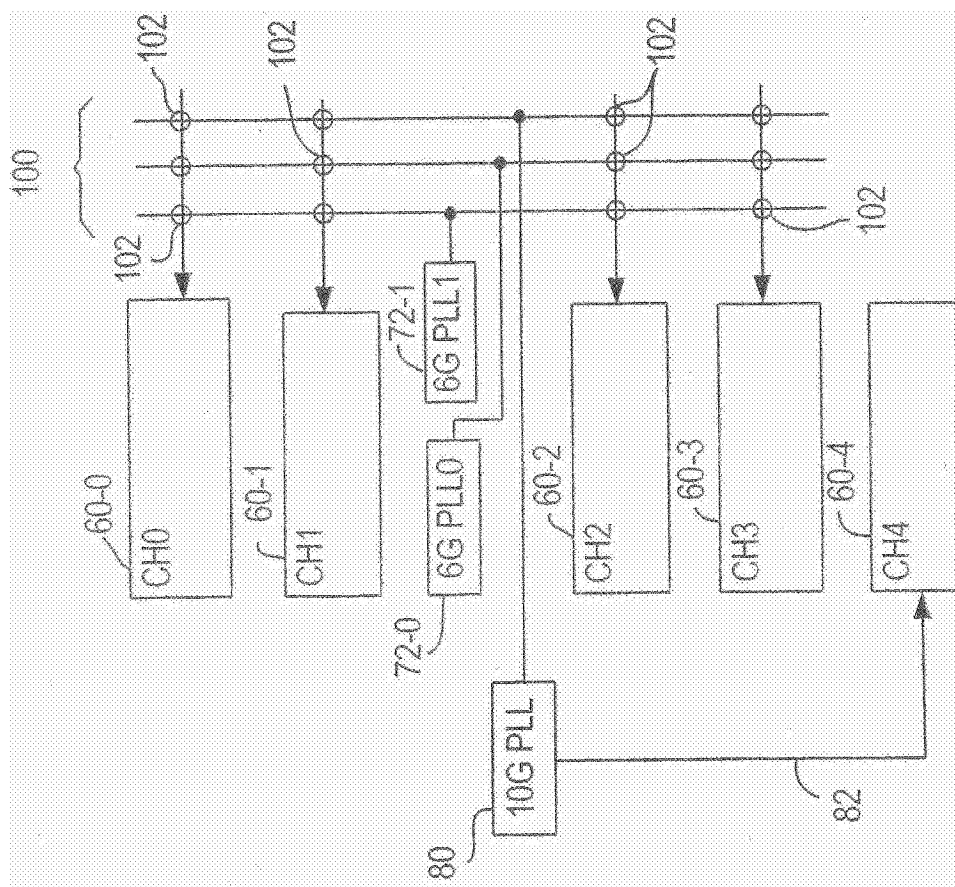


图 2

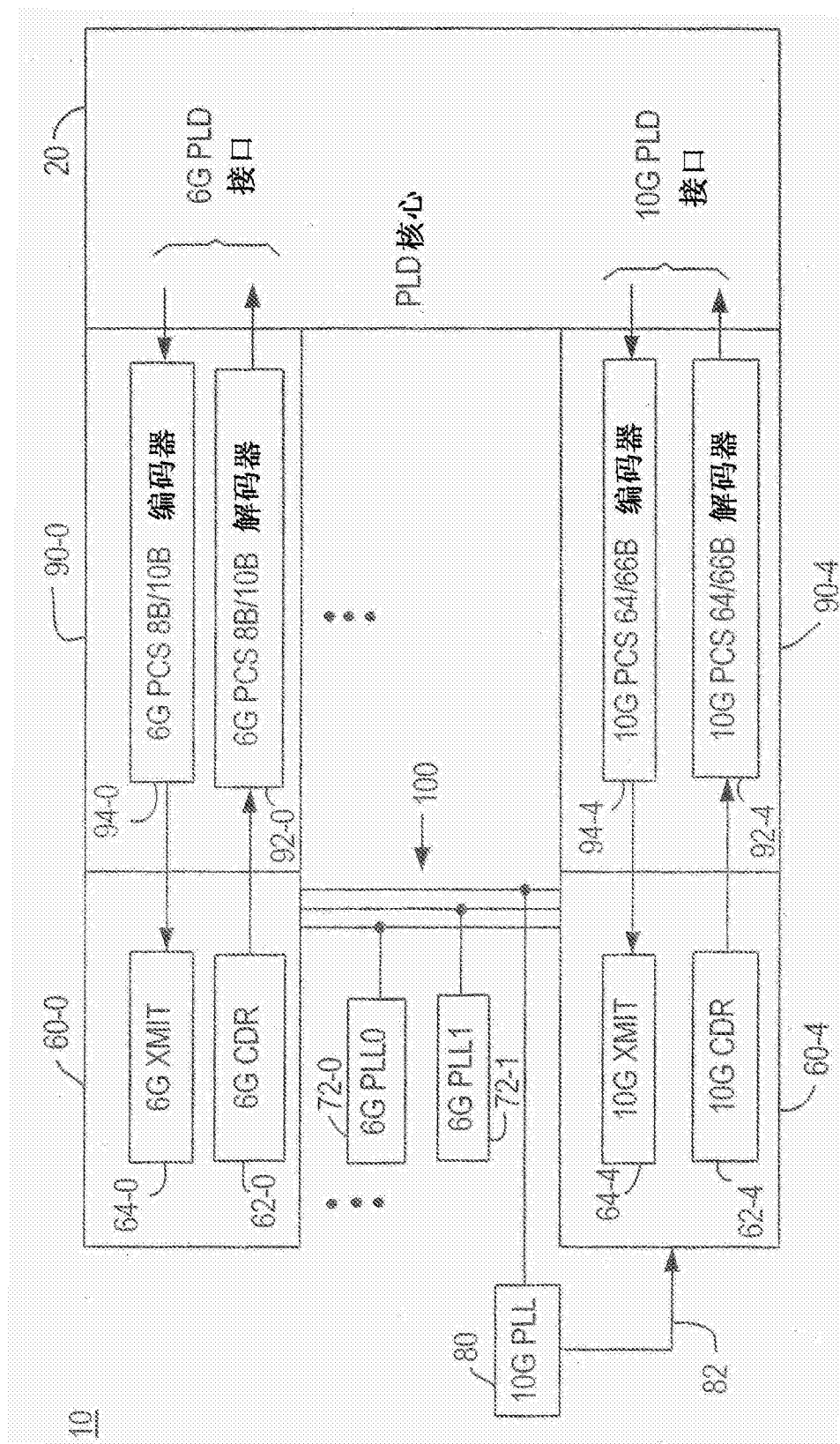


图 3