

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2010 年 5 月 27 日(27.05.2010)

PCT

(10) 国際公開番号
WO 2010/058595 A1

- (51) 国際特許分類:
H01L 23/12 (2006.01)
- (21) 国際出願番号: PCT/JP2009/006267
- (22) 国際出願日: 2009 年 11 月 20 日(20.11.2009)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2008-297474 2008 年 11 月 21 日(21.11.2008) JP
- (71) 出願人 (米国を除く全ての指定国について): 国立大学法人九州工業大学(KYUSHU INSTITUTE OF TECHNOLOGY) [JP/JP]; 〒8048550 福岡県北九州市戸畑区仙水町 1 番 1 号 Fukuoka (JP). 九州日立マクセル株式会社(KYUSHU HITACHI MAXELL, LTD.) [JP/JP]; 〒8221296 福岡県田川郡福智町伊方 4 6 8 0 番地 Fukuoka (JP).
- (72) 発明者; および
- (75) 発明者/出願人 (米国についてのみ): 石原 政道 (ISHIHARA, Masamichi) [JP/JP]; 〒8080196 福岡県

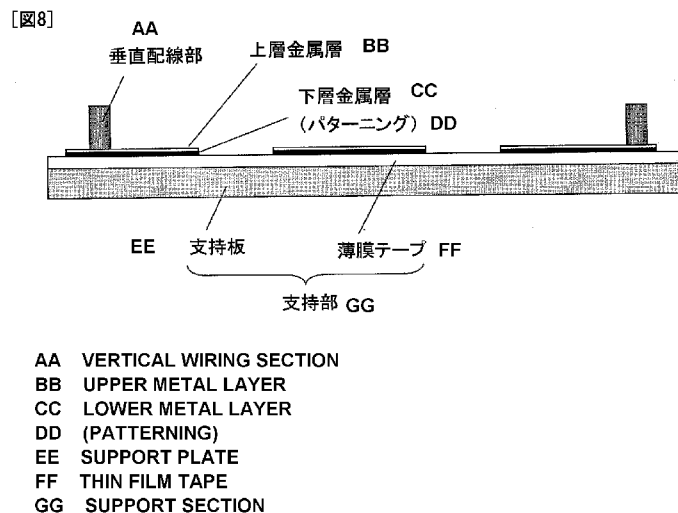
北九州市若松区ひびきの 2-4 国立大学法人九州工業大学内 Fukuoka (JP). 中川 宏史 (NAKAGAWA, Hiroshi) [JP/JP]; 〒8221296 福岡県田川郡福智町伊方 4 6 8 0 番地 九州日立マクセル株式会社内 Fukuoka (JP).

- (74) 代理人: 大川 譲(OHKAWA, Yuzuru); 〒1160013 東京都荒川区西日暮里 5 丁目 1 1 番 8 号 三共セントラルプラザビル 5 階 開明国際特許事務所 Tokyo (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

[続葉有]

(54) Title: ELECTRONIC COMPONENT FOR WIRING AND METHOD FOR MANUFACTURING SAME, AND ELECTRONIC DEVICE PACKAGE WITH BUILT-IN ELECTRONIC COMPONENT FOR WIRING AND METHOD FOR MANUFACTURING SAME

(54) 発明の名称: 配線用電子部品及びその製造方法、並びに該配線用電子部品を組み込んで用いる電子デバイスパッケージ及びその製造方法



AA VERTICAL WIRING SECTION
BB UPPER METAL LAYER
CC LOWER METAL LAYER
DD (PATTERNING)
EE SUPPORT PLATE
FF THIN FILM TAPE
GG SUPPORT SECTION

(57) Abstract: An electronic component for wiring is used while being built in an electronic device package in which a circuit element including a semiconductor chip is disposed and in which a horizontal wiring section and a vertical wiring section that are connected to the circuit element and an external electrode are present. A support section comprises a support plate and a thin film tape affixed to the support plate. The horizontal wiring section with a two-layer structure comprising a lower metal layer and an upper metal layer functioning as a mask for patterning the lower metal layer is formed on the thin film tape. The vertical wiring section connected to the upper metal layer is formed by electrolytic plating.

(57) 要約: 本発明は、半導体チップを含む回路素子を配置して、該回路素子と外部電極に接続される水平配線部及び垂直配線部が内在する電子デバイスパッケージに組み込んで用いられる。支持板と該支持板に薄膜テープを貼り付けることにより支持部を構成する。下層金属層と該下層金属層をパターニングするためのマスクとして機能する上層金属層からなる 2 層構成の水平配線部を薄膜テープ上に形成する。電解メッキをすることにより、上層金属層に接続された垂直配線部を形成する。

WO 2010/058595 A1



(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, SE, SI, SK, SM, TR), OAPI (BF, BJ,

CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告 (条約第 21 条(3))

明 細 書

発明の名称：

配線用電子部品及びその製造方法、並びに該配線用電子部品を組み込んで用いる電子デバイスパッケージ及びその製造方法

技術分野

[0001] 本発明は、半導体チップを含む回路素子を配置し、該回路素子から垂直配線を介して接続される外部電極を有する電子デバイスパッケージに組み込んで用いるための配線用電子部品及びその製造方法に関する。

背景技術

[0002] 外部接続用電極をおもて面に配置した電子デバイスパッケージ構造のように、LSIチップ搭載基板から離れて他方に電極を取り出す場合や、或いはウエハレベルチップサイズパッケージのようにLSIチップの能動面から離れて他方に電極を取り出す場合は、基板と離れて電極を取り出すための少なくとも垂直配線、あるいは再配線のための水平配線も含めた構造が必要である。一般的に電子デバイスパッケージ構造の垂直配線は基板に予め作りこんだ構造や樹脂封止後に樹脂を開口してメッキで埋める方法、さらにはシリコン基板を貫通させ、基板の両側に電極を取り出す構造が採られている（特許文献1参照）。

[0003] 現在の貫通電極形成は低抵抗金属を充填するためには低温処理が要求され、半導体プロセスへの適用は難しく、一方、貫通孔の絶縁方法は、高温処理が必要なため半導体の実装プロセスへの適用は困難である。このように、半導体基板への貫通電極の形成とその絶縁方法にはまだ課題が残されていて、貫通電極を必要とせずに配線することが望まれる。

[0004] このような問題を解決するために、特許文献2は、部品化した配線用電子部品を半導体基板上の所定位置に接続することにより、貫通電極を必要とせずに配線する技術を開示する。図21及び図22は、特許文献2に開示の電子デバイスパッケージを説明する図であり、図21は、その製造途中の断面

図であり、図 2 2 は、完成した状態で示す断面図である。図 2 1 に示すように、導電性材料の支持板に電鍍法により水平配線部（再配線）及び垂直配線部を成長させて、支持板と一体に連結した配線用電子部品を形成する。そして、この配線用電子部品を、半導体基板（多層有機基板）おもて面に形成した配線層上の所定位置に接続する。この後、図 2 2 に示すように、回路素子（LSI チップ）を覆う樹脂を充填して樹脂封止した後、支持板を剥がすことにより電氣的には個々の水平配線部及び垂直配線部に分離して構成する。この水平配線部により、垂直配線部先端とは異なる位置に外部接続用電極を設けることができる。これによって、簡潔に、しかもコスト的にも安く外部接続用電極をおもて面に配置した電子デバイスパッケージを製造することが可能となる。

[0005] このように、電子デバイスパッケージ構造形成のための垂直配線や水平配線などの追加工程を部品として集約させ、工程を簡素化し部品は専門メーカーに任せることでコスト低減を実現することができる。この部品化によりウエハレベルチップサイズパッケージなどは前工程に近い設備が必要な工程をオフラインで部品に集約することができ、これによって、後工程メーカーも大きな投資の必要なく参入できることになる。

[0006] しかし、このような電子デバイスパッケージは、おもて面の水平配線部を保護するための保護膜を設ける場合、別途の工程として作成することが必要になる。また、例示の配線用電子部品を製造するための電鍍法は非常に優れた方法ではあるものの、電鍍法自体にはノウハウが多く、現状では製造業者が限られているという問題がある。

特許文献1：特開 2 0 0 1 - 1 2 7 2 4 3 号公報

特許文献2：国際公開W0 2008/065896 A1

発明の開示

発明が解決しようとする課題

[0007] 本発明は、係る問題点を解決して、電子デバイスパッケージ構造形成のための垂直配線や水平配線などの追加工程を部品として集約させて、電子デバ

イスパッケージのおもて面に形成した配線パターンを保護するための保護膜を、簡潔に、しかもコスト的にも安く製造し、供給することを目的としている。

- [0008] また、本発明は、電子デバイスパッケージに用いる配線用電子部品を、電鍍法を用いることなく従来より用いられている電解メッキとかリソグラフィなどの通常の製造技術を用いて容易に作成可能にすることを目的としている。

課題を解決するための手段

- [0009] 本発明の配線用電子部品は、半導体チップを含む回路素子を配置して、該回路素子と外部電極に接続される水平配線部及び垂直配線部が内在する電子デバイスパッケージに組み込んで用いられる。支持板と該支持板に電子デバイスパッケージの保護膜として機能する薄膜テープを貼り付けることにより2層構成の支持部を構成する。下層金属層と該下層金属層をパターニングするためのマスクとして機能する上層金属層からなる2層構成の水平配線部を薄膜テープ上に形成する。下層金属層を通電用金属電極として用いて電解メッキをすることにより、上層金属層に接続された垂直配線部を形成する。
- [0010] また、本発明の電子デバイスパッケージに組み込んで用いるための配線用電子部品の製造方法は、支持板の上に、下層金属層付きの薄膜テープを接着剤を用いて貼り付け、下層金属層の上に、該下層金属層のためのエッチングマスクとなるべき上層金属層を貼り付け、該上層金属層のパターニングをリソグラフィにより行って、配線パターンを形成する。垂直配線部形成用のレジストを塗布し、現像で開口した後、下層金属層を通電用金属電極として用いて電解メッキをすることにより、レジスト開口部にメッキ充填し、かつ、このレジストを除去することによって、上層金属層パターンに接続された垂直配線部を形成する。この上層金属層パターンをエッチング用マスクとして、下層金属層をエッチングすることによって、薄膜テープの上にパターニングした2層構成の水平配線部を形成する。
- [0011] また、本発明の電子デバイスパッケージ及びその製造方法は、配線用電子

部品を、支持板と該支持板に薄膜テープを貼り付けることにより構成した2層構成の支持部と、該支持部上に形成される水平配線部と、該水平配線部に接続される垂直配線部により構成する。水平配線部は、下層金属層と該下層金属層をパターニングするためのマスクとして機能する上層金属層からなる2層構成にして薄膜テープ上に形成する。垂直配線部は、下層金属層を通電用金属電極として用いて電解メッキをすることにより形成する。配線用電子部品の垂直配線部を、基板上の配線層の所定位置に接続しかつ固定して樹脂封止した後、支持板を剥離することにより露出した薄膜テープを保護膜として用い、かつ、この保護膜に穴を空け、開口により露出した水平配線部と接続される外部電極を形成する。

発明の効果

- [0012] 本発明によれば、電子デバイスパッケージ形成のための垂直配線や水平配線などの追加工程を部品として集約させて、電子デバイスパッケージのおもて面に形成した水平配線部（再配線）を保護するための保護膜を、簡潔に、しかもコスト的にも安く製造し、供給することができる。
- [0013] また、本発明は、電子デバイスパッケージに用いる配線用電子部品の、電鍍法を用いることなく従来より用いられている通常の製造技術を用いて容易に作成することができる。
- [0014] また、本発明によれば、簡易な方法で、イメージセンサあるいは高放熱のパッケージのような基板と反対側に電極を取り出す必要のある半導体パッケージを製作できる。半導体基板に貫通孔を開けて金属材料を充填する貫通配線技術の必要も無く、半導体基板と反対側に容易に電極を取り出し、かつ配線することができる。

図面の簡単な説明

- [0015] [図1]本発明に基づき構成した配線用電子部品を示す図であり、（A）は斜視図、（B）は断面図、（C）はX部拡大断面図をそれぞれ示している。
- [図2]支持板の上に下層金属層付きの薄膜テープを貼り付けた状態で示す図である。

[図3] 下層金属層の上に上層金属層を貼り付けた状態で示す図である。

[図4] 上層金属層のパターニングを示す図である。

[図5] 垂直配線部形成用のレジストの塗布及び開口を示す図である。

[図6] レジスト開口部のメッキ充填を示す図である。

[図7] 上層金属層パターンに接続された垂直配線部の形成を示す図である。

[図8] 完成した配線用電子部品を示す断面図である。

[図9] 基板上に、電子部品として半導体LSIチップを接着し、かつ接続した状態で示す図であり、(A)は断面図を、(B)は斜視図を示している。

[図10] 配線用電子部品を、半導体LSIチップを装着した基板上に配置した状態で示す図である。

[図11] 配線用電子部品を、半導体LSIチップを装着した半導体基板上に接続した状態で示す図である。

[図12] 樹脂封止した状態で示す図である。

[図13] 支持板を剥離した後の状態で示す図である。

[図14] 完成した電子デバイスパッケージを示す断面図である。

[図15] 配線層を有するガラス基板の上に、イメージセンサが搭載されて接続された状態で示す図である。

[図16] ガラス基板上に配線用電子部品を配置した状態で示す図である。

[図17] ガラス基板上に配線用電子部品を接続、固定した状態で示す図である。

[図18] 固定後、樹脂封止した状態で示す図である。

[図19] 支持板を剥離した後の状態で示す図である。

[図20] 完成したイメージセンサチップパッケージを示す図である。

[図21] 特許文献2に開示の電子デバイスパッケージの製造途中の断面図である。

[図22] 特許文献2に開示の電子デバイスパッケージを完成した状態で示す断面図である。

発明を実施するための最良の形態

[0016] 以下、例示に基づき、本発明の配線用電子部品及びその製造方法を、順を追って説明する。図1は、本発明に基づき構成した配線用電子部品を示す図であり、(A)は斜視図、(B)は断面図、(C)は(B)中のX部を拡大した断面図をそれぞれ示している。図1は、1個の単体パターンを例示するが、実際の製造においては、多数個一体に連結された状態で作成され、その状態で電子デバイスパッケージに組み込んで製造した後、個々のチップに切断して切り分ける個片化を経て、最終製品として完成する。

[0017] 次に、このような配線用電子部品の製造について、図2～図8を参照して、順次説明する。まず、図2に示すように、支持板の上に、下層金属層（例えば、銅箔）付きの薄膜テープを、接着剤を用いて貼り付ける（以下、薄膜テープと支持板の2層構成を支持部と言う）。下層金属層付きの薄膜テープとしては、薄膜テープと薄い金属膜（例えば銅箔）を一体化したものをを用いる。例えば、銅箔とポリイミドテープとの一体化を作る場合、銅箔の上にポリイミド材を塗って作製することができる。或いは、薄膜テープ上の全面に、下層金属層となるべき低抵抗の金属膜を、例えば蒸着により貼り付ける。この金属膜としては、銅Cu以外にも、例えば、ニッケルNi、クロムCrを含む導電性金属を用いることができる。

[0018] 支持板としては、板状のシリコン基板とかガラスのような絶縁体或いは導電体のいずれも用いることができるが、例えば、ステンレス板を用いることにより、半導体装置の製造中に、より強い剛性を得ることができる。貼り付ける薄膜テープとしては、ポリイミドテープなどに代表される薄膜フィルムの絶縁基材とか、有機基板に用いられているようなプラスチック樹脂等の絶縁基材が望ましい。このように、支持部は、絶縁基材テープと、この裏側（配線パターン形成面の反対側）に接着剤を用いて貼り付けた支持板（補強板）との2層構成となる。この支持板は、電子デバイスパッケージ製造のための樹脂封止工程後に、剥離して除去する。また、薄膜テープは、例示したような一層の薄膜フィルムに限らず、接着剤により接着した2層（或いはそれ以上）の薄膜フィルムの絶縁基材テープにより構成にして、支持板の上に貼

り付けることも可能である。

[0019] 薄膜テープは、完成製品（電子デバイスパッケージ）において水平配線部（再配線）を覆う保護膜として機能する。薄膜テープを貼り付ける接着剤は、所定の温度（例えば、高熱）で剥離し易い材料か、紫外線照射で剥離し易い材料を用いる。例えば、熱カプセル入り接着剤又は熱可塑性の接着剤、若しくは、光を透過する材料（耐熱低熱膨張ガラスなど）の支持板と、紫外線剥離型接着剤を用いる。

[0020] 次に、図3に示すように、下層金属層の上に、下層金属層のためのエッチングマスクとなるべき上層金属層（例えば、ニッケル）を貼り付ける。この貼り付けは、下層金属層の上に上層金属層（例えば、ニッケル）をメッキ又は蒸着することにより行う。

[0021] 次に、図4に示すように、この上層金属層のパターニングをリソグラフィにより実施する。このため、上層金属層の上にレジストを塗布し、パターンを露光、現像してさらにエッチングを行い、レジストを除去して、配線パターンを完成させる。エッチング液を選択することにより、下層金属層をエッチングすることなく、上層金属層のみをエッチングすることが可能である。この際、下層金属層は、次のメッキ充填工程で、電解メッキのための通電用金属電極として用いる目的のために、メッキ充填が終わるまで、エッチングしない。

[0022] 次に、図5に示すように、形成した上層金属層のパターニングを含む全面に、垂直配線部形成用のレジストを塗布し、現像で開口する。

[0023] 次に、図6に示すように、レジスト開口部にメッキを施して充填する。このメッキ充填のために、下層金属層を通電用金属電極として用いて電解メッキをする。電解メッキを用いたメッキ充填を可能にすることにより、無電解メッキに比較して速度が早く、コストダウンを図ることが可能となる。

[0024] 次に、図7に示すように、レジストを除去することによって、上層金属層パターンに接続された垂直配線部が形成される。

[0025] 図8は、完成した配線用電子部品を示す断面図である。図8は、上述した

図 1 に相当する。レジストを除去することにより露出した上層金属層パターンを、エッチング用マスクとして、下層金属層をエッチングする。下層金属層のエッチングに際して、そのマスクとなる上層金属層は既にパターンニングされているので、レジストは不要で、いきなりエッチングだけでパターンニングが可能となる。これによって、薄膜テープの上にパターンニングした 2 層構成の水平配線部（上層金属層と下層金属層）が形成される。

[0026] このように、水平配線部を 2 層構成とすることにより、特許文献 2 のような電鍍法を用いることなく、通常のリソグラフィ及びメッキ技術を用いて、垂直配線部と共に水平配線部を有する配線用電子部品の製造が可能となる。なお、下層金属層及び上層金属層は導電性を有する必要があることに加えて、下層金属層は垂直配線部メッキ用の通電用金属電極として使用できること、及び上層金属層は下層金属層のエッチング用マスクとして使用できるものであれば、下層金属層と上層金属層の組み合わせは、例示した銅とニッケルの組み合わせ以外にも、例えば Cu と Au、Ag や Cr と Cu、Cr と Ni 等選択エッチング製の高い材料の組合せであれば良い。また、垂直配線部用金属としては、電解メッキ可能であれば良く、銅、ニッケルなどの導電性金属を使用可能である。また、下層金属層と上層金属層は、いずれも単一金属層により形成する必要は必ずしも無く、いずれかの表面に Au や Ag 等といった導電性の良い金属を形成することも可能である。

実施例 1

[0027] 次に、上述の配線電子部品を用いて構成される電子デバイスパッケージの製造について説明する。図 9 は、基板上に、電子部品として半導体チップ（LSI チップ）を接着し、かつ接続した状態で示す図であり、（A）は断面図を、（B）は斜視図を示している。例示の基板は、上面に配線層を形成したシリコン基板（半導体基板）として例示している。

[0028] 半導体基板上に配線層を形成するために、半導体基板の全面に、配線パターンとなるべき金属のシード層を形成する（例えばスパッタ層あるいはナノ金属材料を塗膜）。このシード層としては、例えば、銅メッキを可能とする

金、銀、銅、パラジウム箔を用いることができる。配線層のパターンはシード層の上にレジストを塗布し、パターンを露光、現像してさらにエッチングを行い、レジストを除去して完成させる。このシード層の上にメッキにより配線層を成長させる。或いは、ナノ金属粒子で直接シード層をパターンニングにしてリソグラフィ工程を省略することもできる。この直接パターンニングは、有機溶媒中に銅等のナノ金属粒子を含有させて、それをプリンターで実用されているインクジェット法で所望のパターンを描く方法である。

[0029] 半導体LSIチップは、基板上の配線層とはフリップチップボンド接続するものとして例示している。このフリップチップボンド接続に代えて、基板上の配線層に、ボンディングワイヤ接続電極となるボンディング用金属パッド部を形成して、ボンディングワイヤにより接続することも可能である。この場合、配線層上の金属パッド部と半導体LSIチップは、例えば、Auボンディングワイヤにより接続される。

[0030] 図10は、上述の配線用電子部品（図1又は図8参照）を、半導体LSIチップを装着した基板（図9参照）上に配置した状態で示す図である。

[0031] 図11は、配線用電子部品を、半導体LSIチップを装着した半導体基板上に接続した状態で示す図である。なお、図示したように、基板側を裏面として、その上に配置される配線用電子部品側をおもて面と称する。基板上面に形成した配線層の所定の位置には、配線用電子部品の垂直配線部が固定され、かつ電氣的に接続される。垂直配線部を固定及び接続する手法としては、（1）超音波による接合、（2）銀ペースト等の導電性ペーストによる接続、（3）半田接続、（4）半導体基板側に設けた接続電極用金属パッド部に凹部を設ける一方、配線用電子部品側は凸部を設けて挿入圧着あるいは挿入してカシメる方法、により行うことができる。

[0032] 図12は、樹脂封止した状態で示す図である。一体に連結されている垂直配線部が配線層の所定の位置に固定された後、この状態で、基板の上面は、支持部の薄膜テープ及び水平配線部下面までトランスファーモールドされ、或いは液状樹脂（材質は、例えばエポキシ系）を用いて樹脂封止される。

[0033] 図 1 3 は、支持板を剥離した後の状態で示す図である。例えば、所定の温度を加えることにより、支持板を剥離する。これにより図 1 3 の上側に露出した薄膜テープは、完成製品の保護膜として機能する。

[0034] 図 1 4 は、完成した電子デバイスパッケージを示す断面図である。図 1 4 に示すように、おもて面側においては、薄膜テープに穴を空け、開口により露出した水平配線部と接続される外部接続用電極（バンプ電極）を形成する。この水平配線部により、垂直配線部先端とは異なる位置に外部接続用電極を設けることができる。

[0035] 以上、基板として半導体シリコン基板を用いる場合を例として説明したが、このような基板としては、特許文献 2 に開示のような多層有機基板とか或いはリードフレームを用いることも可能である。多層有機基板を用いた際には、スルーホール内部の導体層を介して基板上面の配線層に接続される外部接続用電極を、基板裏面側においても容易に形成することができる。多層有機基板は、複数層から成る基板の各層に、それぞれ配線パターンを形成した後これらの基板を貼り合わせ、必要に応じて各層の配線パターンを接続するためのスルーホールを形成したものである。このスルーホールの内部には導体層が形成され、この導体層が裏面側に形成された端面電極部であるランドと接続されている。

[0036] このように、本発明は、例示の配線用電子部品を用いることにより、おもて面側に容易に保護膜により保護された水平配線部、及びこの水平配線部に接続された外部接続用電極を形成することが可能になる。

実施例 2

[0037] 次に、本発明の配線用電子部品をイメージセンサチップパッケージに用いた例を、図 1 5 ～図 2 0 を参照して説明する。図 1 5 は、配線層を有するガラス基板（又は光透過性の良い透明樹脂基板）の上に、イメージセンサのような電子部品が搭載されて接続された状態で示す図である。イメージセンサは、受光面を下側に向けて配置する。透明ガラス基板上の配線層は、図 9 を参照して上述した半導体基板上の配線層と同様な方法で形成することができ

る。ガラス基板に形成した配線層をボンディングパッド領域として、イメージセンサ（半導体LSIチップ）のような電子部品を固定しかつ電氣的に接続する。

[0038] 図16は、ガラス基板上に配線用電子部品を配置した状態で示す図である。図17は、ガラス基板上に配線用電子部品を接続、固定した状態で示す図である。この接続は、図11を参照して前述したように行う。

[0039] 図18は、固定後、樹脂封止した状態で示す図である。図12を参照して前述したようにして、ガラス基板と薄膜テープの間の空間を満たすようにトランスファーモールドされ、或いは液状樹脂（材質は、例えばエポキシ系）を用いて樹脂封止される。

[0040] 図19は、支持板を剥離した後の状態で示す図である。支持板を剥離することにより、上側に露出した薄膜テープは、完成製品の保護膜として機能する。

[0041] 次に、図20に示すように、天地（上下）逆転させる。図20は、完成したイメージセンサチップパッケージを示す図である。図20の下側に位置するおもて面側においては、薄膜テープに穴を空け、開口により露出した配線と接続される外部接続用のバンプ電極を形成する。この後、個々のチップに切断して切り分ける個片化を経た後に、製品として完成させる。

実施例 3

[0042] 図15において上述したガラス基板に代えて、ヒートシンクとして機能する高放熱基板を用いることにより、高放熱型チップパッケージに具体化することができる。実施例3は、ヒートシンク、ヒートスプレッダー等として機能する高放熱基板を用いた点でのみ実施例2とは相違する（図示省略）。

[0043] これによって、ヒートシンクとして機能する高放熱基板に、高放熱型のLSIチップが実装されて、貫通電極の必要なく、高放熱基板とは反対側のおもて面に外部接続用電極を形成した高放熱型チップパッケージが完成する。

[0044] 以上、本開示にて幾つかの実施の形態のみを単に一例として詳細に説明したが、本発明の新規な教示及び有利な効果から実質的に逸脱せずに、その実

施の形態には多くの改変例が可能である。

請求の範囲

- [請求項1] 半導体チップを含む回路素子を配置して、該回路素子と外部電極に接続される水平配線部及び垂直配線部が内在する電子デバイスパッケージに組み込んで用いるための配線用電子部品において、
- 支持板と該支持板に電子デバイスパッケージの保護膜として機能する薄膜テープを貼り付けることにより支持部を構成し、
- 下層金属層と該下層金属層をパターニングするためのマスクとして機能する上層金属層からなる構成の前記水平配線部を前記薄膜テープ上に形成し、
- 前記下層金属層を通電用金属電極として用いて電解メッキをすることにより、前記上層金属層に接続された前記垂直配線部を形成したことから成る配線用電子部品。
- [請求項2] 前記支持板として、板状のシリコン基板、ガラスのような絶縁体或いは導電体のいずれかを用いる請求項1に記載の配線用電子部品。
- [請求項3] 前記薄膜テープとして、一層の薄膜フィルム或いは接着剤により接着した2層以上の薄膜フィルムの絶縁基材を用いる請求項1に記載の配線用電子部品。
- [請求項4] 半導体チップを含む回路素子を配置して、該回路素子と外部電極に接続される水平配線部及び垂直配線部が内在する電子デバイスパッケージに組み込んで用いるための配線用電子部品の製造方法において、
- 支持板の上に、下層金属層付きの薄膜テープを接着剤を用いて貼り付け、
- 前記下層金属層の上に、該下層金属層のためのエッチングマスクとなるべき上層金属層を貼り付け、
- 該上層金属層のパターニングをリソグラフィにより行って、配線パターンを形成し、
- 垂直配線部形成用のレジストを塗布し、現像で開口した後、前記下層金属層を通電用金属電極として用いて電解メッキをすることにより

、レジスト開口部にメッキ充填し、かつ、このレジストを除去することによって、前記上層金属層パターンに接続された前記垂直配線部を形成し、

前記上層金属層パターンをエッチング用マスクとして、前記下層金属層をエッチングすることによって、前記薄膜テープの上にパターンニングした構成の前記水平配線部を形成したことからなる配線用電子部品の製造方法。

[請求項5] 前記支持板として、板状のシリコン基板、ガラスのような絶縁体或いは導電体のいずれかを用いる請求項4に記載の配線用電子部品の製造方法。

[請求項6] 前記薄膜テープとして、一層の薄膜フィルム或いは接着剤により接着した2層以上の薄膜フィルムの絶縁基材を用いる請求項4に記載の配線用電子部品の製造方法。

[請求項7] 前記下層金属層付きの薄膜テープとして、薄膜テープと薄い金属膜を一体化して形成し、或いは、薄膜テープ上の全面に下層金属層となるべき低抵抗の金属膜を蒸着あるいは貼り付けることにより形成した請求項4に記載の配線用電子部品の製造方法。

[請求項8] 前記薄膜テープは、前記電子デバイスパッケージにおいて水平配線部を覆う保護膜として機能する請求項4に記載の配線用電子部品の製造方法。

[請求項9] 前記薄膜テープを貼り付ける接着剤は、所定の温度で剥離し易い材料か、紫外線照射で剥離し易い材料を用いる請求項4に記載の配線用電子部品の製造方法。

[請求項10] 前記上層金属層は、前記下層金属層の上にメッキ又は蒸着することによって貼り付けられる請求項4に記載の配線用電子部品の製造方法。

[請求項11] 前記上層金属層のパターニングは、該上層金属層の上にレジストを塗布し、パターンを露光、現像してさらにエッチングを行い、レジストを除去して、配線パターンを完成させる請求項4に記載の配線用電子

部品の製造方法。

[請求項12] 半導体チップを含む回路素子を配置して、該回路素子と外部電極に接続される水平配線部及び垂直配線部が内在する電子デバイスパッケージにおいて、

配線用電子部品を、支持板と該支持板に薄膜テープを貼り付けることにより構成した支持部と、該支持部上に形成される前記水平配線部と、該水平配線部に接続される前記垂直配線部により構成し、

前記水平配線部は、下層金属層と該下層金属層をパターンニングするためのマスクとして機能する上層金属層からなる構成にして前記薄膜テープ上に形成し、

前記垂直配線部は、前記下層金属層を通電用金属電極として用いて電解メッキをすることにより形成し、

前記配線用電子部品の前記垂直配線部を、基板上の配線層の所定位置に接続しかつ固定して樹脂封止した後、前記支持板を剥離することにより露出した薄膜テープを保護膜として用い、かつ、この保護膜に穴を空け、開口により露出した前記水平配線部と接続される前記外部電極を形成したことから成る電子デバイスパッケージ。

[請求項13] 配線層を有する前記基板がガラス基板又は光透過性の良い透明樹脂基板であり、該基板上に配置される回路素子がイメージセンサである請求項12に記載の電子デバイスパッケージ。

[請求項14] 配線層を有する前記基板がヒートシンク或いはヒートスプレッダーとして機能する高放熱基板であり、該基板上に配置される回路素子が高放熱型のLSIチップである請求項12に記載の電子デバイスパッケージ。

[請求項15] 半導体チップを含む回路素子を配置して、該回路素子と外部電極に接続される水平配線部及び垂直配線部が内在する電子デバイスパッケージの製造方法において、

配線用電子部品を、支持板と該支持板に薄膜テープを貼り付けるこ

とにより構成した支持部と、該支持部上に形成される前記水平配線部と、該水平配線部に接続される前記垂直配線部により構成し、

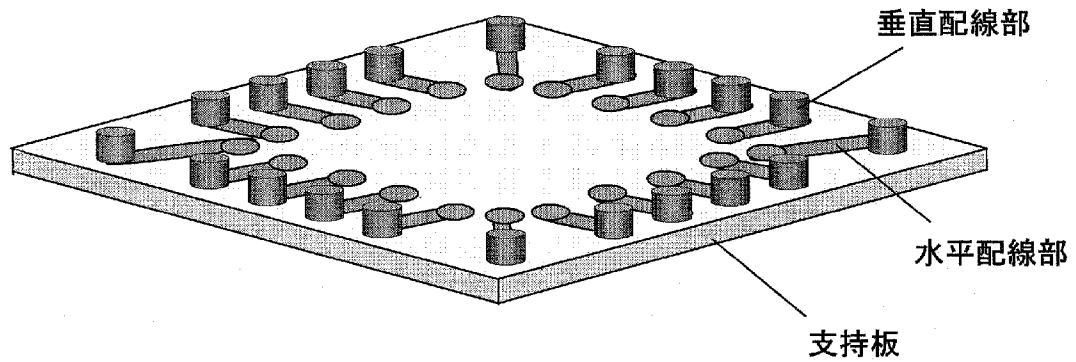
前記水平配線部は、下層金属層と該下層金属層をパターンニングするためのマスクとして機能する上層金属層からなる構成にして前記薄膜テープ上に形成し、

前記垂直配線部は、前記下層金属層を通電用金属電極として用いて電解メッキをすることにより形成し、

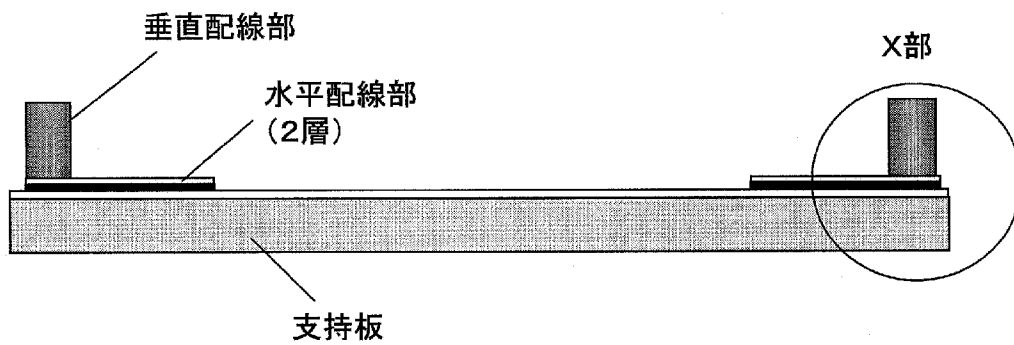
前記配線用電子部品の前記垂直配線部を、基板上の配線層の所定位置に接続しかつ固定して樹脂封止した後、前記支持板を剥離することにより露出した薄膜テープを保護膜として用い、かつ、この保護膜に穴を空け、開口により露出した前記水平配線部と接続される前記外部電極を形成したことから成る電子デバイスパッケージの製造方法。

[図1]

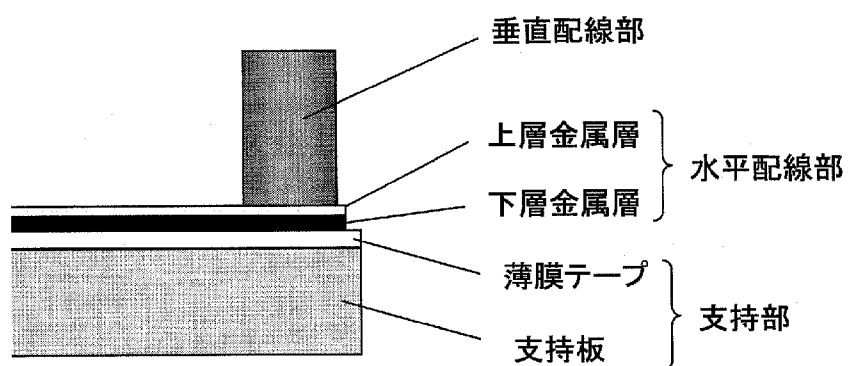
(A)



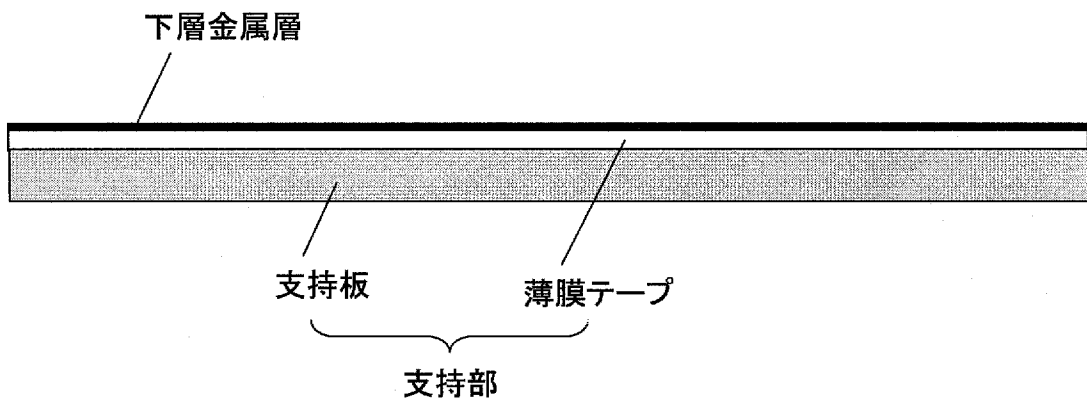
(B)



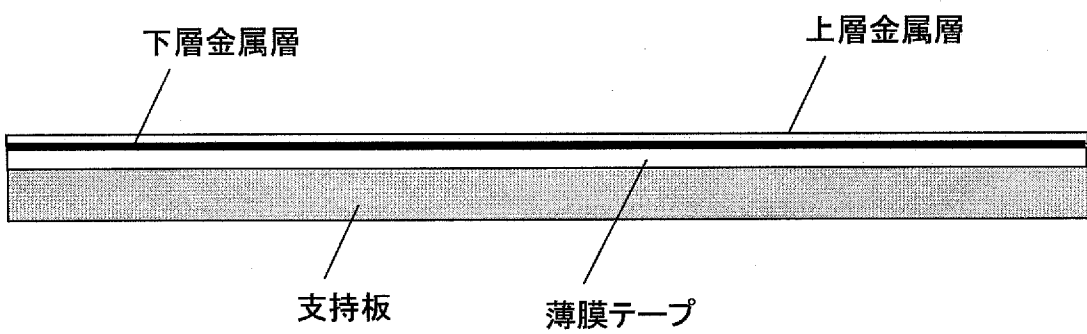
(C)

X部拡大図

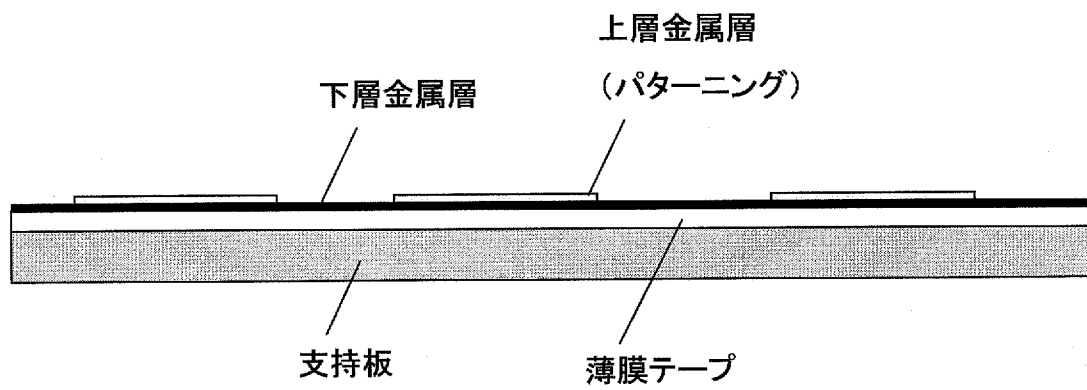
[図2]



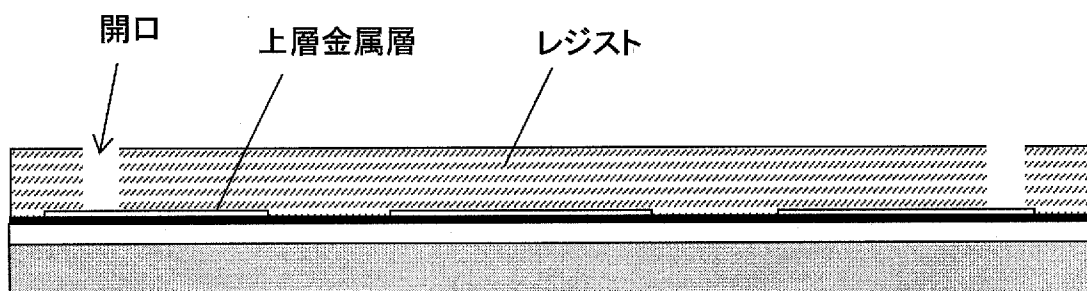
[図3]



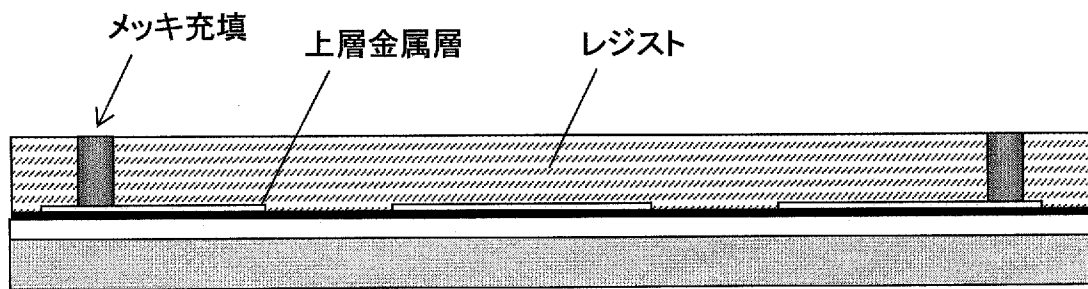
[図4]



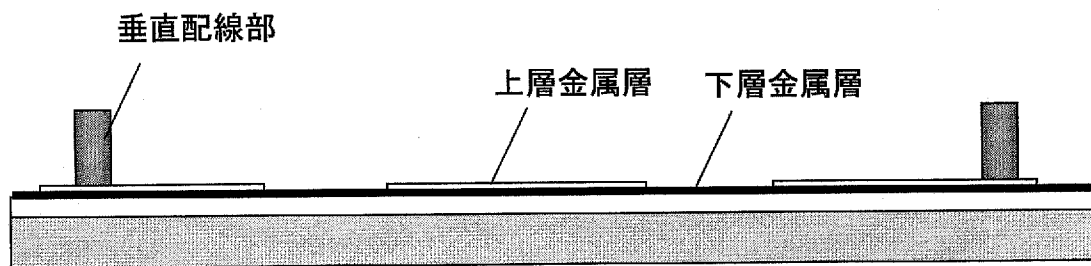
[図5]



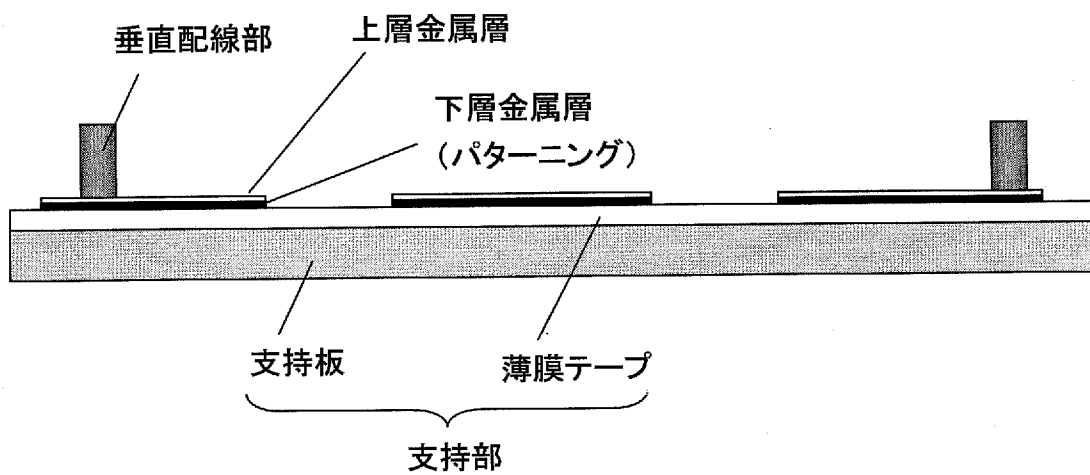
[図6]



[図7]

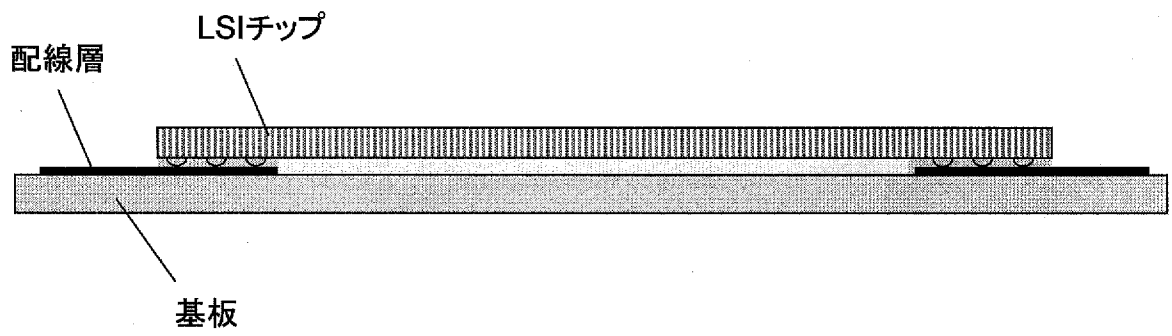


[図8]

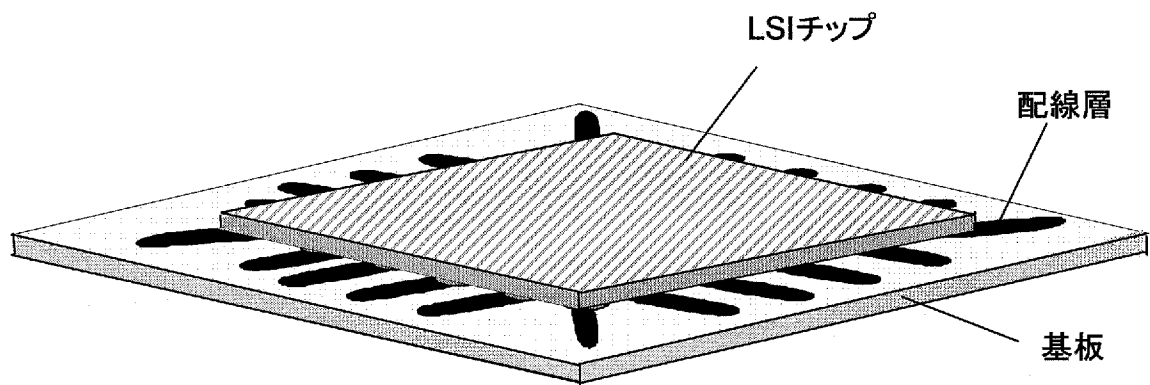


[図9]

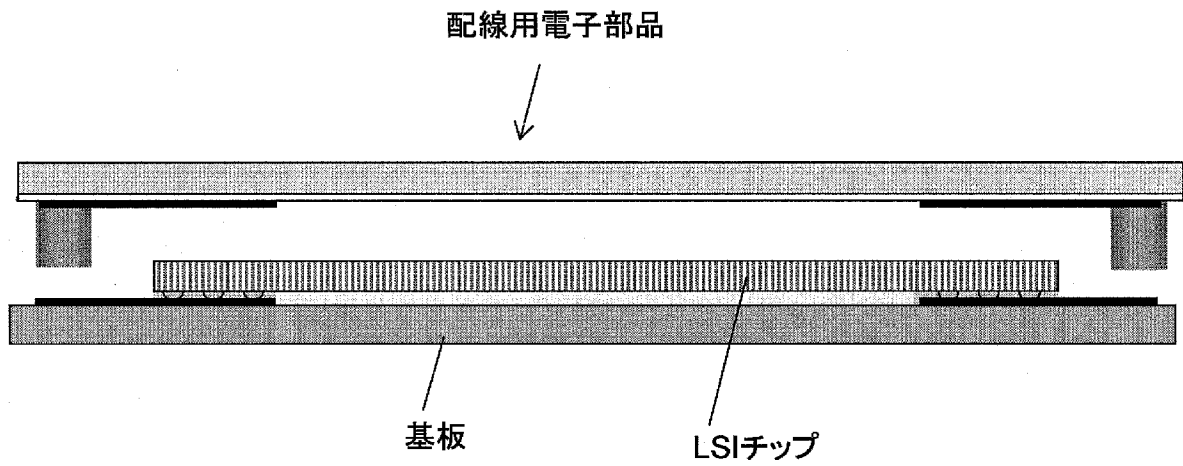
(A)



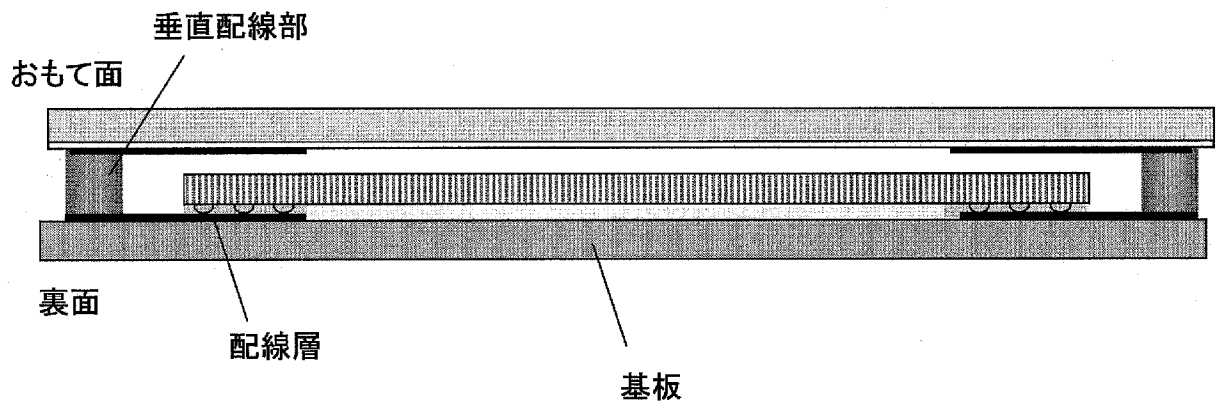
(B)



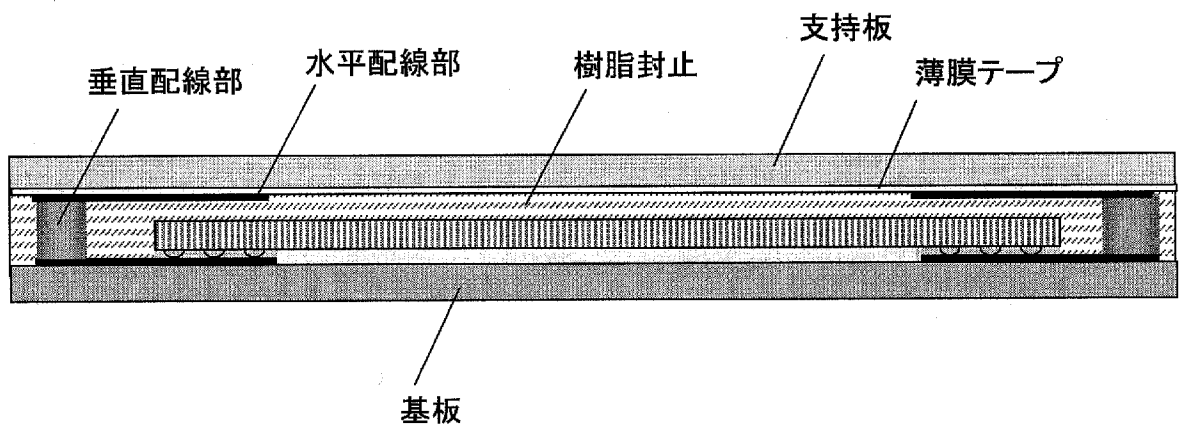
[図10]



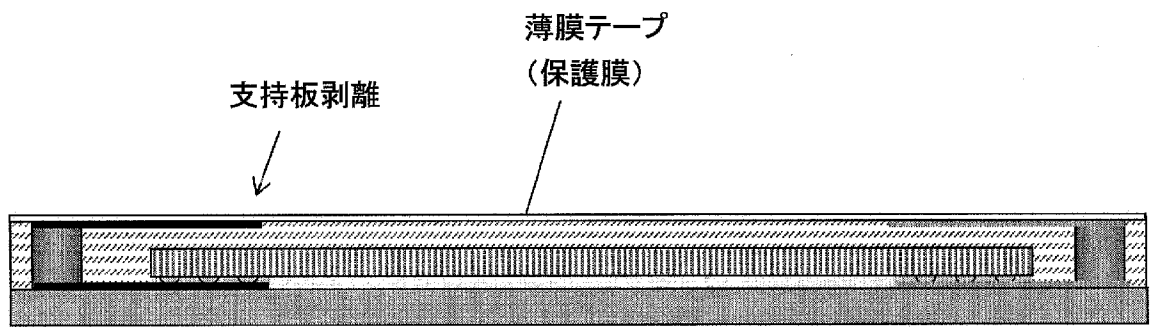
[図11]



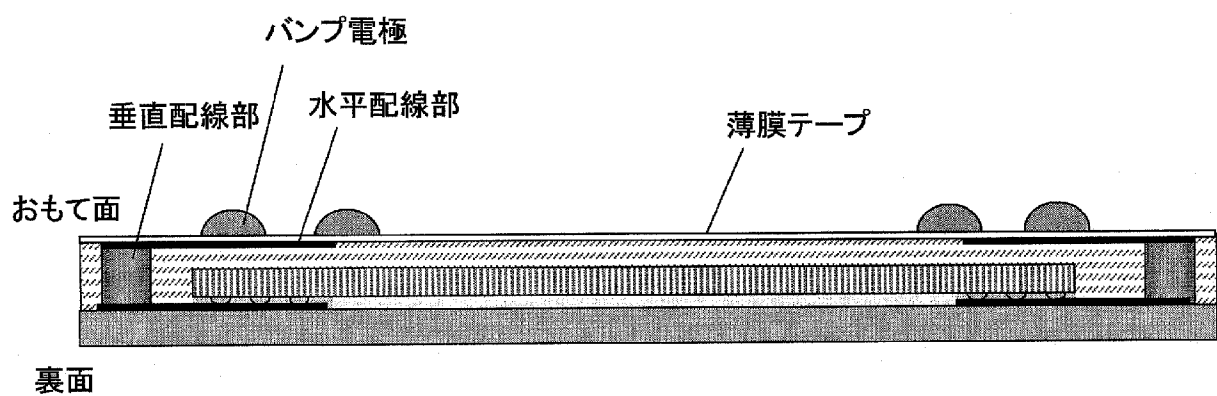
[図12]



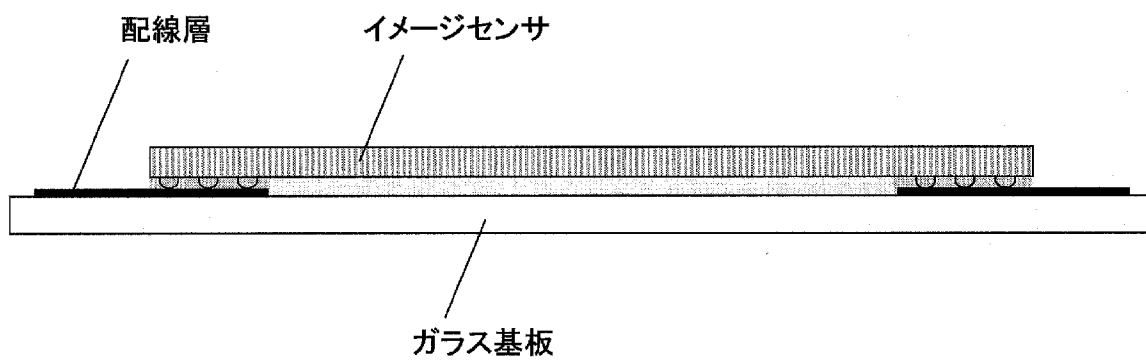
[図13]



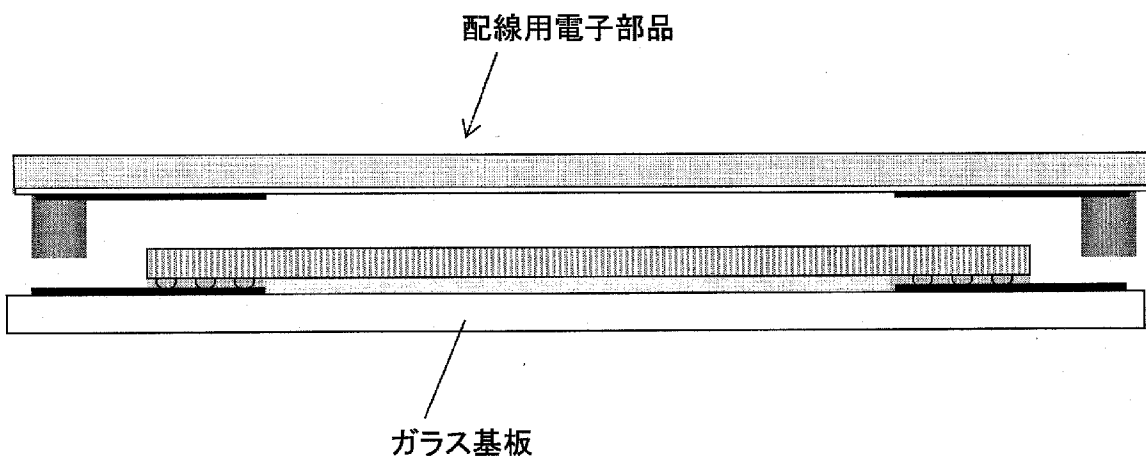
[図14]



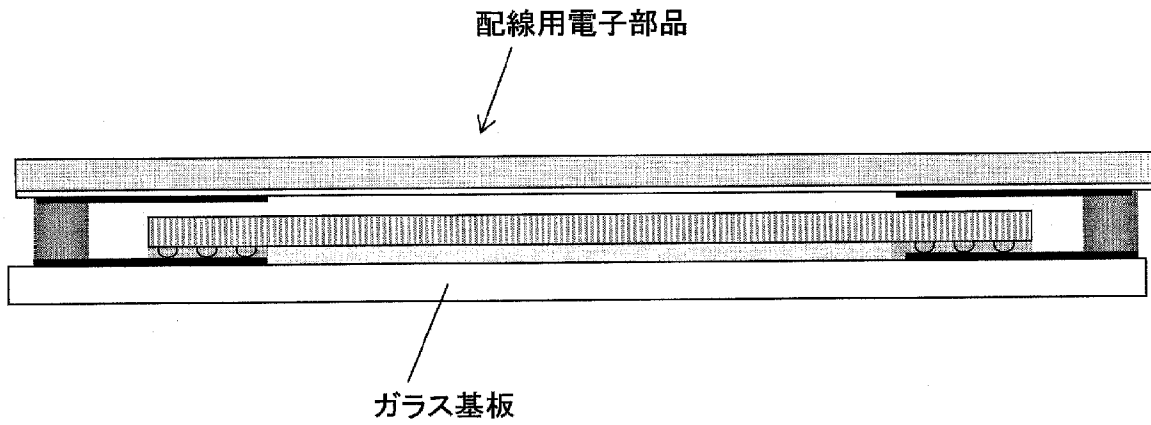
[図15]



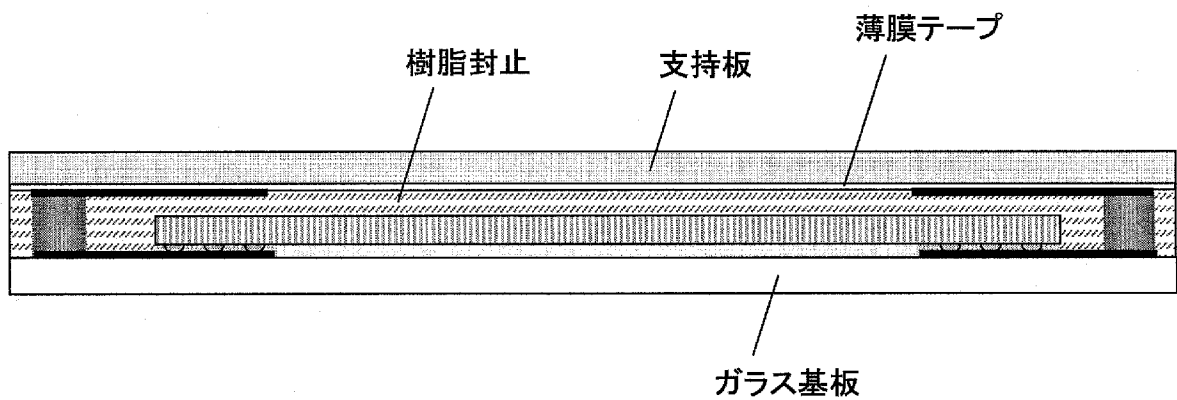
[図16]



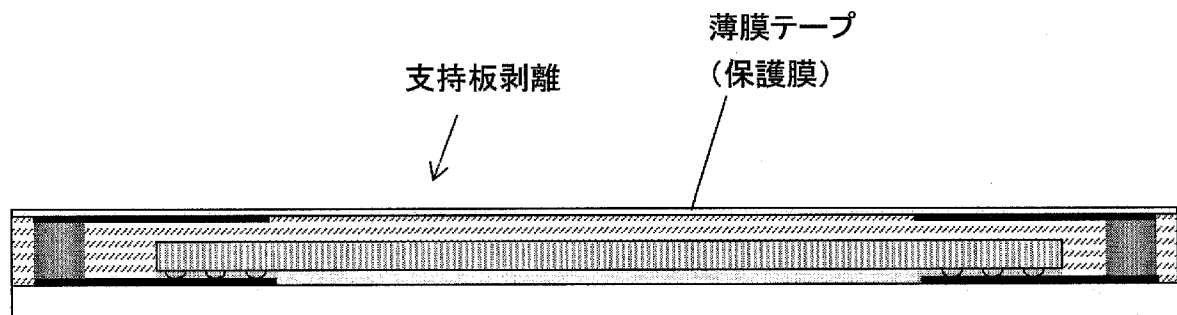
[図17]



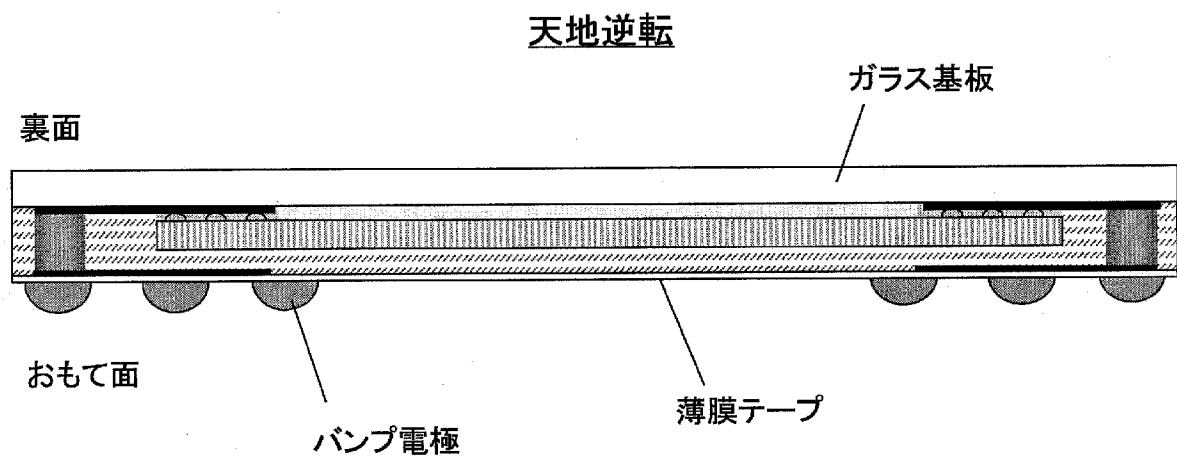
[図18]



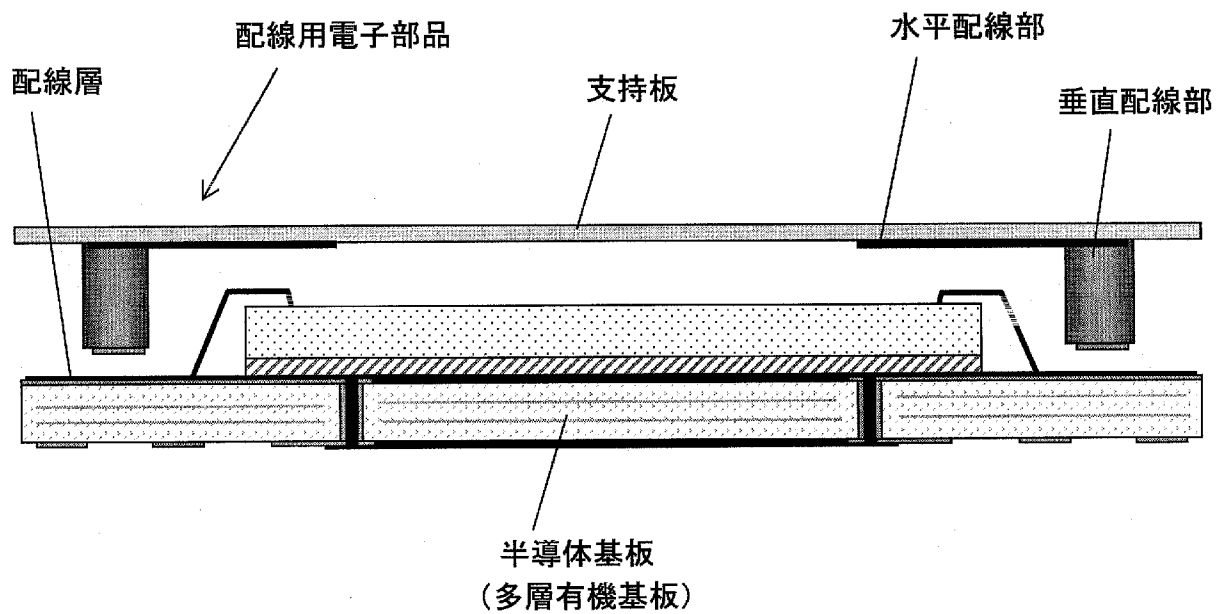
[図19]



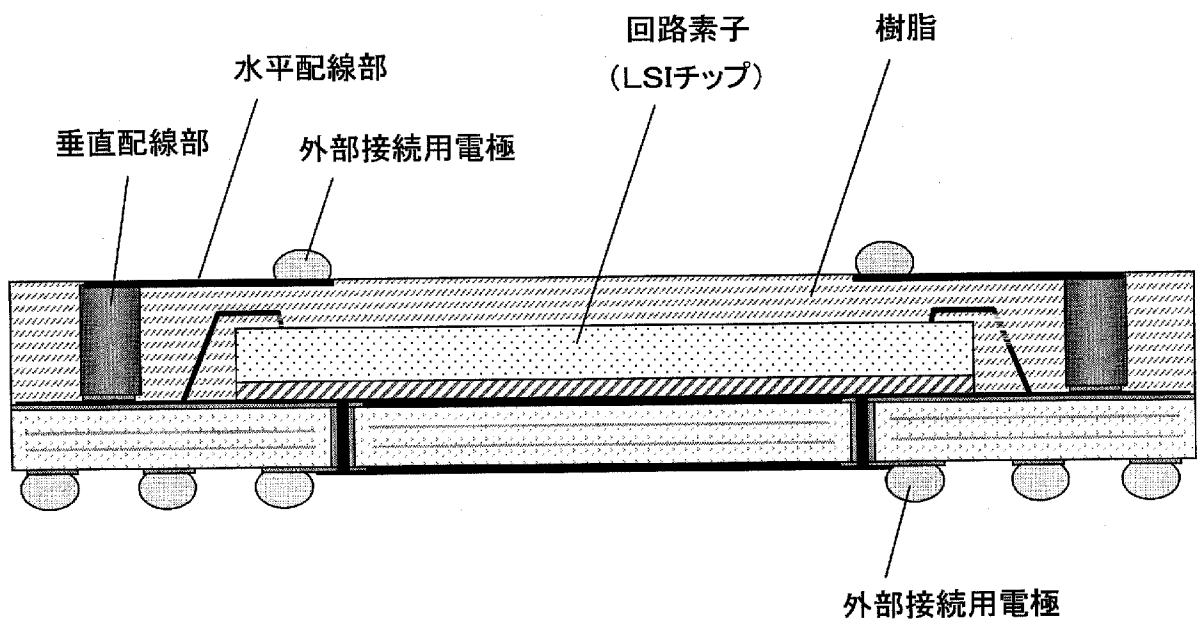
[図20]



[図21]



[図22]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2009/006267

A. CLASSIFICATION OF SUBJECT MATTER

H01L23/12 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L23/12

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2010
Kokai Jitsuyo Shinan Koho	1971-2010	Toroku Jitsuyo Shinan Koho	1994-2010

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y	JP 2007-158193 A (Matsushita Electric Industrial Co., Ltd.), 21 June 2007 (21.06.2007), paragraphs [0021] to [0095] (Family: none)	1-3, 12-14 4-11, 15
Y	JP 2008-235378 A (NEC Corp.), 02 October 2008 (02.10.2008), paragraphs [0043] to [0124] (Family: none)	4-11, 15
A	JP 11-45955 A (Kyocera Corp.), 16 February 1999 (16.02.1999), paragraphs [0013] to [0021] (Family: none)	1-15

☐ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search
04 January, 2010 (04.01.10)

Date of mailing of the international search report
19 January, 2010 (19.01.10)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

A. 発明の属する分野の分類 (国際特許分類 (I P C))

Int.Cl. H01L23/12 (2006.01)i

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (I P C))

Int.Cl. H01L23/12

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 1 0 年
日本国実用新案登録公報	1 9 9 6 - 2 0 1 0 年
日本国登録実用新案公報	1 9 9 4 - 2 0 1 0 年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X	JP 2007-158193 A (松下電器産業株式会社) 2007.06.21, 【0021】	1-3, 12-14
Y	～【0095】 (ファミリーなし)	4-11, 15
Y	JP 2008-235378 A (日本電気株式会社) 2008.10.02, 【0043】～【0124】	4-11, 15
A	(ファミリーなし)	
	JP 11-45955 A (京セラ株式会社) 1999.02.16, 【0013】～【0021】	1-15
	(ファミリーなし)	

C 欄の続きにも文献が列挙されている。

パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの

「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)

「O」口頭による開示、使用、展示等に言及する文献

「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日

0 4 . 0 1 . 2 0 1 0

国際調査報告の発送日

1 9 . 0 1 . 2 0 1 0

国際調査機関の名称及びあて先

日本国特許庁 (I S A / J P)

郵便番号 1 0 0 - 8 9 1 5

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

今井 淳一

4 R

9 0 5 5

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 4 7 1