



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2017-0098367
(43) 공개일자 2017년08월30일

- | | |
|---|---|
| <p>(51) 국제특허분류(Int. Cl.)
 <i>H01L 23/373</i> (2006.01) <i>H01L 21/471</i> (2006.01)
 <i>H01L 23/14</i> (2006.01) <i>H01L 23/31</i> (2006.01)
 <i>H01L 23/367</i> (2006.01) <i>H01L 23/492</i> (2006.01)
 <i>H01L 23/498</i> (2006.01)</p> <p>(52) CPC특허분류
 <i>H01L 23/3735</i> (2013.01)
 <i>H01L 21/471</i> (2013.01)</p> <p>(21) 출원번호 10-2016-0019771
 (22) 출원일자 2016년02월19일
 심사청구일자 없음</p> | <p>(71) 출원인
 삼성전자주식회사
 경기도 수원시 영통구 삼성로 129 (매탄동)</p> <p>(72) 발명자
 최윤석
 경기도 시흥시 미산로100번길 11 101동 403호 (미산동, 해가든더클래식아파트)
 김일호
 서울특별시 서초구 강남대로39길 5 (서초동, 서초동두산위브) 806호
 김창호
 경기도 화성시 병점4로 102 1004동 701호 (진안동, 진안골마을주공10단지)</p> <p>(74) 대리인
 특허법인 고려</p> |
|---|---|

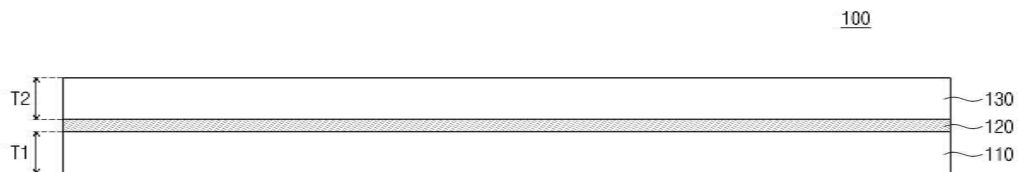
전체 청구항 수 : 총 19 항

(54) 발명의 명칭 지지 기판 및 이를 사용한 반도체 패키지의 제조방법

(57) 요약

본 발명은 지지 기판 및 이를 사용한 반도체 패키지의 제조방법을 제공한다. 지지 기판은 제1 플레이트; 상기 제1 플레이트 상의 제2 플레이트; 및 상기 제1 플레이트 및 상기 제2 플레이트 사이에 개재된 접착층을 포함할 수 있다. 상기 접착층은 상기 제1 플레이트 및 상기 제2 플레이트보다 높은 열팽창계수를 가질 수 있다. 반도체 패키지의 제조에서, 상기 지지 기판에 의해 몰딩막의 휨이 방지될 수 있다.

대표도 - 도1



(52) CPC특허분류

H01L 23/142 (2013.01)

H01L 23/147 (2013.01)

H01L 23/3121 (2013.01)

H01L 23/3675 (2013.01)

H01L 23/4926 (2013.01)

H01L 23/4985 (2013.01)

명세서

청구범위

청구항 1

제1 플레이트;

상기 제1 플레이트 상의 제2 플레이트; 및

상기 제1 플레이트 및 상기 제2 플레이트 사이에 개재된 접착층을 포함하되,

상기 접착층은 상기 제1 플레이트 및 상기 제2 플레이트보다 높은 열팽창계수를 갖는 지지 기판.

청구항 2

제1 항에 있어서,

상기 제1 플레이트는 상기 제2 플레이트보다 높은 열팽창계수를 가지며,

상기 제1 플레이트는 상기 제2 플레이트와 동일한 두께를 갖는 지지 기판.

청구항 3

제1 항에 있어서,

상기 제1 플레이트는 상기 제2 플레이트보다 높은 열팽창계수를 가지며,

상기 제1 플레이트는 상기 제2 플레이트보다 더 얇은 두께를 갖는 지지 기판.

청구항 4

제3 항에 있어서,

상기 제1 플레이트, 상기 접착층, 및 상기 제2 플레이트의 두께들의 합은 0.7mm 내지 1.5mm인 지지 기판.

청구항 5

제1 항에 있어서,

상기 제1 플레이트는 상기 제2 플레이트보다 얇은 지지 기판.

청구항 6

제5 항에 있어서,

상기 제1 플레이트는 상기 제2 플레이트와 동일한 열팽창계수를 가지는 지지 기판.

청구항 7

제1 무기물층;

상기 제1 무기물층 상에 제공되는 폴리머층; 및

상기 폴리머층 상의 제2 무기물층을 포함하되,

상기 폴리머층은 상기 제1 무기물층 및 상기 제2 무기물층보다 높은 열 팽창계수를 갖는 지지 기판.

청구항 8

제7 항에 있어서,

상기 제1 무기물층은 상기 제2 무기물층보다 높은 열팽창계수를 갖는 지지 기판.

청구항 9

제8 항에 있어서,

상기 제1 무기물층은 상기 제2 무기물층과 다른 두께를 갖는 지지 기관.

청구항 10

제7 항에 있어서,

상기 제1 무기물층은 상기 제2 무기물층과 동일한 두께를 갖는 지지 기관.

청구항 11

제10 항에 있어서,

상기 제2 무기물층을 구성하는 원소들 중에서 적어도 하나는 상기 제1 무기물층을 구성하는 원소들과 다른 지지 기관.

청구항 12

제10 항에 있어서,

상기 제2 무기물층을 구성하는 원소들은 상기 제1 무기물층을 구성하는 원소들과 동일하되, 상기 제2 무기물층의 조성비는 상기 제1 무기물층의 조성비와 다른 지지 기관.

청구항 13

제12 항에 있어서,

제1 무기물층은 상기 제2 무기물층보다 얇은 두께를 가지되,

상기 제1 무기물층은 상기 제1 무기물층과 동일한 원소들을 포함하며, 상기 제1 무기물층의 조성비는 상기 제2 무기물층의 조성비와 동일한 지지 기관.

청구항 14

적층된 제1 플레이트, 접착층, 및 제2 플레이트를 포함하는 지지 기관을 제공하는 것;

상기 지지 기관 상에 반도체칩을 배치하는 것;

상기 지지 기관 상에 상기 반도체칩을 덮는 몰딩막을 형성하는 것; 및

상기 지지 기관을 제거하여, 상기 반도체칩의 하면을 노출시키는 것을 포함하되,

상기 접착층은 상기 제1 플레이트 및 상기 제2 플레이트보다 높은 열팽창계수를 갖는 반도체 패키지 제조방법.

청구항 15

제14 항에 있어서,

상기 제1 플레이트는 상기 제2 플레이트보다 높은 열팽창계수를 갖는 반도체 패키지 제조방법.

청구항 16

제15 항에 있어서,

상기 지지 기관은 상기 반도체칩을 향하는 상면 및 상기 상면과 대향되는 하면을 가지고,

상기 접착층은 상기 지지 기관의 상기 상면보다 상기 하면에 더 인접하여 제공되는 반도체 패키지 제조방법.

청구항 17

제14 항에 있어서,

상기 제1 플레이트는 상기 제2 플레이트와 동일한 두께를 갖는 반도체 패키지 제조방법.

청구항 18

제14 항에 있어서,

상기 반도체칩의 상기 하면 상에 기판을 형성하는 것을 더 포함하되,

상기 기판은 절연 패턴들 및 상기 절연 패턴들 사이의 도전 패턴을 포함하는 반도체 패키지 제조방법.

청구항 19

제14 항에 있어서,

상기 몰딩막을 형성하는 것은:

상기 지지 기판 상에 몰딩 물질을 공급하여, 상기 반도체칩을 덮는 것; 및

상기 몰딩 물질을 경화시키는 것을 포함하는 반도체 패키지 제조방법.

발명의 설명

기술 분야

[0001] 본 발명은 반도체 패키지에 관한 것으로, 보다 구체적으로는 반도체 패키지 제조 공정에 사용되는 지지 기판에 관한 것이다.

배경 기술

[0002] 반도체 패키지의 제조에 있어, 기판 상에 반도체 칩을 플립 칩(flip-chip) 본딩하는 방법이 사용되고 있다. 플립 칩(flip-chip) 실장된 반도체 칩은 그 전면적에 I/O를 배열할 수 있어 마이크로프로세서, CPU 칩셋 등과 같이 많은 수의 I/O를 필요로 하는 전자 제품에 적용하기 용이할 수 있다. 더불어, 플립 칩 실장된 반도체칩은 짧은 전기적인 접속 길이를 가져, 우수한 전기적, 기계적 특성을 나타낼 수 있다. 반도체 패키지의 제조 과정에서, 반도체 패키지의 휨(warpage)이 발생하는 문제가 제기되고 있다.

발명의 내용

해결하려는 과제

[0003] 본 발명이 해결하고자 하는 일 과제는 휨 현상이 개선된 반도체 패키지 및 그 제조 방법을 제공하는 것에 있다.

[0004] 본 발명이 해결하고자 하는 다른 과제는 향상된 수율의 반도체 패키지의 제조 방법을 제공하는 것에 있다.

과제의 해결 수단

[0005] 본 발명은 지지 기판 및 이를 사용한 반도체 패키지의 제조방법에 관한 것이다. 본 발명의 개념에 따른 지지 기판은 제1 플레이트; 상기 제1 플레이트 상의 제2 플레이트; 및 상기 제1 플레이트 및 상기 제2 플레이트 사이에 개재된 접착층을 포함하되, 상기 접착층은 상기 제1 플레이트 및 상기 제2 플레이트보다 높은 열팽창계수를 가질 수 있다.

[0006] 실시예들에 따르면, 상기 제1 플레이트는 상기 제2 플레이트보다 높은 열팽창계수를 가지며, 상기 제1 플레이트는 상기 제2 플레이트와 동일한 두께를 가질 수 있다.

[0007] 실시예들에 따르면, 상기 제1 플레이트는 상기 제2 플레이트보다 높은 열팽창계수를 가지며, 상기 제1 플레이트는 상기 제2 플레이트보다 더 얇은 두께를 가질 수 있다.

[0008] 실시예들에 따르면, 상기 제1 플레이트, 상기 접착층, 및 상기 제2 플레이트의 두께들의 합은 0.7mm 내지 1.5mm 일 수 있다.

[0009] 실시예들에 따르면, 상기 제1 플레이트는 상기 제2 플레이트보다 얇을 수 있다.

[0010] 실시예들에 따르면, 상기 제1 플레이트는 상기 제2 플레이트와 동일한 열팽창계수를 가질 수 있다.

[0011] 본 발명에 따른 지지 기판은 제1 무기물층; 상기 제1 무기물층 상에 제공되는 폴리머층; 및 상기 폴리머층 상의

제2 무기물층을 포함하되, 상기 폴리머층은 상기 제1 무기물층 및 상기 제2 무기물층보다 높은 열 팽창계수를 가질 수 있다.

- [0012] 실시예들에 따르면, 상기 제1 무기물층은 상기 제2 무기물층보다 높은 열팽창계수를 가질 수 있다.
- [0013] 실시예들에 따르면, 상기 제1 무기물층은 상기 제2 무기물층과 다른 두께를 가질 수 있다.
- [0014] 실시예들에 따르면, 상기 제1 무기물층은 상기 제2 무기물층과 동일한 두께를 가질 수 있다.
- [0015] 실시예들에 따르면, 상기 제2 무기물층을 구성하는 원소들 중에서 적어도 하나는 상기 제1 무기물층을 구성하는 원소들과 다를 수 있다.
- [0016] 실시예들에 따르면, 상기 제2 무기물층을 구성하는 원소들은 상기 제1 무기물층을 구성하는 원소들과 동일하되, 상기 제2 무기물층의 조성비는 상기 제1 무기물층의 조성비와 다를 수 있다.
- [0017] 실시예들에 따르면, 제1 무기물층은 상기 제2 무기물층보다 얇은 두께를 가지되, 상기 제1 무기물층은 상기 제1 무기물층과 동일한 원소들을 포함하며, 상기 제1 무기물층의 조성비는 상기 제2 무기물층의 조성비와 동일할 수 있다.
- [0018] 본 발명에 따른 반도체 패키지 제조방법은 적층된 제1 플레이트, 접착층, 및 제2 플레이트를 포함하는 지지 기판을 제공하는 것; 상기 지지 기판 상에 반도체칩을 배치하는 것; 상기 지지 기판 상에 상기 반도체칩을 덮는 몰딩막을 형성하는 것; 및 상기 지지 기판을 제거하여, 상기 반도체칩의 하면을 노출시키는 것을 포함하되, 상기 접착층은 상기 제1 플레이트 및 상기 제2 플레이트보다 높은 열팽창계수를 가질 수 있다.
- [0019] 실시예들에 따르면, 상기 제1 플레이트는 상기 제2 플레이트보다 높은 열팽창계수를 가질 수 있다.
- [0020] 실시예들에 따르면, 상기 지지 기판은 상기 반도체칩을 향하는 상면 및 상기 상면과 대향되는 하면을 가지고, 상기 접착층은 상기 지지 기판의 상기 상면보다 상기 하면에 더 인접하여 제공될 수 있다.
- [0021] 실시예들에 따르면, 상기 제1 플레이트는 상기 제2 플레이트와 동일한 두께를 가질 수 있다.
- [0022] 실시예들에 따르면, 상기 반도체칩의 상기 하면 상에 기판을 형성하는 것을 더 포함하되, 상기 기판은 절연 패턴들 및 상기 절연 패턴들 사이의 도전 패턴을 포함할 수 있다.
- [0023] 실시예들에 따르면, 상기 몰딩막을 형성하는 것은: 상기 지지 기판 상에 몰딩 물질을 공급하여, 상기 반도체칩을 덮는 것; 및 상기 몰딩 물질을 경화시키는 것을 포함할 수 있다.

발명의 효과

- [0024] 본 발명의 개념에 따르면, 지지 기판은 적층된 제1 플레이트, 접착층, 및 제2 플레이트를 포함할 수 있다. 제1 플레이트 및 제2 플레이트의 열팽창계수들 또는 두께들이 조절될 수 있다. 플레이트들의 열팽창계수의 조절은 플레이트들을 구성하는 원소들의 종류 및 조성비를 제어하여 수행될 수 있다. 몰딩막의 경화 과정에서, 몰딩막 및 반도체칩의 열팽창계수 차이에 의한 스트레스는 제1 플레이트, 몰딩막, 또는 제2 플레이트 사이의 열팽창계수의 차이에 의한 스트레스에 의해 상쇄될 수 있다. 이에 따라, 몰딩막의 휨이 방지/감소될 수 있다.

도면의 간단한 설명

- [0025] 본 발명의 보다 완전한 이해와 도움을 위해, 참조가 아래의 설명에 첨부도면과 함께 주어지고 참조번호가 아래에 나타나 있다.
- 도 1은 실시예에 따른 반도체 패키지를 도시한 단면도이다.
- 도 2a 내지 도 2e는 실시예들에 따른 반도체 패키지의 제조 과정을 도시한 단면도이다.
- 도 3a는 실시예들에 따른 지지 기판을 도시한 단면도이다.
- 도 3b는 도 3a의 지지 기판을 사용한 반도체 패키지의 제조의 일 단계를 도시한 것으로, 몰딩막의 경화 과정에 대응된다.
- 도 4a는 실시예들에 따른 지지 기판을 도시한 단면도이다.
- 도 4b는 도 4a의 지지 기판을 사용한 반도체 패키지의 제조에서 몰딩막의 경화 과정을 도시하였다.

도 5a는 실시예들에 따른 지지 기판을 도시한 단면도이다.

도 5b는 도 5a의 지지 기판을 사용한 반도체 패키지의 제조에서 몰딩막의 경화 과정을 도시하였다.

도 6a는 실시예들에 따른 지지 기판을 도시한 단면도이다.

도 6b는 도 6a의 지지 기판을 사용한 반도체 패키지의 제조에서 몰딩막의 경화 과정을 도시하였다.

도 7a는 실시예들에 따른 지지 기판을 도시한 단면도이다.

도 7b는 도 7a의 지지 기판을 사용한 반도체 패키지의 제조에서 몰딩막의 경화 과정을 도시하였다.

발명을 실시하기 위한 구체적인 내용

- [0026] 본 발명의 구성 및 효과를 충분히 이해하기 위하여, 첨부한 도면을 참조하여 본 발명의 바람직한 실시 예들을 설명한다. 그러나 본 발명은, 이하에서 개시되는 실시예들에 한정되는 것이 아니라, 여러가지 형태로 구현될 수 있고 다양한 변경을 가할 수 있다. 단지, 본 실시예들의 설명을 통해 본 발명의 개시가 완전하도록 하며, 본 발명이 속하는 기술 분야의 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위하여 제공되는 것이다. 당해 기술분야에서 통상의 기술을 가진 자는 본 발명의 개념이 어떤 적합한 환경에서 수행될 수 있다는 것을 이해할 것이다.
- [0027] 본 명세서에서 사용된 용어는 실시예들을 설명하기 위한 것이며 본 발명을 제한하고자 하는 것은 아니다. 본 명세서에서, 단수형은 문구에서 특별히 언급하지 않는 한 복수형도 포함한다. 명세서에서 사용되는 ‘포함한다(comprises)’ 및/또는 ‘포함하는(comprising)’은 언급된 구성요소, 단계, 동작 및/또는 소자는 하나 이상의 다른 구성요소, 단계, 동작 및/또는 소자의 존재 또는 추가를 배제하지 않는다.
- [0028] 본 명세서에서 어떤 막(또는 층)이 다른 막(또는 층) 또는 기판상에 있다고 언급되는 경우에 그것은 다른 막(또는 층) 또는 기판상에 직접 형성될 수 있거나 또는 그들 사이에 제 3의 막(또는 층)이 개재될 수도 있다.
- [0029] 본 명세서의 다양한 실시 예들에서 제1, 제2, 제3 등의 용어가 다양한 영역, 막들(또는 층들) 등을 기술하기 위해서 사용되었지만, 이들 영역, 막들이 이 같은 용어들에 의해서 한정되어서는 안 된다. 이들 용어들은 단지 어느 소정 영역 또는 막(또는 층)을 다른 영역 또는 막(또는 층)과 구별시키기 위해서 사용되었을 뿐이다. 따라서, 어느 한 실시 예에의 제1막질로 언급된 막질이 다른 실시 예에서는 제2막질로 언급될 수도 있다. 여기에 설명되고 예시되는 각 실시 예는 그것의 상보적인 실시예도 포함한다. 명세서 전체에 걸쳐서 동일한 참조번호로 표시된 부분들은 동일한 구성요소들을 나타낸다.
- [0030] 본 발명의 실시예들에서 사용되는 용어들은 다르게 정의되지 않는 한, 해당 기술 분야에서 통상의 지식을 가진 자에게 통상적으로 알려진 의미로 해석될 수 있다.
- [0032] 이하, 본 발명의 개념에 따른 지지 기판 및 이를 사용한 반도체 패키지의 제조를 설명한다.
- [0033] 도 1은 실시예들에 따른 지지 기판을 도시한 단면도이다.
- [0034] 도 1을 참조하면, 지지 기판(100)은 제1 플레이트(110), 접착층(120), 및 제2 플레이트(130)를 포함할 수 있다. 제1 플레이트(110)는 대략 3ppm/℃ 내지 대략 8.7ppm/℃의 열팽창계수(coefficient of expansion, CTE)를 가질 수 있다. 제1 플레이트(110)는 무기물, 예를 들어, 단결정 실리콘 또는 유리(예를 들어, 석영)를 포함할 수 있다. 제1 플레이트(110)가 유리를 포함하는 경우, 제1 플레이트(110)는 제1 알칼리계 금속 산화물을 더 포함할 수 있다. 알칼리계 금속은 제1 족 원소 또는 제2 족 원소를 의미할 수 있다. 예를 들어, 제1 알칼리계 금속 산화물은 나트륨 산화물, 마그네슘 산화물, 또는 칼슘 산화물 등을 포함할 수 있다. 제1 알칼리계 금속 산화물의 종류 또는 그 조성비를 제어하여, 제1 플레이트(110)의 열팽창계수가 조절될 수 있다.
- [0035] 접착층(120)이 제1 플레이트(110) 상에 배치될 수 있다. 접착층(120)은 제1 플레이트(110)보다 높은 열팽창계수를 가질 수 있다. 예를 들어, 접착층(120)은 대략 9 ppm/℃ 내지 대략 30ppm/℃의 열팽창계수를 가질 수 있다. 이 때, 접착층(120)의 열팽창계수는 유리전이온도(Tg) 이하에서의 열팽창계수(α_1)를 의미한다. 접착층(120)은 폴리머, 예를 들어, 폴리에틸렌테레프탈레이트, 폴리부틸렌테레프탈레이트, 폴리에틸렌나프탈레이트, 폴리이미드, 폴리아미드, 폴리아미드이미드, 폴리아세탈, 폴리카보네이트, 폴리에테르설폰, 폴리페닐렌설폰, 폴리페닐렌에테르, 폴리에테르케톤, 폴리아릴레이트, 폴리에테르아미드, 폴리에테르이미드, 또는 폴리에테르설폰을 포함

할 수 있다.

[0036] 제2 플레이트(130)가 접착층(120) 상에 배치될 수 있다. 제2 플레이트(130)는 접착층(120)에 의해 제1 플레이트(110)에 부착될 수 있다. 제2 플레이트(130)의 열팽창계수는 접착층(120)의 열팽창계수 및 제1 플레이트(110)의 열팽창계수보다 낮을 수 있다. 제2 플레이트(130)는 대략 3ppm/℃ 내지 대략 8.7ppm/℃의 열팽창계수를 가질 수 있다. 제2 플레이트(130)는 무기물을 포함할 수 있다. 일 예로, 제2 플레이트(130)는 단결정 실리콘을 포함할 수 있다. 다른 예로, 제2 플레이트(130)는 유리를 포함할 수 있다. 제2 플레이트(130)가 유리를 포함하는 경우, 제2 플레이트(130)는 제2 알칼리계 금속 산화물을 더 포함할 수 있다. 제2 알칼리계 금속 산화물은 제1 족 원소의 산화물 또는 제2 족 원소의 산화물을 의미할 수 있다. 제2 플레이트(130)를 구성하는 원소들의 종류 또는 그 조성비를 제어하여, 제2 플레이트(130)의 열팽창계수가 제1 플레이트(110)의 열팽창계수보다 더 낮은 값을 가지도록 조절될 수 있다. 일 예로, 제2 플레이트(130)를 구성하는 원소들 중에서 적어도 하나는 제1 플레이트(110)를 구성하는 원소들과 다를 수 있다. 다른 예로, 제2 플레이트(130)를 구성하는 원소들은 제1 플레이트(110)를 구성하는 원소들과 동일하나, 그 조성비가 제1 플레이트(110)를 구성하는 원소들의 의 조성비와 다를 수 있다. 제2 플레이트(130)의 두께(T2)는 제1 플레이트(110)의 두께(T1)와 실질적으로 동일할 수 있다. 이하, 본 명세서에서 두께가 동일하다는 것은 공정상 발생할 수 있는 오차 범위를 포함한다.

[0038] 도 2a 내지 도 2e는 실시예들에 따른 반도체 패키지의 제조 과정을 도시한 단면도이다. 이하 앞서 설명한 바와 중복되는 내용은 생략한다.

[0039] 도 2a를 참조하면, 제1 플레이트(110), 접착층(120), 및 제2 플레이트(130)를 포함하는 지지 기판(100)이 준비될 수 있다. 지지 기판(100)은 도 1에서 설명한 지지 기판(100)일 수 있다. 접착 패턴(150)이 제2 플레이트(130) 상에 제공될 수 있다. 접착 패턴(150)은 폴리머를 포함할 수 있다. 반도체칩들(200)이 지지 기판(100) 상에 배치될 수 있다. 반도체칩들(200)은 서로 옆으로 이격될 수 있다. 반도체칩들(200)은 접착 패턴(150)에 의해 제2 플레이트(130)에 부착될 수 있다. 반도체칩들(200)의 칩 패드들(201)은 지지 기판(100)을 향할 수 있다. 반도체칩들(200)은 실리콘을 포함할 수 있다.

[0040] 도 2b를 참조하면, 지지 기판(100) 상에 반도체칩들(200)을 덮는 몰딩막(300)이 형성될 수 있다. 예를 들어, 몰딩 물질이 지지 기판(100) 상에 공급되어, 반도체칩들(200)을 덮을 수 있다. 몰딩 물질은 에폭시계 몰딩 컴파운드(EMC)를 포함할 수 있다. 몰딩 물질이 경화되어, 몰딩막(300)이 형성될 수 있다. 이하에서, 몰딩막(300)의 경화/열팽창계수는 몰딩 물질의 경화/열팽창계수를 의미한다. 몰딩막(300)은 반도체칩들(200)보다 높은 열팽창계수를 가질 수 있다. 몰딩막(300)은 150℃ 내지 200℃의 챔버(미도시) 내에 제공된 후, 상온(25℃)으로 냉각되어 경화될 수 있다. 몰딩막(300)의 경화 과정에서, 반도체칩들(200) 및 몰딩막(300)의 열팽창계수의 차이(CTE mismatch)에 의해 몰딩막(300)에 스트레스가 가해질 수 있다. 상세하게, 몰딩막(300)이 150℃ 내지 200℃에서 상온(25℃)으로 냉각되는 과정에서 몰딩막(300)에 스트레스가 발생할 수 있다. 지지 기판(100)이 생략되었다면, 몰딩막(300)의 휨(warp)이 점선으로 도시한 바와 같은 오목한 모양(concave-shape)으로 발생할 수 있다. 예를 들어, 몰딩막(300)의 휨은 몰딩막(300)의 엣지 부분이 그 중심 부분보다 위를 향하도록 발생할 수 있다. 이하, 본 명세서에서 몰딩막(300)의 경화 과정에 발생하는 열팽창계수 차이에 의한 스트레스/휨(warp)은 몰딩막(300)의 경화 과정 중 냉각 과정에서 발생하는 스트레스/휨을 의미할 수 있다. 제1 플레이트(110) 및 접착층(120)은 제2 플레이트(130)보다 높은 열팽창계수를 가질 수 있다. 몰딩막(300)의 경화 과정에서 제1 플레이트(110)와 제2 플레이트(130), 그리고 접착층(120)과 제2 플레이트(130)의 열팽창계수의 차이에 의해 지지 기판(100)에 스트레스가 가해질 수 있다. 지지 기판(100)의 스트레스는 지지 기판(100)에 몰딩막(300)에 대한 안티-휨(anti-warp)을 유도할 수 있다. 본 명세서에서 지지 기판(100)의 안티-휨이란 몰딩막(300)의 경화 과정에서 몰딩막(300)의 휨이 없었다면 지지 기판(100)에 발생할 수 있는 가상의 휨을 의미하며, 제조 과정에서 관찰되거나 나타나지 않을 수 있다. 지지 기판(100)의 안티-휨은 점선으로 도시한 바와 같은 볼록한 모양(convex shape)일 수 있다. 예를 들어, 지지 기판(100)은 안티-휨은 지지 기판(100)의 엣지 부분이 그 중심 부분보다 아래를 향하도록 가해지는 힘일 수 있다. 지지 기판(100)의 안티-휨은 몰딩막(300)의 휨과 반대 방향으로 작용하며, 실질적으로 동일한 세기를 가질 수 있다. 제1 플레이트(110), 접착층(120), 또는 제2 플레이트(130)의 열팽창계수들을 조절하여, 지지 기판(100)의 안티-휨의 세기가 조절될 수 있다. 플레이트들(110, 120)의 열팽창계수의 조절은 플레이트들(110, 120)을 구성하는 원소들의 종류 및 조성비를 제어하여 수행될 수 있다. 몰딩막(300)의 경화 과정에서, 몰딩막(300)의 휨은 지지 기판(100)의 안티-휨과 상쇄될 수 있다. 따라서, 경화된 후, 몰딩막(300)은 편평할 수 있다. 예를 들어, 몰딩막(300)의 하면에서 최고 높이 및 최저 높이의 차이는 50μm보다 작을 수 있다. 제1 플레이트(110) 및 접착층(120)이 생략된 경우, 지지 기판(100)의 안티-휨은 몰딩막(300)의

힘을 상쇄하기에 부족할 수 있다.

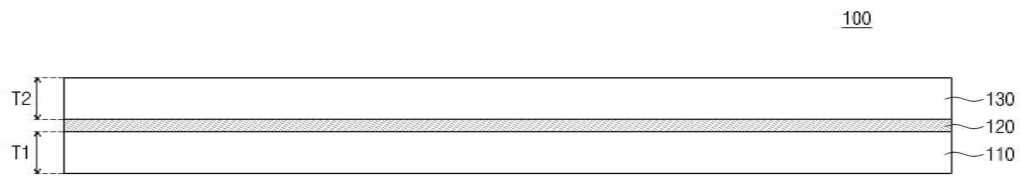
- [0041] 도 2c를 참조하면, 지지 기판(도 2b에서 100) 및 접착 패턴(도 2b에서 150)이 제거되어, 반도체칩들(200)의 하면들(200b) 및 몰딩막(300)의 하면(300b)이 노출될 수 있다.
- [0042] 도 2d 및 도 2e를 차례로 참조하면, 기판(400)이 반도체칩들(200)의 하면들(200b) 및 몰딩막(300)의 하면(300b) 상에 형성될 수 있다. 기판(400)은 절연 패턴들(410) 및 도전 패턴(420)을 포함할 수 있다. 도전 패턴(420)은 절연 패턴들(410) 사이에 제공되며, 반도체칩들(200)의 칩 패드들(201)과 접속할 수 있다. 본 명세서에서 접속한다는 것은 직접적인 접속 또는 다른 구성요소를 통한 간접적인 접속을 포함한다. 외부 단자(450)가 기판(400)의 하면 상에 형성되어, 도전 패턴(420)과 접속할 수 있다. 외부 단자(450)는 솔더볼의 형상을 가질 수 있다. 기판(400)이 일점 쇄선으로 도시된 바와 같이 쏘임되어, 도 2e의 반도체 패키지들(1)이 서로 분리될 수 있다. 몰딩막(300)의 힘이 발생하면, 힘이 발생한 위치에 배치된 반도체칩들(200)은 손상될 수 있다. 손상된 반도체칩들(200)을 포함하는 반도체 패키지들(1)은 쏘임 공정 후, 폐기될 수 있다. 실시예들에 따르면, 몰딩막(300)의 힘이 방지되어, 반도체 패키지들(1)은 높은 수율로 제조될 수 있다.
- [0044] 도 3a는 실시예들에 따른 지지 기판을 도시한 단면도이다. 이하, 앞서 설명한 바와 중복되는 내용은 생략한다.
- [0045] 도 3a를 참조하면, 지지 기판(101)은 적층된 제1 플레이트(110), 접착층(120), 및 제2 플레이트(130)를 포함할 수 있다. 지지 기판(101)은 상면(101a) 및 하면(101b)을 가질 수 있다. 지지 기판(101)의 상면(101a)은 제2 플레이트(130)와 인접하며, 하면(101b)은 상면(101a)과 대향될 수 있다. 제1 플레이트(110), 접착층(120), 및 제2 플레이트(130)는 도 1의 예들에서 설명한 바와 동일한 물질을 포함할 수 있다.
- [0046] 제1 플레이트(110)는 제2 플레이트(130)와 동일하거나 더 높은 열팽창계수를 가질 수 있다. 제1 플레이트(110)가 제2 플레이트(130)와 동일한 열팽창계수를 가지는 경우, 제1 플레이트(110)는 제2 플레이트(130)와 동일한 원소를 포함하며, 동일한 조성비를 가질 수 있다. 제1 플레이트(110)가 제2 플레이트(130)보다 큰 열팽창계수를 가지는 경우, 제1 플레이트(110)는 제2 플레이트(130)와 다른 원소를 포함하거나, 다른 조성비를 가질 수 있다. 제1 플레이트(110)의 두께(T1)는 제2 플레이트(130)의 두께(T2)보다 더 얇을 수 있다.
- [0047] 접착층(120)은 제1 플레이트(110) 및 제2 플레이트(130)보다 높은 열팽창계수를 가질 수 있다. 접착층(120)은 지지 기판(101)의 상면(101a)보다 지지 기판(101)의 하면(101b)에 더 인접하여 배치될 수 있다. 제1 플레이트(110)의 두께(T1), 접착층(120)의 두께(T3), 및 제2 플레이트(130)의 두께(T2)의 합은 대략 0.7mm 내지 1.5mm 일 수 있다.
- [0048] 도 3b는 도 3a의 지지 기판을 사용한 반도체 패키지의 제조의 일 단계를 도시한 것으로, 몰딩막의 경화 과정에 대응된다.
- [0049] 도 3b를 참조하면, 반도체칩들(200) 및 몰딩막(300)이 지지 기판(101) 상에 형성될 수 있다. 이 때, 도 3a에서 설명한 지지 기판(101)이 사용될 수 있다. 몰딩막(300)은 반도체칩들(200)보다 높은 열팽창계수를 가질 수 있다. 몰딩막(300)의 경화 과정에서, 몰딩막(300)의 힘이 점선으로 도시한 바와 같은 오목한 모양으로 발생할 수 있다.
- [0050] 접착층(120)은 제1 플레이트(110) 및 제2 플레이트(130)보다 높은 열팽창계수를 가질 수 있다. 접착층(120)이 지지 기판(101)의 상면(101a)보다 하면(101b)에 인접하여 배치될 수 있다. 지지 기판(101)의 하부의 평균 열팽창계수는 지지 기판(101)의 상부의 평균 열팽창계수보다 클 수 있다. 여기에서, 지지 기판(101)의 상부 및 하부는 지지 기판(101)의 상면(101a) 및 하면(101b)의 중점들을 잇는 선을 기준으로 판단한다. 몰딩막(300)의 경화 과정에서 지지 기판(101)의 하부와 상부의 열팽창계수의 차이에 의해 지지 기판(101)은 점선으로 도시한 바와 같은 불룩한 모양의 안티-휨을 가질 수 있다. 지지 기판(101)의 안티-휨은 몰딩막(300)의 휨의 방향과 반대 방향으로 작용하며, 실질적으로 동일한 세기를 가질 수 있다. 제1 플레이트(110), 접착층(120), 또는 제2 플레이트(130)의 열팽창계수들 또는 두께들(T1, T2, T3)을 조절하여, 지지 기판(101)의 안티-휨의 세기가 조절될 수 있다. 몰딩막(300)의 휨은 지지 기판(101)의 안티-휨과 상쇄되어, 몰딩막(300)은 편평할 수 있다.
- [0051] 다시 도 2c 내지 도 2e를 차례로 참조하면, 지지 기판(101)이 제거되고, 반도체칩들(200)의 하면들(200b) 및 몰딩막(300)의 하면(300b)이 노출될 수 있다. 기판(400)이 반도체칩들(200)의 하면들(200b) 및 몰딩막(300)의 하면(300b) 상에 형성될 수 있다. 기판(400)이 쏘임되어, 반도체 패키지들(1)이 제조될 수 있다.

- [0053] 도 4a는 실시예들에 따른 지지 기관을 도시한 단면도이다. 이하, 앞서 설명한 바와 중복되는 내용은 생략한다.
- [0054] 도 4a를 참조하면, 지지 기관(102)은 적층된 제1 플레이트(110), 접착층(120), 및 제2 플레이트(130)를 포함할 수 있다. 제1 플레이트(110)는 제2 플레이트(130)보다 높은 열팽창계수를 가질 수 있다. 제1 플레이트(110)의 두께(T1)는 제2 플레이트(130)의 두께(T2)보다 더 두꺼울 수 있다.
- [0055] 접착층(120)의 두께(T3)는 제1 플레이트(110)의 두께(T1) 및 제2 플레이트(130)의 두께(T2)에 비해 과도하게 작을 수 있다. 접착층(120)은 제1 플레이트(110)보다 높은 열팽창계수를 가질 수 있다. 그러나, 접착층(120)은 도 3a의 접착층(120)보다 제1 플레이트(110)와 열팽창계수의 차이가 크지 않을 수 있다. 따라서, 지지 기관(101)의 하부의 평균 열팽창계수는 지지 기관(101)의 상부의 평균 열팽창계수보다 클 수 있다. 제1 플레이트(110)의 두께(T1), 접착층(120)의 두께(T3), 및 제2 플레이트(130)의 두께(T2)의 합은 1.5mm보다 클 수 있다. 제1 플레이트(110), 접착층(120), 및 제2 플레이트(130)는 도 1의 예들에서 설명한 바와 동일한 물질을 포함할 수 있다.
- [0056] 도 4b는 도 4a의 지지 기관을 사용한 반도체 패키지의 제조에서 몰딩막의 경화 과정을 도시하였다.
- [0057] 도 4b를 참조하면, 반도체칩들(200) 및 몰딩막(300)이 지지 기관(102) 상에 형성될 수 있다. 이 때, 도 4a에서 설명한 지지 기관(102)이 사용될 수 있다. 몰딩막(300)은 반도체칩들(200)보다 높은 열팽창계수를 가질 수 있다. 몰딩막(300)의 경화 과정에서, 몰딩막(300)의 휨이 점선으로 도시한 바와 같은 오목한 모양으로 발생할 수 있다.
- [0058] 몰딩막(300)의 경화 과정에서, 제1 플레이트(110), 접착층(120), 및 제2 플레이트(130)의 열팽창계수 차이에 의해, 지지 기관(105)에 몰딩막(300)에 대한 안티-휨이 유도될 수 있다. 제1 플레이트(110), 접착층(120), 또는 제2 플레이트(130)의 열팽창계수들 또는 두께들(T1, T2, T3)을 조절하여, 지지 기관(101)의 안티-휨의 방향이 조절될 수 있다. 지지 기관(101)의 하부의 평균 열팽창계수는 지지 기관(101)의 상부의 평균 열팽창계수보다 클 수 있다. 지지 기관(102)의 안티-휨이 점선으로 도시한 바와 같이 볼록한 모양으로 유도될 수 있다. 몰딩막(300)의 휨은 지지 기관(102)의 안티-휨과 상쇄되어, 몰딩막(300)의 휨이 방지/감소할 수 있다.
- [0060] 도 5a는 실시예들에 따른 지지 기관을 도시한 단면도이다. 이하, 앞서 설명한 바와 중복되는 내용은 생략한다. 이하, 앞서 설명한 바와 중복되는 내용은 생략한다.
- [0061] 도 5a를 참조하면, 지지 기관(103)은 적층된 제1 플레이트(110), 접착층(120), 및 제2 플레이트(130)를 포함할 수 있다. 제2 플레이트(130)는 제1 플레이트(110)보다 높은 열팽창계수를 가질 수 있다. 제2 플레이트(130)을 구성하는 무기물은 제1 플레이트(110)을 구성하는 무기물과 원소 종류 또는 조성비가 다를 수 있다. 제2 플레이트(130)의 두께(T2)는 제1 플레이트(110)의 두께(T1)와 실질적으로 동일할 수 있다. 접착층(120)은 제1 플레이트(110) 및 제2 플레이트(130)보다 높은 열팽창계수를 가질 수 있다. 접착층(120)은 폴리머를 포함할 수 있다.
- [0062] 도 5b는 도 5a의 지지 기관을 사용한 반도체 패키지의 제조에서 몰딩막의 경화 과정을 도시하였다.
- [0063] 도 5b를 참조하면, 반도체칩들(200) 및 몰딩막(300)이 도 5a에서 설명한 지지 기관(103) 상에 형성될 수 있다. 몰딩막(300)의 경화 과정에서, 반도체칩들(200) 및 몰딩막(300)의 열팽창 계수의 차이에 의해 몰딩막(300)의 휨이 점선으로 도시한 바와 같은 볼록한 모양으로 발생할 수 있다.
- [0064] 접착층(120) 및 제2 플레이트(130)는 제1 플레이트(110)보다 높은 열팽창계수를 가질 수 있다. 몰딩막(300)의 경화 과정에서 제1 플레이트(110), 접착층(120), 및 제2 플레이트(130)의 열팽창계수 차이에 의해 지지 기관(103)의 안티-휨이 점선으로 도시한 바와 같이 오목한 모양으로 유도될 수 있다. 지지 기관(103)의 안티-휨은 몰딩막(300)의 휨의 방향과 반대 방향으로 작용하며, 실질적으로 동일한 세기를 가질 수 있다. 몰딩막(300)의 휨은 지지 기관(103)의 안티-휨과 상쇄되어, 몰딩막(300)은 편평할 수 있다.
- [0066] 도 6a는 실시예들에 따른 지지 기관을 도시한 단면도이다. 이하, 앞서 설명한 바와 중복되는 내용은 생략한다.
- [0067] 도 6a를 참조하면, 지지 기관(104)은 적층된 제1 플레이트(110), 접착층(120), 및 제2 플레이트(130)를 포함할 수 있다. 제1 플레이트(110), 접착층(120), 및 제2 플레이트(130)는 도 1의 예들에서 설명한 바와 동일한 물질을 포함할 수 있다.

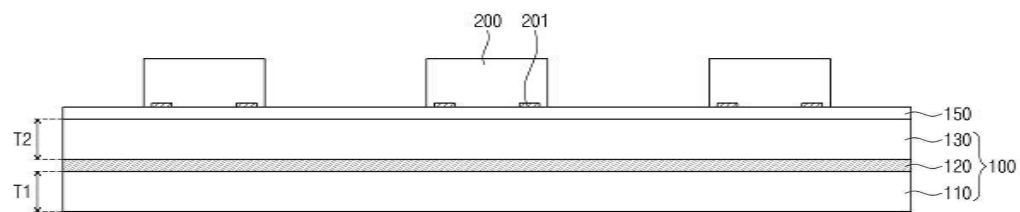
- [0068] 제2 플레이트(130)는 제1 플레이트(110)와 동일하거나 더 높은 열팽창계수를 가질 수 있다. 접착층(120)은 제1 플레이트(110) 및 제2 플레이트(130)보다 높은 열팽창계수를 가질 수 있다.
- [0069] 제2 플레이트(130)의 두께(T2)는 제1 플레이트(110)의 두께(T1)보다 얇을 수 있다. 제1 플레이트(110)의 두께(T1), 접착층(120)의 두께(T3), 및 제2 플레이트(130)의 두께(T2)의 합은 대략 0.7mm 내지 1.5mm일 수 있다. 접착층(120)은 지지 기관(104)의 하면(104b)보다 지지 기관(104)의 상면(104a)에 더 인접하여 배치될 수 있다.
- [0070] 도 6b는 도 6a의 지지 기관을 사용한 반도체 패키지의 제조에서 몰딩막의 경화 과정을 도시하였다.
- [0071] 도 6b를 참조하면, 반도체칩들(200) 및 몰딩막(300)이 지지 기관(104) 상에 형성될 수 있다. 이 때, 도 6a에서 설명한 지지 기관(104)이 사용될 수 있다. 몰딩막(300)의 경화 과정에서, 몰딩막(300)의 휨이 점선으로 도시한 바와 같은 볼록한 모양으로 발생할 수 있다.
- [0072] 제1 플레이트(110), 접착층(120), 및 제2 플레이트(130)의 열팽창계수 차이에 의해, 지지 기관(104)에 몰딩막(300)에 대한 안티-휨이 유도될 수 있다. 이 때, 접착층(120)이 지지 기관(104)의 안티-휨의 방향에 미치는 영향이 클 수 있다. 접착층(120)은 제1 플레이트(110) 및 제2 플레이트(130)보다 높은 열팽창계수를 가질 수 있다. 접착층(120)은 지지 기관(104)의 하면(104b)보다 지지 기관(104)의 상면(104a)에 더 인접하여 배치될 수 있다. 따라서, 지지 기관(104)의 하부의 평균 열팽창계수가 지지 기관(104)의 상부의 평균 열팽창계수보다 클 수 있다. 지지 기관(100)의 안티-휨은 점선으로 도시한 바와 같이 오목한 모양으로 유도될 수 있다. 몰딩막(300)의 휨은 지지 기관(104)의 안티-휨과 상쇄되어, 몰딩막(300)의 휨이 방지/감소할 수 있다.
- [0074] 도 7a는 실시예들에 따른 지지 기관을 도시한 단면도이다. 이하, 앞서 설명한 바와 중복되는 내용은 생략한다.
- [0075] 도 7a를 참조하면, 지지 기관(105)은 적층된 제1 플레이트(110), 접착층(120), 및 제2 플레이트(130)를 포함할 수 있다. 제1 플레이트(110), 접착층(120), 및 제2 플레이트(130)는 도 1의 예들에서 설명한 바와 동일한 물질을 포함할 수 있다. 제1 플레이트(110)의 두께(T1), 접착층(120)의 두께(T3), 및 제2 플레이트(130)의 두께(T2)의 합은 1.5mm보다 클 수 있다.
- [0076] 제2 플레이트(130)의 두께(T2)는 제1 플레이트(110)의 두께(T1)보다 두꺼울 수 있다. 제2 플레이트(130)는 제1 플레이트(110)와 동일하거나 더 높은 열팽창계수를 가질 수 있다.
- [0077] 접착층(120)의 두께(T3)는 제1 플레이트(110)의 두께(T1) 및 제2 플레이트(130)의 두께(T2)에 비해 과도하게 작을 수 있다. 접착층(120)은 제1 플레이트(110)보다 높은 열팽창계수를 가질 수 있다. 그러나, 접착층(120)은 도 6a의 접착층(120)보다 제1 플레이트(110)와 열팽창계수의 차이가 크지 않을 수 있다. 지지 기관(104)의 하부의 평균 열팽창계수가 지지 기관(104)의 상부의 평균 열팽창계수보다 클 수 있다.
- [0078] 도 7b는 도 7a의 지지 기관을 사용한 반도체 패키지의 제조에서 몰딩막의 경화 과정을 도시하였다.
- [0079] 도 7b를 참조하면, 반도체칩들(200) 및 몰딩막(300)이 지지 기관(105) 상에 형성될 수 있다. 몰딩막(300)의 경화 과정에서, 몰딩막(300)의 휨이 점선으로 도시한 바와 같은 볼록한 모양으로 발생할 수 있다.
- [0080] 몰딩막(300)의 경화 과정에서, 제1 플레이트(110), 접착층(120), 및 제2 플레이트(130)의 열팽창계수 차이에 의해, 지지 기관(105)에 몰딩막(300)에 대한 안티-휨이 유도될 수 있다. 이 때, 제1 플레이트(110)가 접착층(120)보다 지지 기관(104)의 안티-휨의 방향에 미치는 영향이 클 수 있다. 지지 기관(104)의 하부의 평균 열팽창계수가 지지 기관(104)의 상부의 평균 열팽창계수보다 클 수 있다. 지지 기관(105)의 안티-휨은 점선으로 도시한 바와 같이 오목한 모양으로 유도될 수 있다. 몰딩막(300)의 휨은 지지 기관(105)의 안티-휨과 상쇄되어, 몰딩막(300)의 휨이 방지/감소할 수 있다.

도면

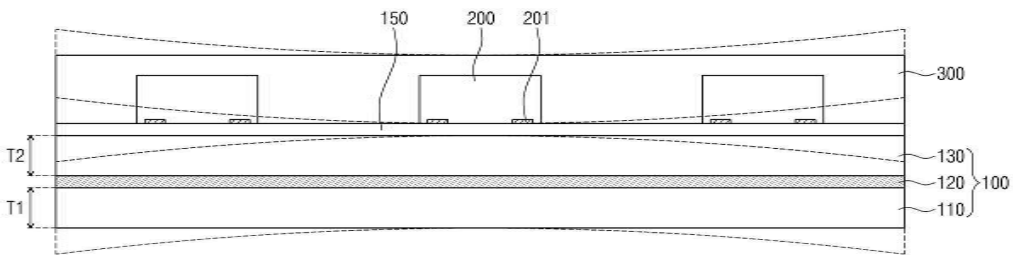
도면1



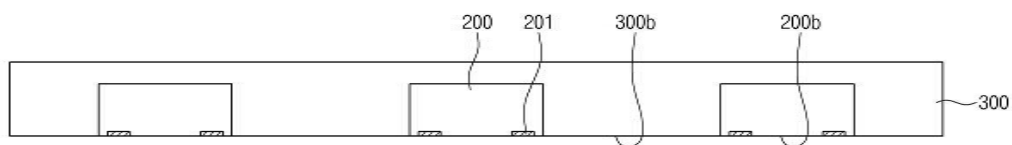
도면2a



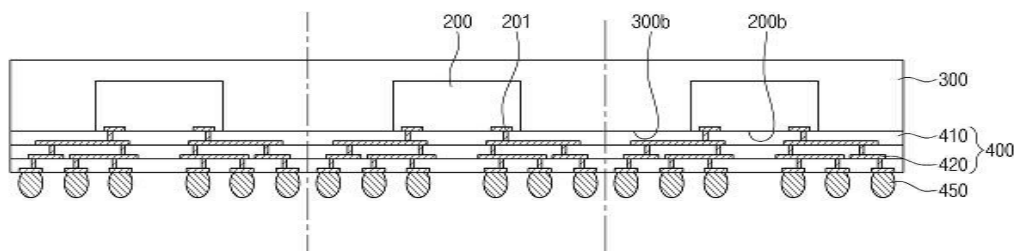
도면2b



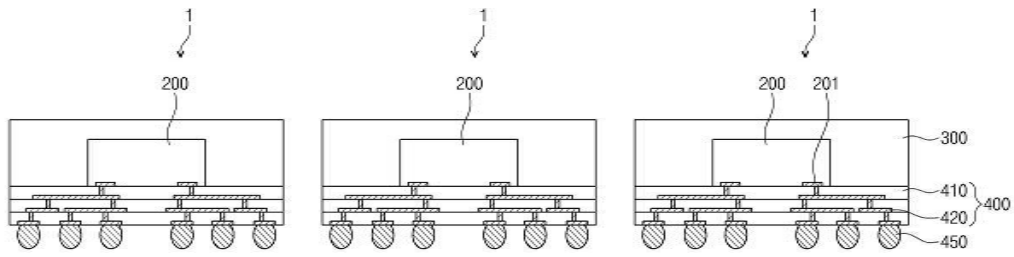
도면2c



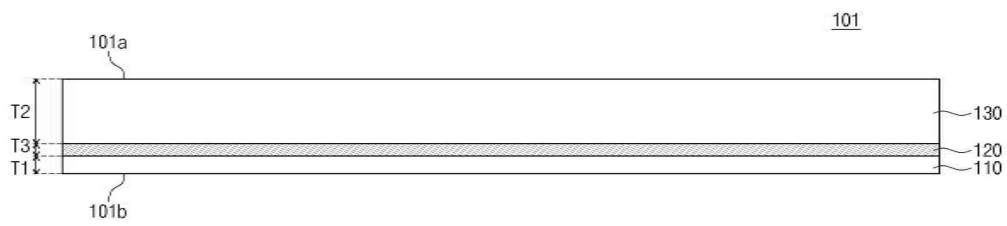
도면2d



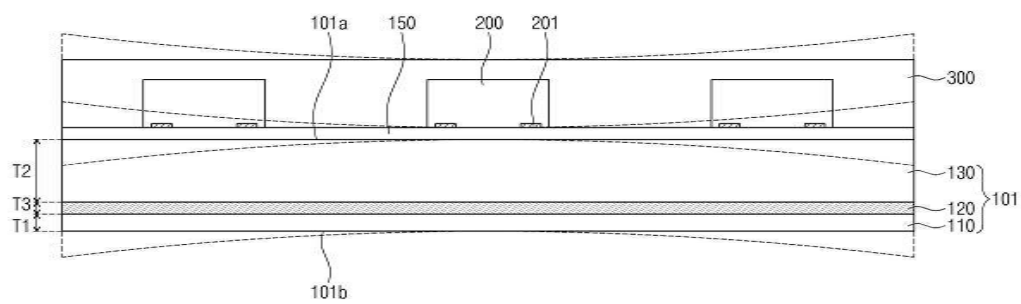
도면2e



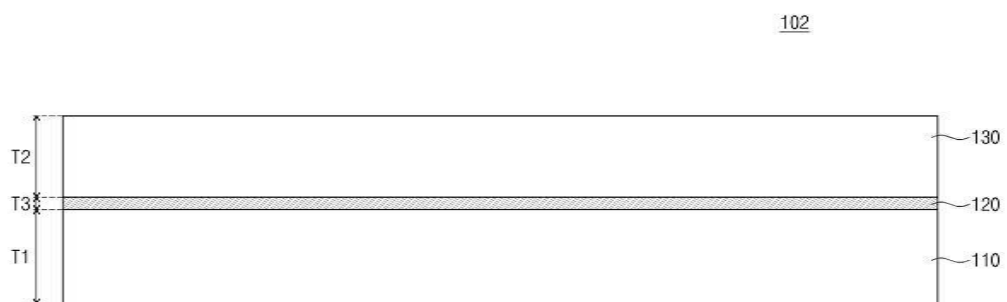
도면3a



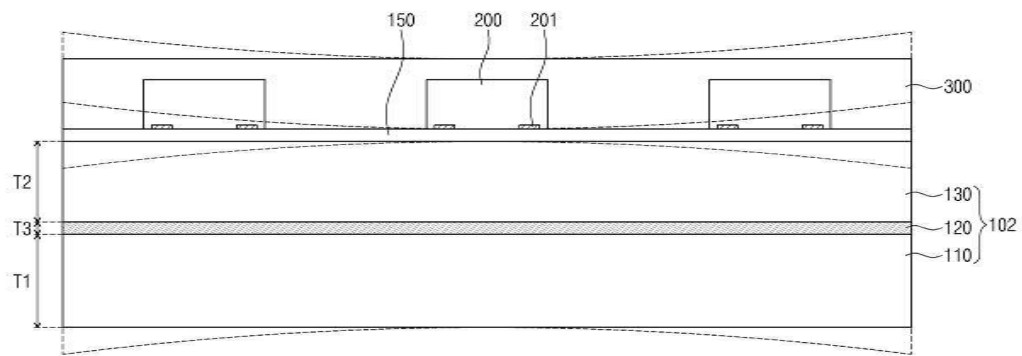
도면3b



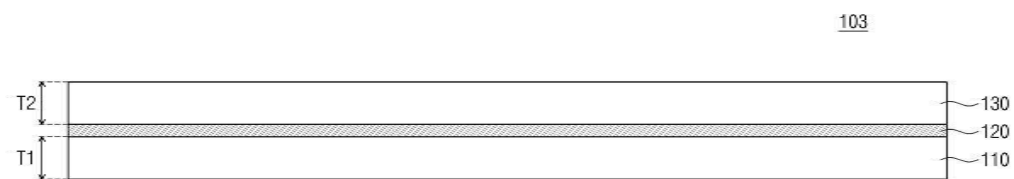
도면4a



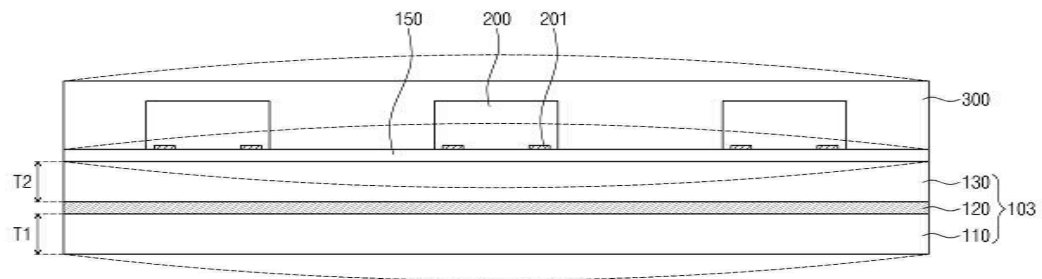
도면4b



도면5a



도면5b



도면6a

