

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第6186038号
(P6186038)

(45) 発行日 平成29年8月23日 (2017. 8. 23)

(24) 登録日 平成29年8月4日 (2017. 8. 4)

(51) Int. Cl. F I
H O 1 L 31/107 (2006. 01) H O 1 L 31/10 B

請求項の数 3 (全 14 頁)

(21) 出願番号	特願2016-87128 (P2016-87128)	(73) 特許権者	000236436
(22) 出願日	平成28年4月25日 (2016. 4. 25)		浜松ホトニクス株式会社
(62) 分割の表示	特願2015-211694 (P2015-211694) の分割		静岡県浜松市東区市野町 1 1 2 6 番地の 1
原出願日	平成23年10月21日 (2011. 10. 21)	(74) 代理人	100088155 弁理士 長谷川 芳樹
(65) 公開番号	特開2016-154260 (P2016-154260A)	(74) 代理人	100113435 弁理士 黒木 義樹
(43) 公開日	平成28年8月25日 (2016. 8. 25)	(74) 代理人	100140442 弁理士 柴山 健一
審査請求日	平成28年4月25日 (2016. 4. 25)	(72) 発明者	永野 輝昌 静岡県浜松市東区市野町 1 1 2 6 番地の 1 浜松ホトニクス株式会社内
		(72) 発明者	細川 暢郎 静岡県浜松市東区市野町 1 1 2 6 番地の 1 浜松ホトニクス株式会社内 最終頁に続く

(54) 【発明の名称】 半導体光検出素子

(57) 【特許請求の範囲】

【請求項 1】

互いに対向する第一及び第二主面を含む半導体基板を有する半導体光検出素子であって、

ガイガーモードで動作すると共に前記半導体基板内に形成された複数のアバランシェフォトダイオードと、

それぞれの前記アバランシェフォトダイオードに対して直列に接続されると共に前記半導体基板の前記第一主面側に配置された複数のクエンチング抵抗と、

前記複数のクエンチング抵抗と電氣的に接続されており、前記第一主面側から前記第二主面側まで前記半導体基板を貫通して形成されている一つの貫通電極と、

前記貫通電極と電氣的に接続され且つ前記半導体基板の前記第二主面側に配置されたバンプ電極と、を含み、

前記クエンチング抵抗及び前記貫通電極を通した、各前記アバランシェフォトダイオードから前記バンプ電極までの配線距離が、同等であることを特徴とする半導体光検出素子。

【請求項 2】

前記貫通電極が、平面視で、前記アバランシェフォトダイオード間の領域に位置していることを特徴とする請求項 1 に記載の半導体光検出素子。

【請求項 3】

前記複数のアバランシェフォトダイオードを一つのユニットとして、前記ユニットを複

10

20

数有しており、

前記貫通電極は、複数の前記ユニット毎に設けられていることを特徴とする請求項1又は2に記載の半導体光検出素子。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、光検出装置に関する。

【背景技術】

【0002】

ガイガーモードで動作する複数のアバランシェフォトダイオードと、それぞれのアバランシェフォトダイオードに対して直列に接続されたクエンチング抵抗と、クエンチング抵抗が並列に接続された信号線と、を備えているフォトダイオードアレイ（半導体光検出素子）が知られている（たとえば、特許文献1参照）。このフォトダイオードアレイでは、画素を構成するアバランシェフォトダイオードがフォトンを検出してガイガー放電したとき、アバランシェフォトダイオードに接続されたクエンチング抵抗の働きにより、パルス状の信号を得る。それぞれのアバランシェフォトダイオードが、各々フォトン进行カウントする。このため、同じタイミングで複数のフォトンが入射した時においても、総出力パルスの出力電荷量あるいは信号強度に応じて、入射したフォトン数が判明する。

10

【先行技術文献】

【特許文献】

20

【0003】

【特許文献1】特開2011-003739号公報

【発明の概要】

【発明が解決しようとする課題】

【0004】

上述した半導体光検出素子では、信号線にクエンチング抵抗が並列に接続されていることから、各アバランシェフォトダイオード同士も並列に接続されている。並列接続された複数のアバランシェフォトダイオードを有する半導体光検出素子では、各アバランシェフォトダイオードから出力される信号を導くための配線（信号線）の距離（以下、「配線距離」と称する）が、画素（アバランシェフォトダイオード）間で異なることがある。配線距離が画素間で異なると、配線が有する抵抗及び容量の影響を受けて、時間分解能が画素間で異なってしまう。

30

【0005】

本発明は、時間分解能が画素間で異なるのを抑制すると共に、時間分解能をより一層向上することが可能な光検出装置を提供することを目的とする。

【課題を解決するための手段】

【0006】

本発明に係る光検出装置は、互いに対向する第一及び第二主面を含む半導体基板を有する半導体光検出素子と、半導体光検出素子に対向配置されると共に、半導体基板の第二主面と対向する第三主面を有する搭載基板と、半導体光検出素子に対向配置されたと共に、半導体基板の第一主面と対向する第四主面を有するガラス基板と、を備え、半導体光検出素子は、ガイガーモードで動作すると共に半導体基板内に形成された複数のアバランシェフォトダイオードと、それぞれのアバランシェフォトダイオードに対して直列に接続されると共に半導体基板の第一主面側に配置されたクエンチング抵抗と、クエンチング抵抗と電氣的に接続され且つ第一主面側から第二主面側まで半導体基板を貫通して形成された複数の貫通電極と、を含み、搭載基板は、貫通電極毎に対応して第三主面側に配置された複数の第一電極と、複数の第一電極と電氣的に接続され且つ各アバランシェフォトダイオードからの出力信号を処理する信号処理部と、を含んでおり、貫通電極と第一電極とがバンブ電極を介して電氣的に接続され、半導体基板の側面とガラス基板の側面とは面一とされていることを特徴とする。

40

50

【0007】

本発明に係る光検出装置では、半導体光検出素子の半導体基板に、クエンチング抵抗と電氣的に接続され且つ第一主面側から第二主面側まで半導体基板を貫通した複数の貫通電極が形成され、半導体光検出素子の貫通電極と、搭載基板の第一電極と、がバンプ電極を介して電氣的に接続されているので、各画素の配線距離を極めて短くできると共に、その値をばらつきなく揃えることができる。したがって、配線が有する抵抗及び容量の影響が著しく抑制され、時間分解能がより一層向上する。

【0008】

本発明では、半導体光検出素子に対向配置されたガラス基板により、半導体基板の機械的強度を高めることができる。また、半導体基板の側面とガラス基板の側面とが面一であるため、デッドスペースを低減できる。

10

【0009】

ガラス基板の第四主面に対向する主面が平坦であってもよい。この場合、ガラス基板へのシンチレータの設置を極めて容易に行うことができる。

【0010】

貫通電極が、各アバランシェフォトダイオード間の領域に位置していてもよい。この場合、各画素での開口率の低下を防ぐことができる。

【0011】

半導体光検出素子は、対応する貫通電極に電氣的に接続されると共に、半導体基板の第二主面側に配置された第二電極を、更に含み、第一電極と第二電極とがバンプ電極を介して接続されていてもよい。この場合、第一電極と第二電極とのバンプ電極による接続を確実に行うことができる。

20

【0012】

各アバランシェフォトダイオードは、第一導電体の半導体基板と、半導体基板の第一主面側に形成された第二導電型の第一半導体領域と、第一半導体領域内に形成され且つ第一半導体領域よりも不純物濃度が高い第二導電型の第二半導体領域と、半導体基板の第一主面側に配置され且つ第二半導体領域とクエンチング抵抗とを電氣的に接続する第三電極と、を有し、第二電極は、第二主面における第二半導体領域に対応する領域上に形成されていてもよい。この場合、第二電極のサイズを比較的大きく設定でき、第一電極と第二電極とのバンプ電極による接続をより一層確実に行うことができると共に、接続の機械的強度を高めることができる。

30

【0013】

貫通電極には、複数のクエンチング抵抗が電氣的に接続されていてもよい。この場合、画素間で貫通電極の共通化が図られ、半導体基板に形成される貫通電極の数を低減できる。これにより、半導体基板の機械的強度の低下を抑制することができる。

【0014】

各アバランシェフォトダイオードから対応するクエンチング抵抗を介した貫通電極までの配線距離が同等であってもよい。この場合、画素間で貫通電極の共通化が図られた構成においても、時間分解能が低下するのを防ぐことができる。

【発明の効果】

40

【0015】

本発明によれば、時間分解能が画素間で異なるのを抑制すると共に、時間分解能をより一層向上することが可能な光検出装置を提供することができる。

【図面の簡単な説明】

【0016】

【図1】本実施形態に係る光検出装置を示す概略斜視図である。

【図2】本実施形態に係る光検出装置の断面構成を説明するための図である。

【図3】半導体光検出素子の概略平面図である。

【図4】半導体光検出素子の概略平面図である。

【図5】光検出装置の回路図である。

50

【図 6】搭載基板の概略平面図である。

【図 7】本実施形態に係る光検出装置の製造過程を説明するための図である。

【図 8】本実施形態に係る光検出装置の製造過程を説明するための図である。

【図 9】本実施形態に係る光検出装置の製造過程を説明するための図である。

【図 10】本実施形態に係る光検出装置の製造過程を説明するための図である。

【図 11】本実施形態に係る光検出装置の製造過程を説明するための図である。

【図 12】本実施形態に係る光検出装置の製造過程を説明するための図である。

【図 13】本実施形態に係る光検出装置の製造過程を説明するための図である。

【図 14】半導体光検出素子の概略平面図である。

【発明を実施するための形態】

10

【0017】

以下、添付図面を参照して、本発明の好適な実施形態について詳細に説明する。なお、説明において、同一要素又は同一機能を有する要素には、同一符号を用いることとし、重複する説明は省略する。

【0018】

図 1～図 6 を参照して、本実施形態に係る光検出装置 1 の構成を説明する。図 1 は、本実施形態に係る光検出装置を示す概略斜視図である。図 2 は、本実施形態に係る光検出装置の断面構成を説明するための図である。図 3 及び図 4 は、半導体光検出素子の概略平面図である。図 5 は、光検出装置の回路図である。図 6 は、搭載基板の概略平面図である。

【0019】

20

光検出装置 1 は、図 1 及び図 2 に示されるように、半導体光検出素子 10、搭載基板 20、及びガラス基板 30 を備えている。搭載基板 20 は、半導体光検出素子 10 に対向配置されている。ガラス基板 30 は、半導体光検出素子 10 に対向配置されている。半導体光検出素子 10 は、搭載基板 20 とガラス基板 30 との間に配置されている。

【0020】

半導体光検出素子 10 は、フォトダイオードアレイ PDA からなる。フォトダイオードアレイ PDA は、平面視で矩形形状を呈する半導体基板 1N を有している。半導体基板 1N は、互いに対向する主面 1Na と主面 1Nb とを含んでいる。半導体基板 1N は、Si からなる、N 型（第一導電型）の半導体基板である。

【0021】

30

フォトダイオードアレイ PDA は、半導体基板 1N に形成された複数のアバランシェフォトダイオード APD を含んでいる。それぞれのアバランシェフォトダイオード APD には、図 3 にも示されるように、クエンチング抵抗 R1 が直列に接続されている。一つのアバランシェフォトダイオード APD は、フォトダイオードアレイ PDA における一つの画素を構成している。各アバランシェフォトダイオード APD は、それぞれクエンチング抵抗 R1 と直列に接続された形で、全て並列に接続されており、電源から逆バイアス電圧が印加される。アバランシェフォトダイオード APD からの出力電流は、後述する信号処理部 SP によって検出される。図 3 では、構造の明確化のため、図 2 に示した絶縁層 L1 の記載を省略している。

【0022】

40

個々のアバランシェフォトダイオード APD は、P 型（第二導電型）の第一半導体領域 1PA と、P 型（第二導電型）の第二半導体領域 1PB と、を有している。第一半導体領域 1PA は、半導体基板 1N の主面 1Na 側に形成されている。第二半導体領域 1PB は、第一半導体領域 1PA 内に形成され且つ第一半導体領域 1PA よりも不純物濃度が高い。第二半導体領域 1PB の平面形状は、たとえば多角形（本実施形態では、八角形）である。第一半導体領域 1PA の深さは、第二半導体領域 1PB よりも深い。

【0023】

半導体基板 1N は、N 型（第一導電型）の半導体領域 1PC を有している。半導体領域 1PC は、半導体基板 1N の主面 1Na 側に形成されている。半導体領域 1PC は、後述する貫通電極 TE が配置される貫通孔 TH に、N 型の半導体基板 1N と P 型の第一半導体

50

領域 1 P A との間に形成される P N 接合が露出するのを防ぐ。半導体領域 1 P C は、貫通孔 T H（貫通電極 T E）に対応する位置に形成されている。

【0024】

アバランシェフォトダイオード A P D は、図 3 に示されるように、半導体基板 1 N の主面 1 N a 側にそれぞれ配置された、電極 E 1 と電極 E 3 とを有している。電極 E 1 は、第二半導体領域 1 P B に電氣的に接続されている。電極 E 3 は、主面 1 N a 側から見て、第二半導体領域 1 P B の外側の半導体基板 1 N 上に、絶縁層 L 1 を介して形成されている。第一半導体領域 1 P A は、第二半導体領域 1 P B を介して電極 E 1 に電氣的に接続されている。

【0025】

アバランシェフォトダイオード A P D は、図 4 にも示されるように、半導体基板 1 N の主面 1 N b 側にそれぞれ配置された、半導体基板 1 N に電氣的に接続された電極（図示省略）と、電極 E 5 と、当該電極 E 5 に接続された電極 E 7 と、を有している。電極 E 5 は、主面 1 N b 側から見て、第二半導体領域 1 P B の外側の半導体基板 1 N 上に、絶縁層 L 2 を介して形成されている。電極 E 7 は、主面 1 N b 側から見て、第二半導体領域 1 P B と重複する半導体基板 1 N 上に、絶縁層 L 2 を介して形成されている。すなわち、電極 E 7 は、主面 1 N b における第二半導体領域 1 P B に対応する領域上に形成されている。図 4 では、構造の明確化のため、図 2 に示したパッシベーション膜 P F の記載を省略している。

【0026】

フォトダイオードアレイ P D A は、個々のアバランシェフォトダイオード A P D 毎に、第二半導体領域 1 P B の外側の半導体基板 1 N 上に、絶縁層 L 1 を介して形成されたクエンチング抵抗 R 1 を有している。すなわち、クエンチング抵抗 R 1 は、半導体基板 1 N の主面 1 N a 側に配置されている。クエンチング抵抗 R 1 は、その一方端が電極 E 1 に接続され、その他方端が電極 E 3 に接続されている。

【0027】

フォトダイオードアレイ P D A は、複数の貫通電極 T E を含んでいる。貫通電極 T E は、個々のアバランシェフォトダイオード A P D 毎に設けられている。貫通電極 T E は、半導体基板 1 N を、主面 1 N a 側から主面 1 N b 側まで貫通して形成されている。すなわち、貫通電極 T E は、半導体基板 1 N を貫通する貫通孔 T H 内に配置されている。絶縁層 L 2 は、貫通孔 T H 内にも形成されている。したがって、貫通電極 T E は、絶縁層 L 2 を介して、貫通孔 T H 内に配置される。

【0028】

貫通電極 T E は、その一方端が電極 E 3 に接続され、その他方端が電極 E 5 に接続されている。クエンチング抵抗 R 1 は、電極 E 3、貫通電極 T E、及び電極 E 5 を介して、電極 E 7 に電氣的に接続されている。

【0029】

貫通電極 T E は、平面視で、アバランシェフォトダイオード A P D 間の領域に配置されている。本実施形態では、アバランシェフォトダイオード A P D は、第一方向に M 行、第一方向に直交する第二方向に N 列（M、N は自然数）に 2 次元配列されている。貫通電極 T E は、4 つのアバランシェフォトダイオード A P D に囲まれる領域に形成されている。貫通電極 T E は、アバランシェフォトダイオード A P D 毎に設けられているため、第一方向に M 行、第二方向に N 列に 2 次元配列される。

【0030】

クエンチング抵抗 R 1 は、これが接続される電極 E 1 よりも抵抗率が高い。クエンチング抵抗 R 1 は、たとえばポリシリコンからなる。クエンチング抵抗 R 1 の形成方法としては、C V D（Chemical Vapor Deposition）法を用いることができる。

【0031】

電極 E 1、E 3、E 5、E 7 及び貫通電極 T E はアルミニウムなどの金属からなる。半導体基板が S i からなる場合には、電極材料としては、アルミニウムの他に、A u G e /

10

20

30

40

50

Niなどもよく用いられる。プロセス設計にも因るが、電極E5、電極E7、及び貫通電極TEは一体に形成することができる。電極E1、E3、E5、E7及び貫通電極TEの形成方法としては、スパッタ法を用いることができる。

【0032】

Siを用いた場合におけるP型不純物としてはBなどの3族元素が用いられ、N型不純物としては、N、P又はAsなどの5族元素が用いられる。半導体の導電型であるN型とP型は、互いに置換して素子を構成しても、当該素子を機能させることができる。これらの不純物の添加方法としては、拡散法やイオン注入法を用いることができる。

【0033】

絶縁層L1、L2の材料としては、SiO₂又はSiNを用いることができる。絶縁層L1、L2の形成方法としては、絶縁層L1、L2がSiO₂からなる場合には、熱酸化法又はスパッタ法を用いることができる。

【0034】

上述の構造の場合、N型の半導体基板1NとP型の第一半導体領域1PAとの間に、PN接合が構成されることで、アバランシェフォトダイオードAPDが形成されている。半導体基板1Nは、基板1Nの裏面に形成された電極（図示省略）に電氣的に接続され、第一半導体領域1PAは、第二半導体領域1PBを介して、電極E1に接続されている。クエンチング抵抗R1はアバランシェフォトダイオードAPDに対して直列に接続されている（図5参照）。

【0035】

フォトダイオードアレイPDAにおいては、個々のアバランシェフォトダイオードAPDをガイガーモードで動作させる。ガイガーモードでは、アバランシェフォトダイオードAPDのブレイクダウン電圧よりも大きな逆方向電圧（逆バイアス電圧）をアバランシェフォトダイオードAPDのアノード／カソード間に印加する。すなわち、アノードには（－）電位V1を、カソードには（＋）電位V2を印加する。これらの電位の極性は相対的なものであり、一方の電位をグランド電位とすることも可能である。

【0036】

アノードはP型の第一半導体領域1PAであり、カソードはN型の半導体基板1Nである。アバランシェフォトダイオードAPDに光（フォトン）が入射すると、基板内部で光電変換が行われて光電子が発生する。第一半導体領域1PAのPN接合界面の近傍領域において、アバランシェ増倍が行われ、増幅された電子群は半導体基板1Nの裏面に形成された電極に向けて流れる。すなわち、半導体光検出素子10（フォトダイオードアレイPDA）のいずれかの画素（アバランシェフォトダイオードAPD）に光（フォトン）が入射すると、増倍されて、信号として電極E7から取り出される。

【0037】

搭載基板20は、図2及び図13に示されているように、互いに対向する主面20aと主面20bとを有している。搭載基板20は、平面視で矩形形状を呈している。主面20aは、半導体基板1Nの主面1Nbと対向している。搭載基板20は、主面20a側に配置された複数の電極E9を含んでいる。電極E9は、図2に示されるように、貫通電極TEに対応して配置されている。具体的には、電極E9は、主面20aにおける、電極E7に対向する各領域上に形成されている。

【0038】

半導体基板1Nの側面1Ncと搭載基板20の側面20cとは、図1及び図2に示されているように、面一とされている。すなわち、平面視で、半導体基板1Nの外縁と、搭載基板20の外縁とは、一致している。

【0039】

電極E7と電極E9とは、バンプ電極BEにより接続されている。これにより、貫通電極TEは、電極E5、電極E7、及びバンプ電極BEを介して、電極E9に電氣的に接続されている。そして、クエンチング抵抗R1は、電極E3、貫通電極TE、電極E5、電極E7、及びバンプ電極BEを介して、電極E9に電氣的に接続されている。電極E9も

10

20

30

40

50

、電極E1、E3、E5、E7及び貫通電極TEと同じくアルミニウムなどの金属からなる。電極材料としては、アルミニウムの他に、AuGe/Niなどを用いてもよい。パンプ電極BEは、たとえば、はんだからなる。

【0040】

搭載基板20は、図5にも示されるように、信号処理部SPを含んでいる。すなわち、搭載基板20は、ASIC (Application Specific Integrated Circuit) を構成している。各電極E9は、搭載基板20内に形成された配線(図示省略)を介して信号処理部SPと電氣的に接続されている。信号処理部SPには、各アバランシェフォトダイオードAPD(半導体光検出素子10)からの出力信号が入力され、信号処理部SPは、各アバランシェフォトダイオードAPDからの出力信号を処理する。信号処理部SPは、各アバランシェフォトダイオードAPDからの出力信号をデジタルパルスに変換するCMOS回路を含んでいる。また、搭載基板20は、各画素(アバランシェフォトダイオードAPD)に対応して、時間情報を記録する回路が含まれるように構成されている。時間情報を記録する回路としては、時間デジタル変換器(TDC: Time to Digital Convertor)、又は、時間電圧変換器(TAC: Time to Amplitude Convertor)などが用いられる。これにより、搭載基板20内での配線距離の差は、時間分解能に影響を与えない。

10

【0041】

半導体基板1Nの主面1Nb側及び搭載基板20の主面20a側には、パンプ電極BEに対応する位置に開口が形成されたパッシベーション膜PFが配置されている。パッシベーション膜PFは、たとえばSiNからなる。パッシベーション膜PFの形成方法としては、CVD (Chemical Vapor Deposition) 法を用いることができる。

20

【0042】

ガラス基板30は、互いに対向する主面30aと主面30bとを有している。ガラス基板30は、平面視で矩形形状を呈している。主面30aは、半導体基板1Nの主面1Nbと対向している。主面30bは、平坦である。本実施形態では、主面30aも平坦である。ガラス基板30と半導体光検出素子10とは、光学接着剤OAにより光学的に接続されている。ガラス基板30は、半導体光検出素子10上に直接形成されていてもよい。

【0043】

図示を省略するが、ガラス基板30の主面30bには光学接着剤によりシンチレータが光学的に接続される。シンチレータからのシンチレーション光は、ガラス基板30を通り、半導体光検出素子10に入射する。

30

【0044】

半導体基板1Nの側面1Ncとガラス基板30の側面30cとは、図1にも示されているように、面一とされている。すなわち、平面視で、半導体基板1Nの外縁と、ガラス基板30の外縁とは、一致している。

【0045】

次に、図7～図13を参照して、上述した光検出装置1の製造方法を説明する。図7～図13は、本実施形態に係る光検出装置の製造過程を説明するための図である。

【0046】

まず、フォトダイオードアレイPDAに対応する部分(第一半導体領域1PA、第二半導体領域1PB、絶縁層L1、クエンチング抵抗R1、電極E1、及び電極E3)が形成された半導体基板1Nを用意する(図7参照)。半導体基板1Nは、フォトダイオードアレイPDAに対応する部分が複数形成された半導体ウエハの態様で用意される。

40

【0047】

次に、用意した半導体基板1Nに光学接着剤OAを介してガラス基板30を接着する(図8参照)。これにより、ガラス基板30と半導体光検出素子10とが光学的に接続される。ガラス基板30も、半導体基板1Nと同様に、複数のガラス基板30を含むガラス基板母材の態様で用意される。

【0048】

次に、半導体基板1Nを主面1Nb側から薄化する(図9参照)。半導体基板1Nの薄

50

化方法は、機械研磨法又は化学研磨法を用いることができる。

【0049】

次に、半導体基板1Nに貫通電極TEを配置するための貫通孔THを形成する（図10参照）。貫通孔THの形成方法は、ドライエッチング法とウエットエッチング法とを適宜選択して適用できる。

【0050】

次に、貫通孔THが形成された半導体基板1Nに、フォトダイオードアレイPDAに対応する部分（貫通電極TE、電極E5、及び電極E7）を形成する（図11参照）。

【0051】

次に、半導体基板1Nの主面1Nb側に、バンプ電極BEに対応する位置に開口が形成されたパッシベーション膜PFを形成し、その後、バンプ電極BEを形成する（図12参照）。これにより、半導体光検出素子10とガラス基板30とが対向配置された構成が得られる。バンプ電極BEの形成に先立って、電極E7におけるパッシベーション膜PFから露出する領域に、UBM（Under Bump Metal）を形成する。UBMは、バンプ電極BEと電氣的及び物理的に接続が優れた材料からなる。UBMの形成方法は、無電解めっき法を用いることができる。バンプ電極BEの形成方法は、ハンダボールを搭載する手法又は印刷法を用いることができる。

10

【0052】

次に、ガラス基板30が配置された半導体光検出素子10と、別途用意した搭載基板20とバンプ接続する（図13参照）。これにより、ガラス基板30が対向配置された半導体光検出素子10と、搭載基板20と、が対向配置された構成が得られる。搭載基板20には、主面20a側に、電極E9に対応する位置にバンプ電極BEが形成されている。搭載基板20も、複数の搭載基板20が形成された半導体ウエハの態様で用意される。

20

【0053】

次に、ガラス基板30（ガラス基板母材）、半導体光検出素子10（半導体ウエハ）、及び搭載基板20（半導体ウエハ）からなる積層体をダイシングにより切断する。これにより、半導体基板1Nの側面1Ncと搭載基板20の側面20cとガラス基板30の側面30cとが面一とされる。これらの過程により、個々の光検出装置1が得られる。

【0054】

以上のように、本実施形態では、半導体光検出素子10（フォトダイオードアレイPDA）の半導体基板1Nに、クエンチング抵抗R1と電氣的に接続され且つ主面1Na側から主面1Nb側まで半導体基板1Nを貫通した複数の貫通電極TEが形成されている。半導体光検出素子10の貫通電極TEと、搭載基板20の電極E9と、がバンプ電極BEを介して電氣的に接続されている。これにより、各画素（アバランシェフォトダイオードAPD）から配線距離を極めて短くできると共に、その値をばらつきなく揃えることができる。したがって、各画素からの配線が有する抵抗及び容量の影響が著しく抑制され、時間分解能がより一層向上する。

30

【0055】

本実施形態では、半導体光検出素子10に対向配置されたガラス基板30により、半導体基板1Nの機械的強度を高めることができる。特に、半導体基板1Nが薄化されている場合に、極めて有効である。

40

【0056】

半導体基板1Nの側面1Ncとガラス基板30の側面30cとは、面一とされている。このため、デッドスペースを低減できる。また、半導体基板1Nの側面1Ncと搭載基板20の側面20cとも、面一とされている。このため、デッドスペースをより一層低減できる。

【0057】

ガラス基板30は、主面30bが平坦である。これにより、ガラス基板30へのシンチレータの設置を極めて容易に行うことができる。

【0058】

50

本実施形態では、貫通電極 T E が、各アバランシェフォトダイオード A P D 間の領域に位置している。これにより、各画素での開口率の低下を防ぐことができる。

【0059】

半導体光検出素子 1 0 は、対応する貫通電極 T E に電氣的に接続されると共に、半導体基板 1 N の主面 1 N b 側に配置された電極 E 7 を含み、電極 E 7 と電極 E 9 とがバンプ電極 B E を介して接続されている。これにより、電極 E 7 と電極 E 9 とのバンプ電極 B E による接続を確実に行うことができる。

【0060】

各アバランシェフォトダイオード A P D は、半導体基板 1 N と、第一半導体領域 1 P A と、第二半導体領域 1 P B と、第二半導体領域 1 P B とクエンチング抵抗 R 1 とを電氣的に接続する電極 E 1 と、を有し、電極 E 7 は、主面 1 N b における第二半導体領域 1 P B に対応する領域上に形成されている。これにより、電極 E 7 のサイズを比較的大きく設定でき、電極 E 7 と電極 E 9 とのバンプ電極 B E による接続をより一層確実に行うことができると共に、当該接続の機械的強度を高めることができる。

【0061】

以上、本発明の好適な実施形態について説明してきたが、本発明は必ずしも上述した実施形態に限定されるものではなく、その要旨を逸脱しない範囲で様々な変更が可能である。

【0062】

一つの貫通電極 T E には、一つのクエンチング抵抗 R 1 が電氣的に接続されているが、これに限られない。図 1 4 に示されるように、一つの貫通電極 T E に、複数のクエンチング抵抗（たとえば、4 つのクエンチング抵抗）1 R が電氣的に接続されていてもよい。この場合、画素間で貫通電極 T E の共通化が図られ、半導体基板 1 N に形成される貫通電極 T E の数を低減できる。これにより、半導体基板 1 N の機械的強度の低下を抑制することができる。一つの貫通電極 T E に、電氣的に接続されるクエンチング抵抗の数は、「4」に限られることなく、「3」以下でもよく、また、「5」以上でもよい。

【0063】

一つの貫通電極 T E に複数のクエンチング抵抗 R 1 が電氣的に接続されている場合、各アバランシェフォトダイオード A P D から対応するクエンチング抵抗 R 1 を介した貫通電極 T E までの配線距離が同等であることが好ましい。この場合、画素間で貫通電極 T E の共通化が図られた構成においても、時間分解能が低下するのを防ぐことができる。

【0064】

第一及び第二半導体領域 1 P B、1 P B の形状は、上述した形状に限られることなく、他の形状（たとえば、円形状など）であってもよい。また、アバランシェフォトダイオード A P D（第二半導体領域 1 P B）の数（行数及び列数）や配列は、上述したものに限られない。

【産業上の利用可能性】

【0065】

本発明は、微弱光を検出する光検出装置に利用することができる。

【符号の説明】

【0066】

1 … 光検出装置、1 N … 半導体基板、1 N a、1 N b … 主面、1 N c … 側面、1 P A … 第一半導体領域、1 P B … 第二半導体領域、1 0 … 半導体光検出素子、2 0 … 搭載基板、2 0 a、2 0 b … 主面、2 0 c … 側面、3 0 … ガラス基板、3 0 a、3 0 b … 主面、3 0 c … 側面、A P D … アバランシェフォトダイオード、B E … バンプ電極、E 1、E 3、E 5、E 7、E 9 … 電極、P D A … フォトダイオードアレイ、R 1 … クエンチング抵抗、S P … 信号処理部、T E … 貫通電極。

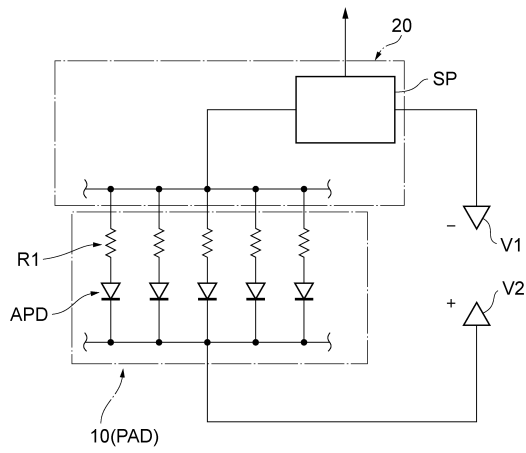
10

20

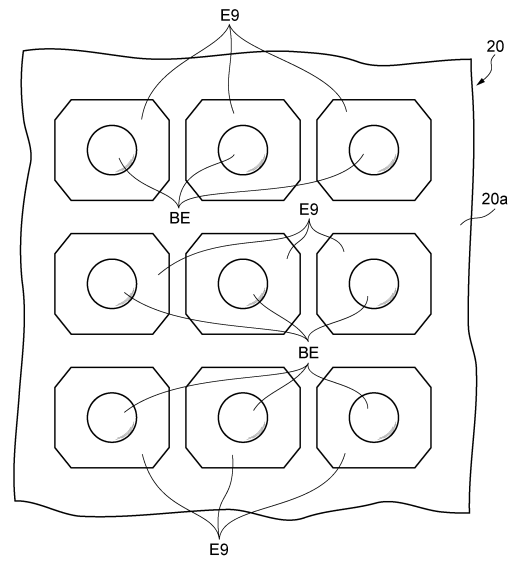
30

40

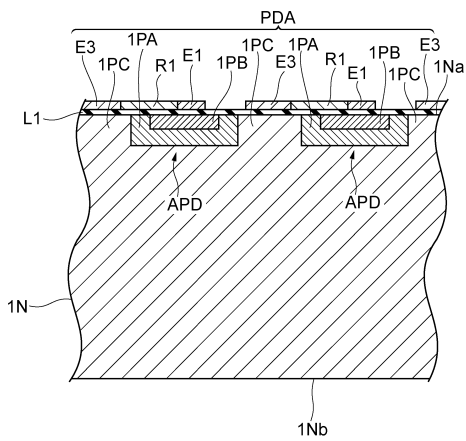
【図 5】



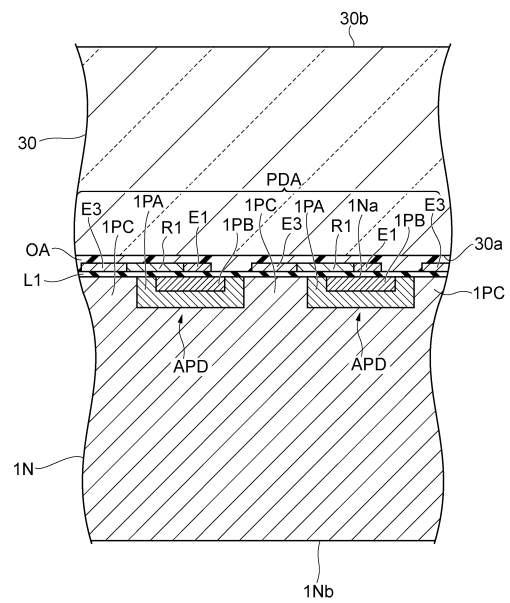
【図 6】



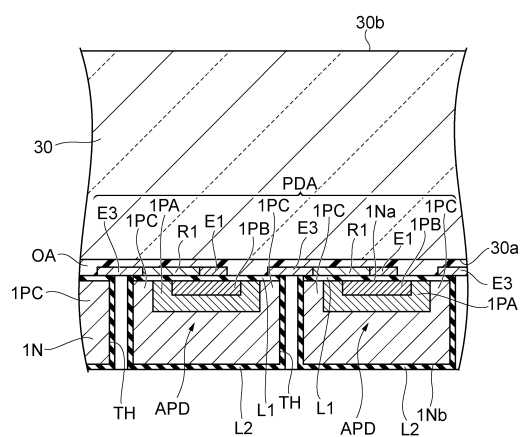
【図 7】



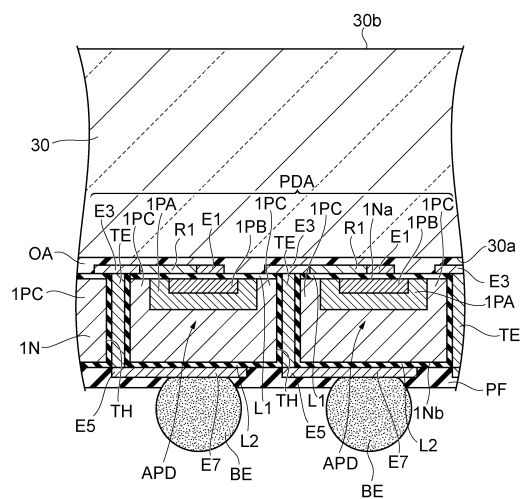
【図 8】



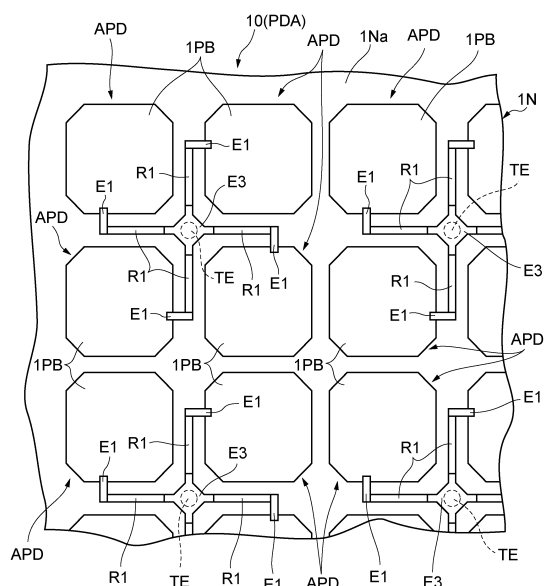
【図 10】



【図 1 2】



【図 14】



フロントページの続き

(72)発明者 鈴木 智史

静岡県浜松市東区市野町 1 1 2 6 番地の 1 浜松ホトニクス株式会社内

(72)発明者 馬場 隆

静岡県浜松市東区市野町 1 1 2 6 番地の 1 浜松ホトニクス株式会社内

審査官 山本 元彦

(56)参考文献 国際公開第 2 0 0 8 / 0 0 4 5 4 7 (WO, A 1)

特開 2 0 0 1 - 3 1 8 1 5 5 (JP, A)

特開 2 0 0 4 - 1 6 5 6 0 2 (JP, A)

国際公開第 2 0 0 6 / 1 2 6 0 2 7 (WO, A 2)

(58)調査した分野(Int.Cl., DB名)

H 0 1 L 3 1 / 0 0 - 3 1 / 0 3 9 2、3 1 / 0 8 - 3 1 / 1 1 9、
2 7 / 1 4 - 2 7 / 1 4 8