

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2020年1月30日(30.01.2020)



(10) 国際公開番号

WO 2020/021652 A1

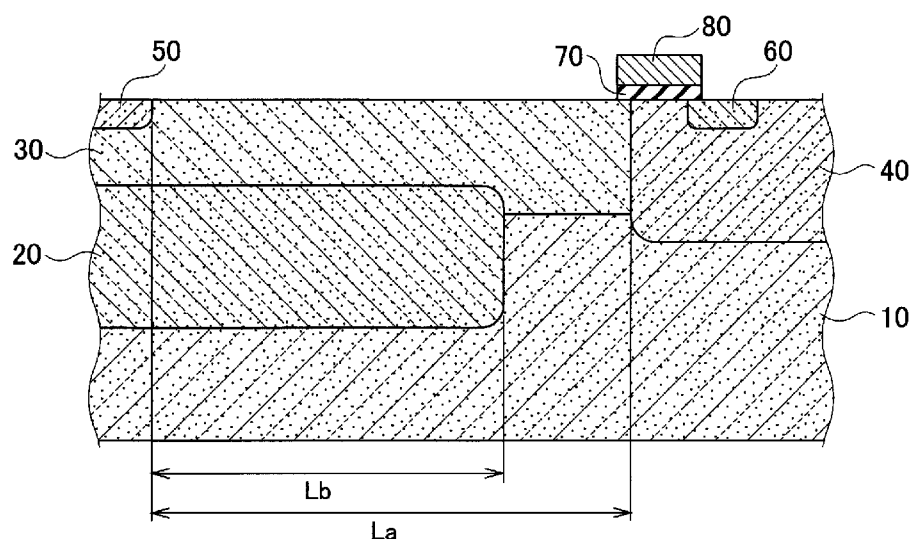
(51) 国際特許分類:
H01L 21/336 (2006.01) *H01L 29/78* (2006.01)
(21) 国際出願番号: PCT/JP2018/027881
(22) 国際出願日: 2018年7月25日(25.07.2018)
(25) 国際出願の言語: 日本語
(26) 国際公開の言語: 日本語
(71) 出願人: サンケン電気株式会社 (SANKEN ELECTRIC CO., LTD.) [JP/JP]; 〒3528666 埼玉県新座市北野3丁目6番3号 Saitama (JP).
(72) 発明者: 藤田 直人 (FUJITA Naoto); 〒3528666 埼玉県新座市北野3丁目6番3号 サンケン電気株式会社内 Saitama (JP).

(74) 代理人: 三好 秀和, 外 (MIYOSHI Hidekazu et al.); 〒1050001 東京都港区虎ノ門一丁目2番8号 虎ノ門琴平タワー Tokyo (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL,

(54) Title: SEMICONDUCTOR DEVICE

(54) 発明の名称: 半導体装置



(57) Abstract: A semiconductor device comprises: a second conductivity type buried region (20) buried in the upper surface of a first conductivity type semiconductor substrate (10); a second conductivity type first semiconductor region (30) that is disposed on the upper surface of the semiconductor substrate (10) so as to cover the buried region (20) and has a lower impurity concentration than the buried region (20); a first conductivity type second semiconductor region (40) disposed on the upper surface of the semiconductor substrate (10) in a remaining region of the region where the first semiconductor region (30) is disposed; a second conductivity type drain region (50) disposed on the upper surface of the first semiconductor region (30); a second conductivity type source region (60) disposed on the upper surface of the second semiconductor region (40); and a gate electrode (80) disposed above the second semiconductor region (40) between the

SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA,
UG, US, UZ, VC, VN, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

一 国際調査報告 (条約第21条(3))

drain region (50) and the source region (60), wherein the position, in plan view, of the opposite end of the buried region (20) facing the second semiconductor region (40) is between the end of the gate electrode (80) on the side closer to the drain region (50) and the drain region (50).

(57) 要約: 第1導電型の半導体基板(10)の上面に埋め込まれた第2導電型の埋設領域(20)、埋設領域(20)を覆って半導体基板(10)の上面に配置され、埋設領域(20)よりも不純物濃度の低い第2導電型の第1半導体領域(30)、第1半導体領域(30)の配置された領域の残余の領域で、半導体基板(10)の上面に配置された第1導電型の第2半導体領域(40)、第1半導体領域(30)の上面に配置された第2導電型のドレイン領域(50)、第2半導体領域(40)の上面に配置された第2導電型のソース領域(60)、ドレイン領域(50)とソース領域(60)の間で第2半導体領域(40)の上方に配置されたゲート電極(80)を備え、埋設領域(20)の第2半導体領域(40)に対向する対向端の平面視の位置が、ゲート電極(80)のドレイン領域(50)に近い側の端部とドレイン領域(50)との間である。

明 細 書

発明の名称：半導体装置

技術分野

[0001] 本発明は、主電流の電流経路が主面と平行である半導体装置に関する。

背景技術

[0002] 半導体装置の耐圧を向上させるために、種々の対策が検討されている。例えば、MOSFET (metal oxide semiconductor field effect transistor) のゲート電極とドレイン領域との間にフィールドプレートを配置する構造が開示されている（特許文献1 参照。）。特許文献1 に記載の発明では、ゲート電極とドレイン領域の間に形成された熱酸化膜の上にフィールドプレートを配置することによって、半導体装置の耐圧を向上させている。

先行技術文献

特許文献

[0003] 特許文献1：特開2001-7327号公報

発明の概要

発明が解決しようとする課題

[0004] 近年、半導体装置の耐圧に対する要求は高まっている。これに対し、オン動作で流れる主電流が半導体基板の主面と平行である半導体装置（以下、「横型の半導体装置」という。）について十分な耐圧を実現することが困難になっている。本発明は、耐圧を向上できる横型の半導体装置を提供することを目的とする。

課題を解決するための手段

[0005] 本発明の一態様によれば、第1導電型の半導体基板と、半導体基板の上面の一部に埋め込まれた第2導電型の埋設領域と、埋設領域を覆って半導体基板の上面に選択的に配置された、埋設領域よりも不純物濃度の低い第2導電型の第1半導体領域と、第1半導体領域の配置された領域の残余の領域で、半導体基板の上面に配置された第1導電型の第2半導体領域と、第1半導体

領域の上面の一部に配置された第2導電型のドレイン領域と、第2半導体領域の上面の一部に配置された第2導電型のソース領域と、ドレイン領域とソース領域との間で第2半導体領域の上方に配置されたゲート電極とを備え、埋設領域の第2半導体領域に対向する対向端の平面視の位置が、ゲート電極のドレイン領域に近い側の端部と、ドレイン領域のゲート電極に近い側の端部との間である半導体装置が提供される。

発明の効果

[0006] 本発明によれば、耐圧を向上できる横型の半導体装置を提供できる。

図面の簡単な説明

[0007] [図1]本発明の実施形態に係る半導体装置の構造を示す模式的な断面図である。

[図2]埋設領域の対向端の位置と半導体装置の耐圧の関係を示すグラフである。

[図3]本発明の実施形態に係る半導体装置の製造方法を説明するための模式的な断面図である（その1）。

[図4]本発明の実施形態に係る半導体装置の製造方法を説明するための模式的な断面図である（その2）。

[図5]本発明の実施形態に係る半導体装置の製造方法を説明するための模式的な断面図である（その3）。

[図6]本発明の実施形態に係る半導体装置の製造方法を説明するための模式的な断面図である（その4）。

[図7]本発明のその他の実施形態に係る半導体装置の構造を示す模式的な断面図である。

発明を実施するための形態

[0008] 次に、図面を参照して、本発明の実施形態を説明する。以下の図面の記載において、同一又は類似の部分には同一又は類似の符号を付している。ただし、図面は模式的なものであり、各層の厚みの比率などは現実のものとは異なることに留意すべきである。したがって、具体的な厚みや寸法は以下の説

明を参酌して判断すべきものである。また、図面相互間においても互いの寸法の関係や比率が異なる部分が含まれていることはもちろんである。

[0009] また、以下に示す実施形態は、この発明の技術的思想を具体化するための装置や方法を例示するものであって、この発明の実施形態は、構成部品の材質、形状、構造、配置などを下記のものに特定するものでない。この発明の実施形態は、請求の範囲において、種々の変更を加えることができる。

[0010] 本発明の実施形態に係る半導体装置は、図1に示すように、第1導電型の半導体基板10の上面の一部に埋め込まれた第2導電型の埋設領域20と、埋設領域20を覆って半導体基板10の上面に選択的に配置された第2導電型の第1半導体領域30を備える。埋設領域20は半導体基板10と接しており、埋設領域20の配置されていない領域で、第1半導体領域30が半導体基板10と接している。第1半導体領域30の不純物濃度は、埋設領域20の不純物濃度よりも低く設定されている。

[0011] 図1に示した半導体装置は、第1半導体領域30の配置された領域の残余の領域で、半導体基板10の上面に配置された第1導電型の第2半導体領域40を更に備える。図1に示すように、第2導電型のドレイン領域50が第1半導体領域30の上面の一部に配置され、第2導電型のソース領域60が第2半導体領域40の上面の一部に配置されている。更に、ドレイン領域50とソース領域60との間で、ゲート絶縁膜70を介してゲート電極80が第2半導体領域40の上方に配置されている。

[0012] 図1に示す半導体装置において、埋設領域20の第2半導体領域40に対向する端部（以下において「対向端」という。）の平面視の位置は、ゲート電極80のドレイン領域50に近い側の端部と、ドレイン領域50のゲート電極80に近い側の端部との間である。

[0013] なお、第1導電型と第2導電型とは互いに反対導電型である。すなわち、第1導電型がp型であれば、第2導電型はn型であり、第1導電型がn型であれば、第2導電型はp型である。以下では、第1導電型がp型であり、第2導電型がn型である場合について例示的に説明する。

- [0014] 図1に示した半導体装置は、オン動作においてソース領域60とドレイン領域50の間に半導体基板10の主面と平行に主電流の流れる横型トランジスタである。以下に、図1に示した半導体装置の基本的な動作について説明する。
- [0015] ソース領域60の電位を基準として、ドレイン領域50に正の電位を印加した状態でゲート電極80の電位を制御することにより、半導体装置がオン動作する。即ち、ゲート電極80とソース領域60間の電圧を所定の閾値電圧以上にすることにより、ゲート電極80の下方で第2半導体領域40にチャネルが形成される。これにより、ソース領域60とドレイン領域50間に主電流が流れる。
- [0016] 一方、オフ動作では、ゲート電極80とソース領域60間の電圧を所定の閾値電圧よりも低くする。これにより、チャネルが消滅し、主電流が遮断される。
- [0017] したがって、埋設領域20の対向端は、オン動作においてチャネルがゲート電極80の下方で形成される領域（以下において、「チャネル形成領域」という。）のドレイン領域50に近い側の端部と、ドレイン領域50との間に位置する。
- [0018] オフ動作では、第1導電型である半導体基板10及び第2半導体領域40と、第2導電型である第1半導体領域30及び埋設領域20との界面のpn接合から空乏層が広がる。第1半導体領域30よりも埋設領域20の不純物濃度の高いため、第1半導体領域30と半導体基板10との界面よりも、埋設領域20と半導体基板10との界面において、空乏層が半導体基板10側に長く延伸する。したがって、埋設領域20を有さない半導体装置と比べて、図1に示した半導体装置では耐圧を向上させることができる。半導体基板10と埋設領域20の接触する面積を、半導体基板10と第1半導体領域30の接触する面積よりも広くすることにより、半導体装置の耐圧をより向上できる。
- [0019] 更に、本発明者らは、埋設領域20の対向端の位置と半導体装置の逆バイ

アス時の耐圧との関係を調査した。調査結果を図2に示す。図2の縦軸は半導体装置の耐圧である。図2の横軸は、ドレイン領域50のゲート電極80に近い側の端部を基点とした場合の、ゲート電極80のドレイン領域50に近い側の端部までの距離 L_a に対する、埋設領域20の対向端までの距離 L_b の比（以下、「 L_b/L_a 比」という。）の値である。距離 L_a 及び距離 L_b は、平面視の距離である。なお、図1に示した半導体装置の耐圧を実線で示しており、参考として埋設領域20を有さない半導体装置の耐圧を破線で示した。

[0020] 図2において最大の耐圧を示すのは、 L_b/L_a 比が80.5%の場合である。半導体装置の耐圧が最大となる埋設領域20の対向端の位置を、以下において「最大耐圧位置」という。また、図2に示すように、 L_b/L_a 比が0%より大きく、80.5%以下である場合には、埋設領域20を配置することにより耐圧が向上する。

[0021] 埋設領域20の対向端が第2半導体領域40に近いほど、第1半導体領域30と半導体基板10との界面の距離に対して、埋設領域20と半導体基板10との界面の距離の比が長い。このため、半導体装置の耐圧が向上する。

[0022] しかし、埋設領域20の対向端が最大耐圧位置を越えて第2半導体領域40に近づいた場合には、図2に示すように半導体装置の耐圧が低下する。これは、埋設領域20をゲート電極80の側に延伸させすぎると、第1半導体領域30と第2半導体領域40の間に形成される空乏層の横方向の広がりが増大して抑制されてしまうためである。つまり、空乏層が十分に広がる前に、第1半導体領域30と第2半導体領域40の間で耐圧破壊が生じ、半導体装置の耐圧が低下する。

[0023] 本発明者らの調査によれば、埋設領域20の対向端の位置が最大耐圧位置とドレイン領域50との間にある場合には、埋設領域20と半導体基板10との界面で最初に耐圧破壊が生じる。一方、最大耐圧位置を越えて埋設領域20の対向端の位置を第2半導体領域40に近づけた場合には、第1半導体領域30と第2半導体領域40との界面で最初に耐圧破壊が生じる。図2に

示すように、第1半導体領域30と第2半導体領域40との界面で耐圧破壊が生じる場合には、埋設領域20と半導体基板10との界面で耐圧破壊が生じる場合よりも、耐圧が大きく低下する。

[0024] 以上に説明したように、本発明の実施形態に係る半導体装置では、埋設領域20の対向端を、ゲート電極80のドレイン領域50に近い側の端部と、ドレイン領域50のゲート電極80に近い側の端部との間に配置する。これにより、半導体装置の耐圧を向上させることができる。特に、 L_b/L_a 比を80.5%とすることにより、半導体装置の耐圧が向上する。

[0025] 以下に、図面を参照して図1に示した半導体装置の製造方法を説明する。なお、以下に述べる半導体装置の製造方法は一例であり、この変形例を含めて、これ以外の種々の製造方法により実現可能である。

[0026] まず、第1導電型の半導体基板10を用意する。例えば、半導体基板10にp型のシリコン基板を用いる。半導体基板10の不純物濃度は、 $5.0 \times 10^{13} \sim 4.5 \times 10^{14} \text{ cm}^{-3}$ 程度である。なお、半導体基板10にシリコン基板以外の基板を使用してもよい。

[0027] そして、図3に示すように、半導体基板10の上面の一部に埋め込むようにして埋設領域20を形成する。例えば、フォトリソグラフィ技術により形成したマスク材を用いて、n型不純物を半導体基板10の上面の一部に選択的にイオン注入し、埋設領域20を所定の位置に形成する。n型不純物は、例えば砒素やリンなどである。埋設領域20の膜厚は $15 \sim 25 \mu\text{m}$ 程度であり、不純物濃度は、 $1.1 \times 10^{15} \sim 1.5 \times 10^{15} \text{ cm}^{-3}$ 程度である。

[0028] 次に、図4に示すように、埋設領域20を覆うように、半導体基板10の上面の全面に第1半導体領域30を形成する。例えば、エピタキシャル成長法を用いて、第1半導体領域30を形成する。第1半導体領域30の膜厚は $5 \sim 10 \mu\text{m}$ 程度であり、不純物濃度は $8.0 \times 10^{14} \sim 1.0 \times 10^{15} \text{ cm}^{-3}$ 程度である。

[0029] 次に、図5に示すように、第1半導体領域30の一部に選択的にp型不純物をイオン注入して、第2半導体領域40を形成する。このとき、半導体基

板 10 の上面に達するように第 2 半導体領域 40 が形成される。p 型不純物は、例えばボロンなどである。第 2 半導体領域 40 の膜厚は $10 \sim 15 \mu\text{m}$ 程度であり、不純物濃度は、 $5.0 \times 10^{15} \sim 1.0 \times 10^{18} \text{cm}^{-3}$ 程度である。

[0030] その後、図 6 に示すように、ドレイン領域 50 及びソース領域 60 を形成する。例えばフォトリソグラフィ技術を用いてパターニングしたマスク材をマスクにしたイオン注入法により、n 型不純物を第 1 半導体領域 30 の上部の一部に選択的に注入してドレイン領域 50 を形成する。同様に、n 型不純物を第 2 半導体領域 40 の上部の一部に選択的に注入してソース領域 60 を形成する。更に、ゲート絶縁膜 70 及びゲート電極 80 を所定の位置に形成して、図 1 に示す半導体装置が完成する。

[0031] なお、埋設領域 20 を形成した後の製造工程での熱処理の影響などにより、埋設領域 20 の不純物が周囲に拡散する。このため、埋設領域 20 の上部が上方に延伸し、半導体基板 10 と第 1 半導体領域 30 の界面よりも埋設領域 20 と第 1 半導体領域 30 の界面が上方に位置している。

[0032] 本発明者らが検討を重ねた結果、半導体基板 10、第 1 半導体領域 30 及び第 2 半導体領域 40 の不純物濃度の比率が一定の範囲にある場合に、埋設領域 20 を配置することによって耐圧を向上させる効果が顕著であることを見出した。

[0033] (その他の実施形態)

上記のように、本発明は実施形態によって記載したが、この開示の一部をなす論述及び図面はこの発明を限定するものであると理解すべきではない。この開示から当業者には様々な代替実施形態、実施例及び運用技術が明らかとなろう。

[0034] 例えば、図 7 に示すように、ドレイン領域 50 とゲート電極 80 との間で第 1 半導体領域 30 の上面にフィールド絶縁膜 90 を形成し、フィールド絶縁膜 90 の上面にフィールドプレート 100 を配置してもよい。フィールドプレート 100 を所定の電位に設定することにより、ゲート電極 80 のドレ

イン領域 50 に近い側の端部における電界集中が緩和され、半導体装置の耐圧を更に向上させることができる。

[0035] なお、図 7 に示した半導体装置では、第 2 半導体領域 40 の上面の一部に、第 1 導電型のバックゲート領域 110 が配置されている。そして、第 2 半導体領域 40 の下面に接して、第 1 導電型の接続領域 120 が半導体基板 10 の上部に埋め込まれている。これにより、第 2 半導体領域 40 と接続領域 120 を介して、バックゲート領域 110 と半導体基板 10 が電氣的に接続されている。

[0036] 上記では半導体装置が MOSFET である場合を説明した。しかし、半導体装置が他の構造のトランジスタであってもよい。例えば、半導体装置が JFET の場合にも、本発明は適用可能である。

[0037] このように、本発明はここでは記載していない様々な実施形態等を含むことはもちろんである。

産業上の利用可能性

[0038] 本発明の半導体装置は、横型の半導体装置を製造する製造業を含む電子機器産業に利用可能である。

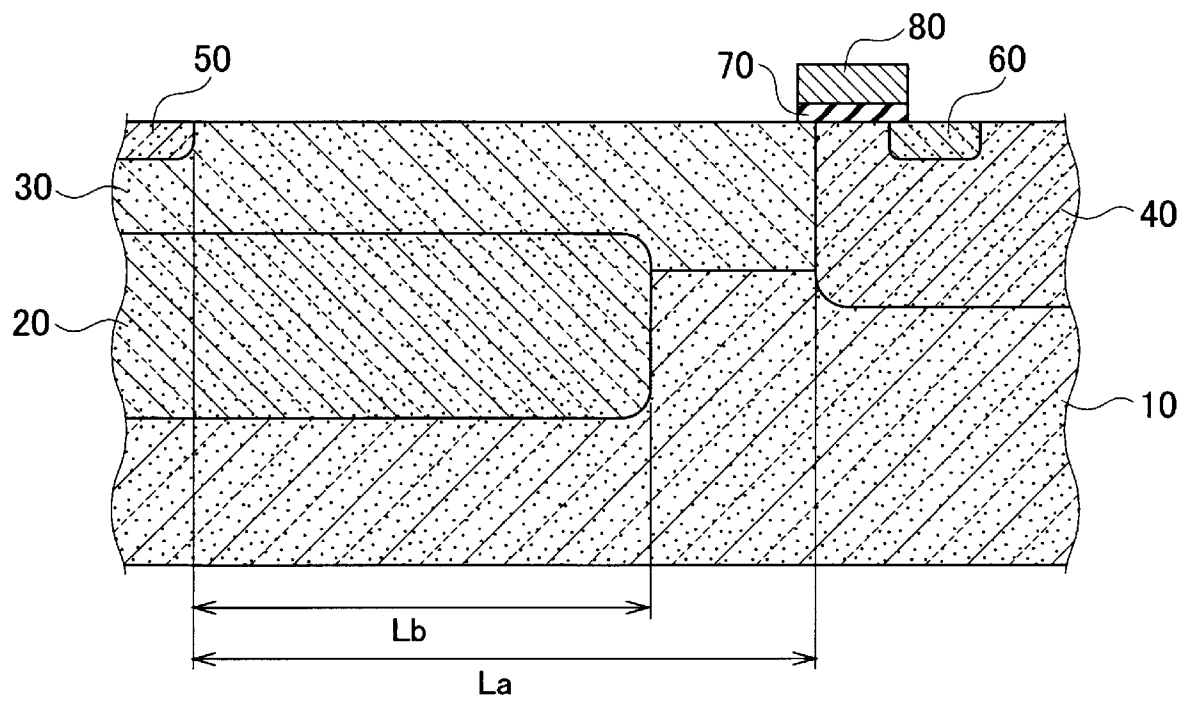
符号の説明

[0039] 10…半導体基板
20…埋設領域
30…第 1 半導体領域
40…第 2 半導体領域
50…ドレイン領域
60…ソース領域
70…ゲート絶縁膜
80…ゲート電極

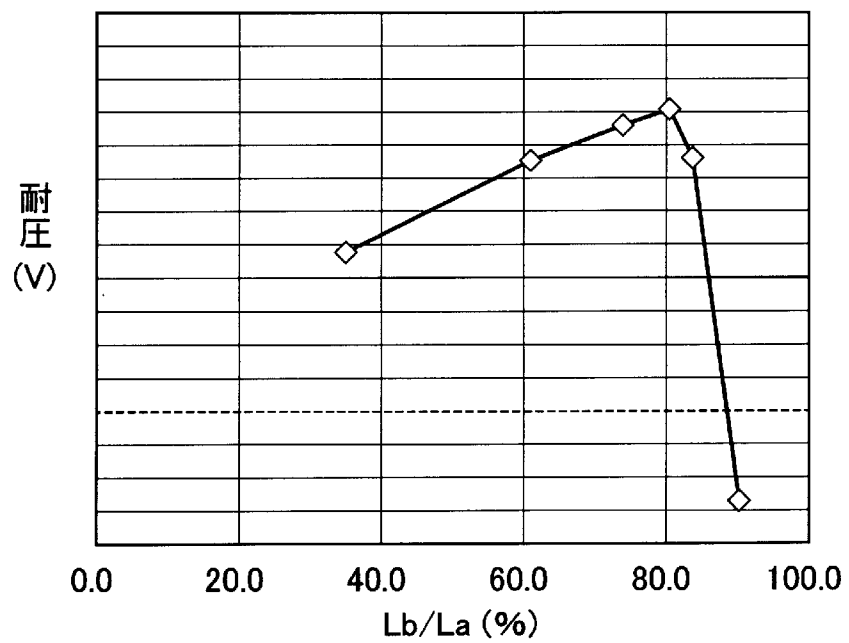
請求の範囲

- [請求項1] 第1導電型の半導体基板と、
 前記半導体基板の上面の一部に埋め込まれた第2導電型の埋設領域と、
 と、
 前記埋設領域を覆って前記半導体基板の上面に選択的に配置された、前記埋設領域よりも不純物濃度の低い第2導電型の第1半導体領域と、
 と、
 前記第1半導体領域の配置された領域の残余の領域で、前記半導体基板の上面に配置された第1導電型の第2半導体領域と、
 前記第1半導体領域の上面の一部に配置された第2導電型のドレイン領域と、
 前記第2半導体領域の上面の一部に配置された第2導電型のソース領域と、
 と、
 前記ドレイン領域と前記ソース領域との間で前記第2半導体領域の上方に配置されたゲート電極と
 を備え、
 前記埋設領域の前記第2半導体領域に対向する対向端の平面視の位置が、前記ゲート電極の前記ドレイン領域に近い側の端部と、前記ドレイン領域の前記ゲート電極に近い側の端部との間であることを特徴とする半導体装置。
- [請求項2] 前記ドレイン領域の前記ゲート電極に近い側の端部を基点とする前記ゲート電極の前記ドレイン領域に近い側の端部までの距離に対する、前記基点から前記埋設領域の前記対向端までの距離の比が、80.5%以下であることを特徴とする請求項1に記載の半導体装置。
- [請求項3] 前記半導体基板と前記埋設領域の接触する面積が、前記半導体基板と前記第1半導体領域の接触する面積よりも広いことを特徴とする請求項1又は2に記載の半導体装置。

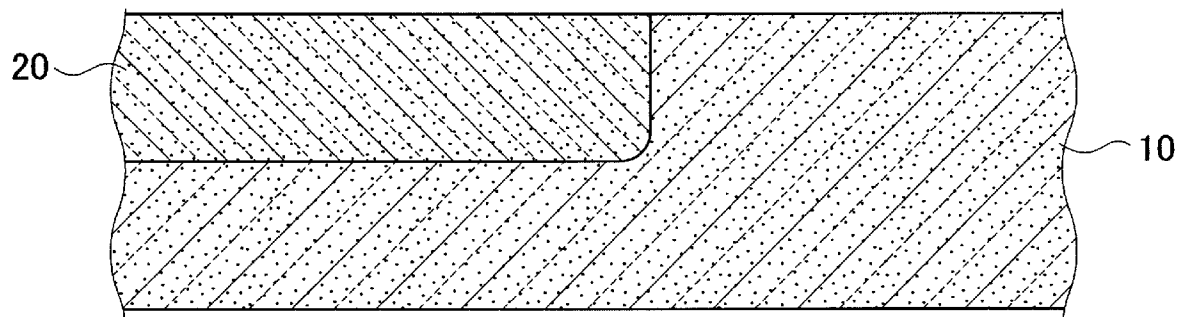
[図1]



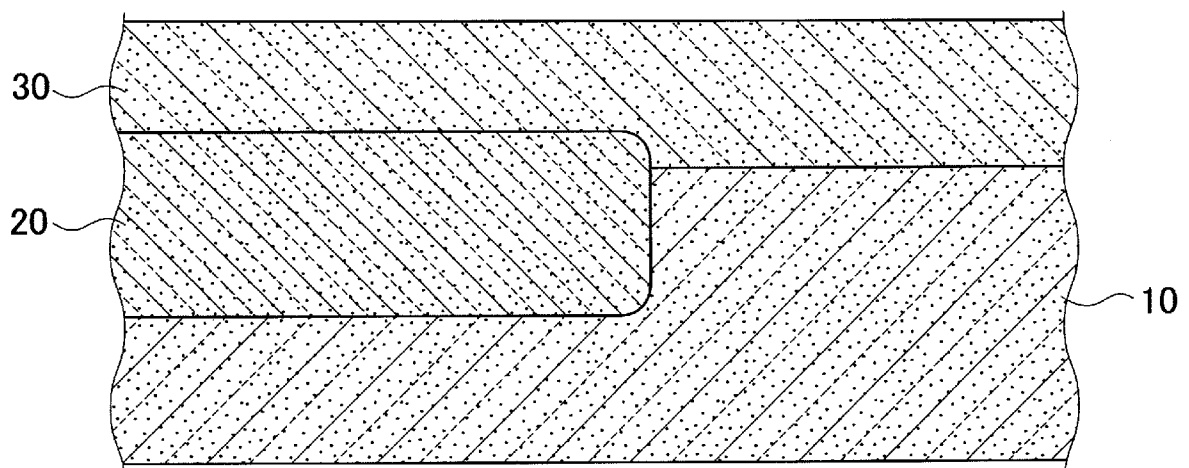
[図2]



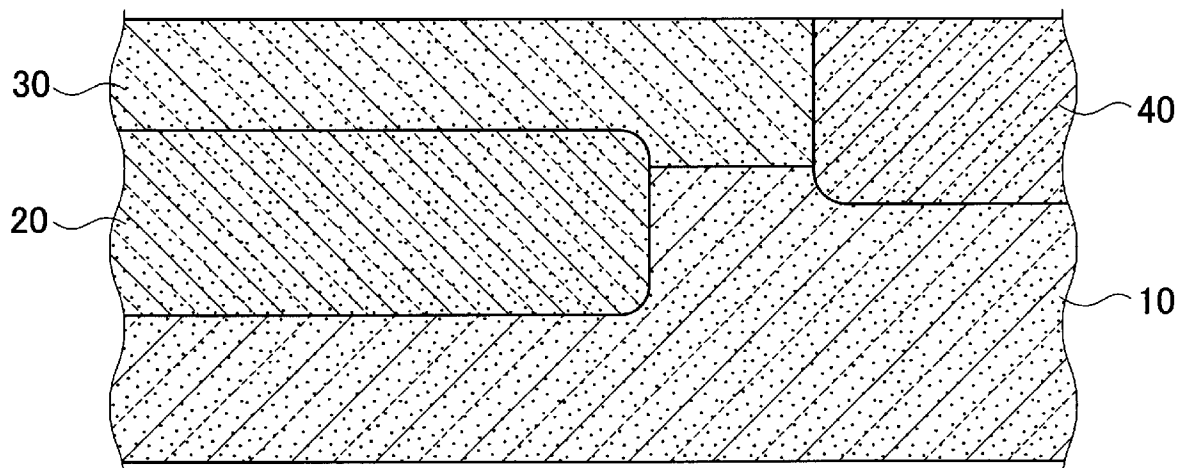
[図3]



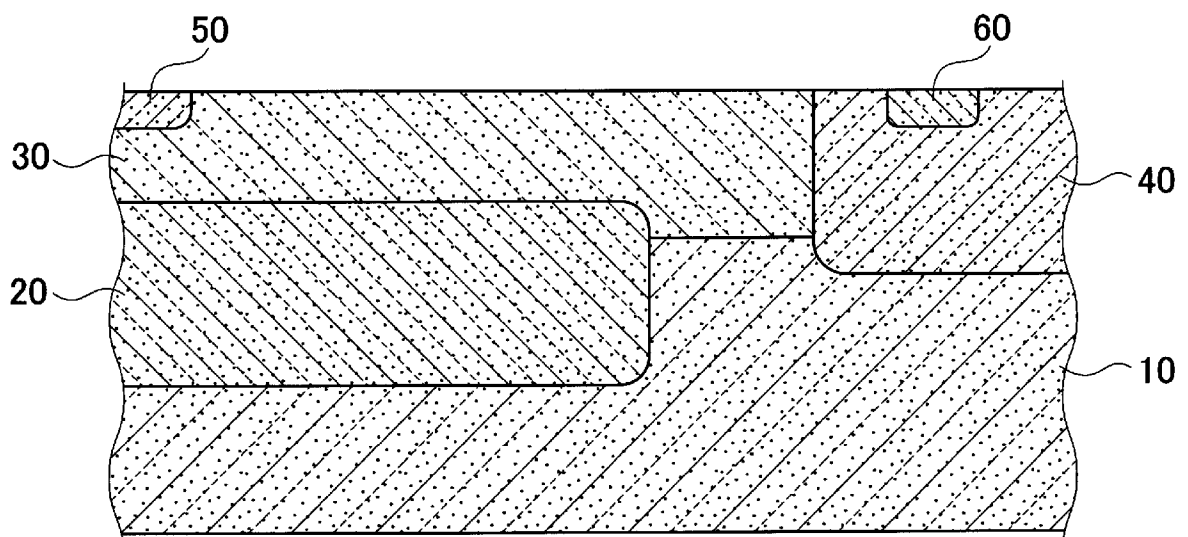
[図4]



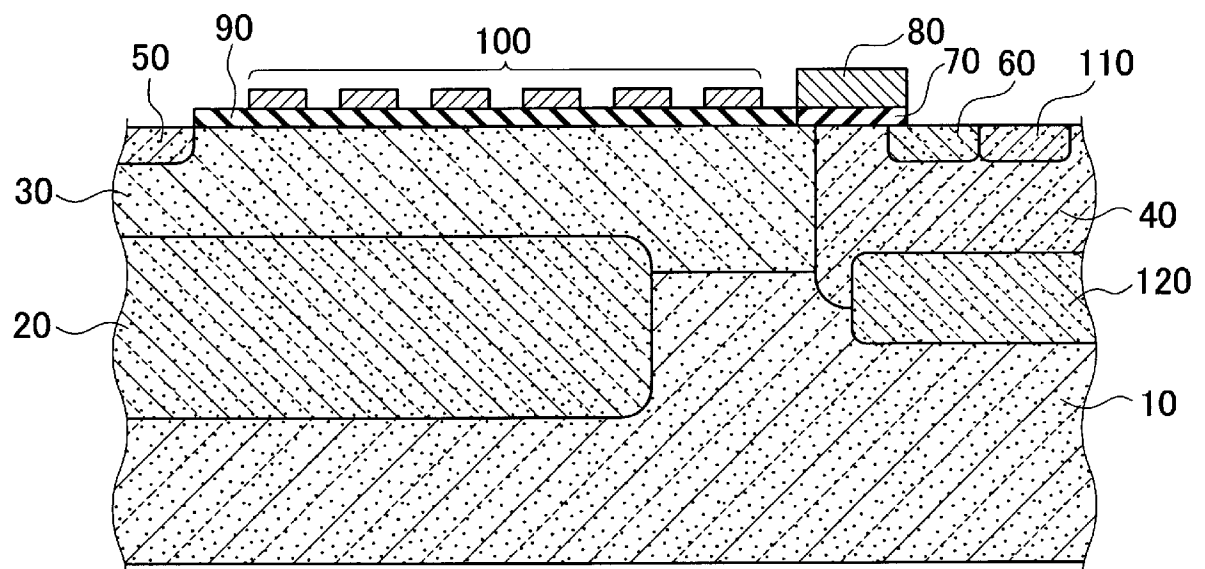
[図5]



[図6]



[図7]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2018/027881

A. CLASSIFICATION OF SUBJECT MATTER

Int. Cl. H01L21/336(2006.01)i, H01L29/78(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int. Cl. H01L21/336, H01L29/78

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996

Published unexamined utility model applications of Japan 1971-2018

Registered utility model specifications of Japan 1996-2018

Published registered utility model applications of Japan 1994-2018

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 2006-344817 A (TOYOTA MOTOR CORP.) 21 December 2006, paragraphs [0018], [0023], [0027], fig. 7 (Family: none)	1-3
A	JP 2013-122948 A (SEIKO INSTRUMENTS INC.) 20 June 2013 (Family: none)	1-3
A	JP 2005-236142 A (SHINDENGEN ELECTRIC MFG. CO., LTD.) 02 September 2005 (Family: none)	1-3
A	JP 2011-023734 A (MITSUBISHI ELECTRIC CORP.) 03 February 2011 (Family: none)	1-3

☐ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search
05.10.2018

Date of mailing of the international search report
16.10.2018

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

A. 発明の属する分野の分類（国際特許分類（IPC））

Int.Cl. H01L21/336(2006.01)i, H01L29/78(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（IPC））

Int.Cl. H01L21/336, H01L29/78

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2018年
日本国実用新案登録公報	1996-2018年
日本国登録実用新案公報	1994-2018年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X	JP 2006-344817 A（トヨタ自動車株式会社）2006.12.21, 段落 0018, 0023, 0027, 図7（ファミリーなし）	1-3
A	JP 2013-122948 A（セイコーインスツル株式会社）2013.06.20, （ファミリーなし）	1-3
A	JP 2005-236142 A（新電元工業株式会社）2005.09.02, （ファミリーなし）	1-3

☒ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの

「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）

「O」口頭による開示、使用、展示等に言及する文献

「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日

05.10.2018

国際調査報告の発送日

16.10.2018

国際調査機関の名称及びあて先

日本国特許庁（ISA/J P）

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

棚田 一也

5 F

6299

電話番号 03-3581-1101 内線 3516

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2011-023734 A (三菱電機株式会社) 2011. 02. 03, (ファミリーなし)	1-3