

393727

公 告 本

申請日期	87.8.25
案 號	87113983
類 別	H01L 21/762

A4

C4

(以上各欄由本局填註)

393727

發 明 專 利 說 明 書

一、發明 名稱	中 文	用以改善層膜厚度控制之緩衝層
	英 文	Buffer layer for improving control of layer thickness
二、發明 創作人	姓 名	1. 喬琴班特納 (Jochen Beintner) 2. 尤瑞克古倫寧 (Ulrike Gruening) 3. 卡羅瑞登斯 (Carl Radens)
	國 籍	1.-2. 皆屬德國 3. 美國
	住、居所	1. 美國約紐州12590瓦平格斯瀑布可雷普道27號 2. 美國約紐州12590瓦平格斯瀑布城景道38號 3. 美國約紐州12603泡奇普西松木路7號
三、申請人	姓 名 (名稱)	1. 西門斯股份有限公司 (SIEMENS AKTIENGESELLSCHAFT) 2. 國際商業機器股份有限公司 (International Business Machines Corporation)
	國 籍	1. 德國 2. 美國
	住、居所 (事務所)	1. 德國慕尼黑D-80333威田巴契廣場2號 2. 美國約紐州10504艾蒙克老橡路
	代 表 人 姓 名	1. 貝斯納 (Basener) 雷哈特 (Reinhardt) 2. 傑佛瑞 L. 霍曼 (Jeffrey L. Forman)

裝

訂

線

(由本局填寫)

承辦人代碼：
大 類：
I P C 分類：

A6

B6

本案已向：

國 (地區) 申請專利，申請日期： 案號： ， ☐有 ☐無主張優先權
美 國

1997年09月26日 案號08/938,196 (主張優先權)

有關微生物已寄存於： ，寄存日期： ，寄存號碼：

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

經濟部中央標準局員工消費合作社印製

-2a-

五、發明說明(一)

發明背景

1. 技術領域

本發明有關半導體裝置，且較特別地，有關一種緩衝層，其配置於一電介質層之內以允許改善電介質厚度及平坦性，以及有關一種形成該緩衝層之方法。

2. 相關技藝說明

諸如該等由矽構成之半導體晶圓係使用作基體以用於處理積體電路晶片。當處理法已改善多年後，晶圓直徑已增至其目前大約8吋及更大之大小。大致地，諸晶圓係自一大的矽晶體錠切片且大致地圓形之形狀。

降低積體電路晶片之外貌大小已增大了該晶圓平坦度之關鍵性，現今，具有次微米外貌呈普及，表面之平坦性正視為新的重要性，因為其提供性能提昇之線索。用於該等大大地降低外貌大小之製程控制呈更依賴於表面之均勻性及平坦性，表面之均勻性及平坦性係難以控制，特別是當表面層已暴露於許多處理步驟時，例如乾式蝕刻法，濕式蝕刻法，或化學機械拋光法(CMP)之處理步驟會部分地減少平坦性及加大非均勻性於該基體上。

化學機械拋光法(CMP)係一種用於改善半導體晶圓之表面平坦性之方法且涉及通常具有以矽土為主之泥漿之機械襯墊拋光系統之使用，CMP提供一種實用之方法以達成球面晶圓平坦性之主要優點，然而，用於球面平坦性之CMP系統具有某些限制，該等限制含有低的晶圓輸出入量，所拋光表面之非均勻性，以及一種稱為"邊緣

五、發明說明(>)

排除"之有關拋光均勻性之問題。

在光微影遮罩法上，表面非均勻性常具有負面效應，非均勻性係透過會導致電介質層及諸組件中之變化的連續處理所造成，微影之影像會失真而具有非所欲之效應於該半導體晶片上所形成之電子組件之上。

如第1圖中所示，在溝渠式電容器之製造期間，襯墊堆疊11係形成於基體之表面上，該襯墊堆疊含有連續之堆疊層。一第一襯墊電介質層14係形成在該基體上，典型地，該第一襯墊層係一由熱氧化法所形成之襯墊氧化物層，一第二襯墊層12係形成在該襯墊氧化物層上，大致地含有氮化物。該襯墊氧化物層提高了黏著性且降低了該襯墊氮化物層與該基體間之應力。在該襯墊氮化物層上方係一硬式遮罩層18，大致地，該硬式遮罩層係製作圖案以作為一遮罩，用以蝕刻使用來形成溝渠式電容器之深溝渠，例如，該硬式遮罩層包含TEOS或硼-矽酸鹽玻璃(BSG)。

該襯墊氮化物層12作為一拋光及/或蝕刻阻斷層。藉此，在處理期間，使該襯墊阻斷層12受到拋光步驟及蝕刻步驟。由於此先前之處理，襯墊層12常具有一非均勻之厚度，為使此層有益於作為一拋光式蝕刻阻斷層，例如，若其扮演為一拋光阻斷物，則必須維持某一最小之安全厚度。在較早之拋光及蝕刻步驟中所產生之非均勻性會潛在地留下"低點"，該低點可在該阻斷層所需之最小厚度之下。

五、發明說明(3)

因此，需有一種用於產生已暴露於先前處理步驟之均勻厚度層之方法及裝置。

發明概述

一種用以形成均勻厚度之電介質層之半導體裝置，包含一配置於半導體基體上之襯墊層，該襯墊層包含一電介質材料，一緩衝層係配置於該襯墊層之內，使得該襯墊層分為一在該緩衝層下方之電介質層及一在該緩衝層上方之襯墊層。

特別地，該半導體裝置含有複數電介質層及複數緩衝層於其中。較佳地，該緩衝層可由一TEOS之氧化物所製成，而該電介質層可由氮化矽所製成。該緩衝層可小於約100埃厚度，較佳地，在約50與100埃厚度間。具有該緩衝層之半導體裝置可使用來製造溝渠式電容器。

一種用以在半導體晶片上形成具有均勻之平坦性及均勻之厚度的層膜之方法，含有下列步驟：提供一基體，具有熱襯墊形成於上；形成一電介質層於該熱襯墊之上；形成一緩衝層於該電介質層之上，其中該緩衝層係由一相異於該電介質層之混合物所製成；以及形成一遮罩層於該緩衝層之上，其中該緩衝層係由一相異於該遮罩層之混合物所製成。

於一實施例中，較佳地，該緩衝層係一TEOS之氧化物，而該襯墊層係氮化矽，可含有利用該緩衝層為一額外之蝕刻阻斷物及形成一玻璃層於該襯墊層上之步驟，同時可含有下列之形成複數襯墊阻斷層於複數緩衝層之上

五、發明說明(4)

，其中該複數緩衝層係由一相異於該複數襯墊阻斷層之混合物所製成，或利用該緩衝層為一拋光阻斷物之步驟。

一種在具有溝渠之半導體晶片中形成具有均勻平坦性及均勻厚度之層膜的方法，含有下列步驟：配置一半導體裝置，具有一襯墊層，配置於一半導體基體上，及一緩衝層，配置於該襯墊阻斷層之中，使得該襯墊阻斷層被分為一電介質層，在該緩衝層下方，及一襯墊阻斷層，於該緩衝層上方；形成溝渠於該半導體晶片中；充填該溝渠以一充填物；拋光至該襯墊阻斷層；利用該緩衝層為一蝕刻阻斷物用以去除該襯墊阻斷層；以及去除該緩衝層，使一實質地均勻表面形成在該電介質層之上。含有形成一TEOS環管於該等溝渠內之步驟。去除該緩衝層之步驟可含有同時去除該緩衝層及一部分之TEOS層。該緩衝層可由TEOS形成，而遮罩層及電介質層則由氮化矽形成。在該遮罩層上之玻璃層係形成於溝渠形成前。含有形成複數襯墊阻斷層在複數緩衝層上之步驟，其中該複數緩衝層係由相異於該複數襯墊阻斷層之混合物所製成。

於替換性之實施例中，可含有再充填該等溝渠以一充填物及利用化學向下蝕刻法(CDE)，乾式蝕刻法，濕式蝕刻法或CMP法來形成一凹口，且例如，形成一淺溝渠隔離物於該凹口中，以及利用電介質層為一拋光阻斷物用以拋光該淺溝渠隔離物溝渠之步驟。

圖式簡單說明

五、發明說明(5)

本發明係參照下文諸圖式詳細說明較佳之實施例，其中：

第1圖係一習知技術半導體晶片之橫截面圖示；

第2圖係顯示具有一緩衝層之半導體晶片之橫截面圖示；

第3圖係顯示具有複數緩衝層之半導體晶片之橫截面圖示；

第4圖係顯示具有溝渠形成其中之半導體晶片之橫截面圖示；

第5圖係具有充填以充填物之溝渠的第4圖之半導體晶片之橫截面圖示；

第6圖係具有藉去除其上之充填物層所暴露之遮罩層的第5圖之半導體晶片之橫截面圖示；

第7圖係具有所蝕刻之充填物及所澱積之TEOS層的第6圖之半導體晶片之橫截面圖示；

第8圖係具有有一部分TEOS層被去除之第7圖之半導體晶片之橫截面圖示；

第9圖係具有充填以充填物及拋光至遮罩層之溝渠的第8圖之半導體晶片之橫截面圖示；

第10圖係具有作凹口之充填物的第9圖之半導體晶片之橫截面圖示；

第11圖係具有TEOS層蝕刻至充填物之第10圖之半導體晶片之橫截面圖示；

第12圖係具有再充填之溝渠的第11圖之半導體晶片之

五、發明說明(b)

橫截面圖示；

第13圖係一描繪性實施例之半導體晶片在拋光後之橫截面圖示；

第14圖係第13圖之半導體晶片在去除遮罩層後之橫截面圖示；

第15圖係第14圖之半導體晶片在去除緩衝層後之橫截面圖示，以及顯示有一實質均勻厚度及平坦性之電介質層；

第16圖係一具有凹口形成於其中用於接納淺溝渠隔離物及顯示一扮演拋光阻斷物之電介質層之半導體晶片之橫截面圖示；

第17圖係另一描繪性實施例之半導體晶片在拋光後之橫截面圖示；

第18圖係第17圖之半導體晶片在去除該遮罩後之橫截面圖示；以及

第19圖係第18圖之半導體晶片在去除緩衝層後之橫截面圖示，以及顯示有一實質均勻厚度及平坦性之電介質層。

發明詳細說明

本發明描述一種形成緩衝層於襯墊層內之方法，其中分離該襯墊層為一襯墊阻斷層及一電介質層。該襯墊阻斷層可視需要予以拋光，蝕刻及處理。當不再需要襯墊阻斷層時，可選擇性地予以蝕刻掉而暴露該緩衝層。該緩衝層亦可予以處理及/或選擇性地蝕刻掉以暴露該電

五、發明說明(7)

介質層。因為該電介質層已在先前之處理期間予以保護，故該電介質層具有一大於所需最小之厚度之預定厚度作為一拋光或蝕刻阻斷物，且可有利地利用來自該處而產生電子組件於半導體晶片。

現以特定之項目來參閱圖示，其中相同之參考符號表示相類似或相同之元件於若干圖示中，且首先參閱第2圖，一基體102之橫截面圖。該基體代表一部分之IC，此IC含有一記憶體電路，諸如隨機存取記憶體(RAM)，動態RAM(DRAM)，同步型DRAM(SDRAM)，或靜態RAM(SRAM)；同時，該IC可為一邏輯裝置，諸如可程式規劃之邏輯陣列(PLA)，應用之特定IC(ASIC)，合併之DRAM-邏輯電路，或任何電路裝置。

大致地，許多ICs係並列地製造於一諸如矽晶圓之半導體基體上，在處理後，該晶圓被切塊以便分離該等ICs為複數之個別晶片，然後封裝該等晶片為最終產品用於例如，電腦系統，行動電路，個人數位式輔助物(PDAs)，及其他電子產品之消費者產品。

如圖示，配置一基體102，例如，該基體包含一矽晶圓，其他諸如砷化鎵，銻，矽於絕緣體上(SOI)，或其他半導體材料之半導體基體亦係有效，例如，該基體可微摻雜或重摻雜有預定導電性之摻雜物以完成所要之電子特性。

熱襯墊層104係形成於一基體102之上，熱襯墊層104可在升高溫度之條件下藉暴露基體於氧氣以形成例如二氧化矽混合物而形成。電介質層106係形成於熱襯墊層1

五、發明說明(8)

04之上，電介質層106係利用例如低壓化學氣相澱積法(LPCVD)，或電漿強化型化學氣相澱積法(PECVD)之化學氣相澱積法予以形成。

緩衝層108係藉氣體澱積法形成於電介質層106之上，緩衝層108可相對於襯墊層110，電介質層106及在例如溝渠之所處理結構中之材料予以選擇性地去除。例如襯墊層110，緩衝層108，及電介質層可分別地具有下列材料之組合：氧化物/氮化物/氧化物，氮化物/氧化物/氮化物，氧化物/多晶矽(poly)/氧化物，氮化物/多晶矽/氮化物，多晶矽/氮化物/多晶矽，或多晶矽/氧化物/多晶矽。遮罩層110係藉利用一例如LPCVD或PECVD之CVD法形成於緩衝層108之上。一硬式移動玻璃層112係形成於遮罩層110之上，例如該硬式遮罩層包含硼矽酸鹽玻璃(BSG)或TEOS。

在一實施例中，電介質層106及遮罩層110係大致地由氮化矽所製成，為區分緩衝層108與層106及110，緩衝層108可製成自氧化矽，四乙基氧矽烷(TEOS)，或多晶矽(poly)。較佳地，該緩衝層108包含TEOS，該緩衝層108可利用一低壓TEOS澱積法予以形成。在形成緩衝層108之後，可使該緩衝層受到濕式氧化物退火法，該濕式氧化物退火法維持大約850至950度c間之溫度大約10分鐘以增密該緩衝層108，緩衝層108之增密會改善緩衝層108之阻礙於例如HF濕式蝕刻法之化學蝕刻法，例如緩衝層108之厚度係小於大約100埃，且較佳地在50至100埃間之範圍

五、發明說明(9)

中。如上述，因為習知之襯墊層 10 係標稱大約 2200 埃厚，本發明之電介質層 106，緩衝層 108 及襯墊層 110 應標稱地加至大約 2200 埃之厚度，電介質層 106 係較佳地至少約 800 埃厚，以便完成合適之保護量。

參閱第 3 圖，所欲者係複數電介質層 101 可與複數緩衝層 103 使用以改善層膜之均勻性於中間之處理期間，複數緩衝層 103 可夾置於諸電介質層 101 之間，且可使用為拋光物或蝕刻阻斷物。

參閱第 4 至 12 圖，顯示本發明一描繪性之實施例，參閱第 4 圖，一襯墊層堆疊包含一單一緩衝層 108，其分離一電介質 106 及一襯墊阻斷層 110，該緩衝層 108 係配置於基體之表面上。如圖示，溝渠 114 係形於基體中。典型地，該等溝渠係藉製作一硬式蝕刻遮罩層 112 之圖案，利用習知微影及蝕刻技術予以形成，該硬式遮罩層作為一硬式蝕刻遮罩以用於形成溝渠所使用之反應離子蝕刻法 (RIE)，該硬式遮罩層係藉一例如使用 HF (氫氟酸) 為蝕刻劑之濕式蝕刻法予以蝕刻掉。此時，在溝渠下方部分處之埋入板係選擇性地利用習知技術予以形成，諸如提供一摻雜物源及外擴散其中之摻雜物進入基體內，該摻雜物源例如包含摻雜砷之矽酸鹽玻璃 (ASG)。

參閱第 5 圖，諸溝渠 114 係充填有諸如多晶矽 (poly) 之充填物 105，例如該多晶矽係重摻雜有 n 型摻雜物以形成電容器之節點，多晶矽 111 之表面係由 CMP 所拋光而形成具有襯墊阻斷層 110 之平坦表面，如第 6 圖中所示。參

五、發明說明(10)

閱第7圖，充填物被作凹口，留下一部分之充填物材料於該等溝渠之下方部分(第5至6圖)。TEOS層116係澱積於諸線壁118及各溝渠114之底部120。該TEOS係使用來形成一電介質環管以降低寄生漏電，典型地，該TEOS被退火以改善層膜之隔離特性。

參閱第8圖，該TEOS層116係由反應離子蝕刻法自底部120及遮罩層110去除，同時該RIE去除TEOS層自層110之表面及該溝渠側壁之上方部分。於第9圖中，諸溝渠114接著充填有一諸如n摻雜多晶矽之充填物122。在第10圖中，充填物122係藉濕式蝕刻法利用例如HF為蝕刻劑予以去除至溝渠114內之預定高度123，該預定高度相對應於例如其中欲形成埋入帶之底部，同時相對應於TEOS環管124之頂部。因為濕式蝕刻係選擇性地氧化(亦即，並不會蝕刻TEOS)，故TEOS有效地保護矽之側壁免於受到蝕刻。

參閱第11圖，一選擇為矽之濕式蝕刻係執行以去除該TEOS，此蝕刻去除該TEOS至大約該多晶矽之頂部，形成TEOS環管。在第12圖中，接著使用充填物來充填諸溝渠114，例如該充填物係使用來形成埋入帶之未摻雜多晶矽。

參閱第13圖，在諸溝渠114已形成及充填後，執行化學機械拋光法(CMP)之步驟以去除襯墊阻斷層110上方之諸材料層，拋法之結果，頂部表面126並未平坦，其係典型的所有拋光程序之某種程度。如第14圖中所示，襯墊阻斷層110係由濕式蝕刻或乾式蝕刻予以去除。於一

五、發明說明 (11)

實施例中，襯墊阻斷層 110 選擇性地蝕刻至緩衝層 108。緩衝層 108 可為一氧化物，而襯墊層 110 則為氮化物。藉提供緩衝層 108 作為蝕刻阻斷物，會達成一較為均勻之表面 128。

參閱第 15 圖，緩衝層 108 係由蝕刻法來去除，而暴露電介質層 106。於一實施例中，電介質 106 係氮化物而緩衝層 108 則為氧化物，藉此，使緩衝層被選擇性地蝕刻掉，此時電介質層 106 可在濕式蝕刻法中扮演蝕刻阻斷物以作凹口於充填物 122 至基體 102 之內，該凹口形成溝渠式電容器之埋入帶。電介質層 106 至少具有最小之厚度以使用作拋光或蝕刻阻斷物於兩層之間，例如，現可繼續處理以形成溝渠式電容器。在半導體晶片 100 上，電介質層 106 具有較為均勻之高度。

參閱第 16 圖，一淺溝渠 130 係由習知之微影及蝕刻技術予以界定，接著，該淺溝渠充填有例如 TEOS 以形成一淺溝渠隔離物 (STI)，該 TEOS 被退火以增濃，利用電介質層 106 為拋光阻斷物以拋光該 STI 表面，此允許 STI 130 之高度之較佳控制而達成較佳性能。

參閱第 17 圖，另一描繪性實施例顯示一已形成於溝渠 214 內之 TEOS 層 216 及一導入且蝕刻至一預定高度於溝渠 214 之內的充填物 222，而形成一凹口 215，凹口 215 可利用化學向下蝕刻法 (CDE) 予以形成，一基體 202 具有一熱墊層 204 形成於其上。熱襯墊層 204，電介質層 206，緩衝層 208 及襯墊層 210 係大致地如上文所述，CMP 法已執

五、發明說明 (17)

行產生一頂部表面 226 於遮罩層 210 之上且由於拋光法而具有高度變化。

參閱第 18 圖，襯墊層 210 係藉一選擇性濕式蝕刻或乾式蝕刻予以去除，緩衝層 208 扮演一蝕刻阻斷物。在一實施例中，襯墊層 210 選擇性地蝕刻至緩衝層 208，緩衝層 208 可為一氧化物而遮罩層 210 則為一氮化物。藉提供緩衝層 208，可達成一較為均勻之表面 228。若緩衝層 208 為一氧化物，則緩衝層 208 及 TEOS 層 216 可以以一單一蝕刻步驟來去除，充填物 222 扮演一遮罩以防止 TEOS 層 216 遭到去除，其中充填物 222 係存在於諸溝渠 214 之中。

參閱第 19 圖，電介質層 206 具有較均勻之表面 203 於其上，環管 224 已形成於各溝渠 214 中，而充填物 222 已加上以用於進一步處理而形成溝渠式電容器。充填物 222 可利用化學向下蝕刻法 (CDE) 來去除，可提供改善之均勻性於蝕刻之表面，同時，可利用 CMP，雖然如上述之 CMP 潛在地產生較為非均勻性。藉利用 CDE，可形成深溝渠之凹口以用於配置 STI，如第 16 圖中所示。STI 將再利用電介質層 206 為一拋光層阻斷物係較佳地界定。

已說明描繪性實施例為一緩衝層配置於一電介質層之內，以允許改善之電介質層厚度及平坦性之控制以及一種用於形成緩衝層之方法 (其係企圖於描繪而非限制)，要注意的是，諸修飾及變化可由熟習於本技藝之人士根據上文之教示而予以完成，因此應理解的是諸改變可完成於所揭示之本發明特殊實施例中，而在如附錄之申請

五、發明說明(13)

專利範圍所述之本發明之範疇及精神之內。所以已詳述本發明且特別地由專利法所要求，申請專利範圍及由專利證書所欲保護者係陳明於附錄之申請專利範圍之中。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(14)

參考符號說明

- 10....襯墊層
- 11....襯墊堆疊
- 12....第二襯墊層(襯墊氮化物層)
- 14....第一襯墊電介質層
- 16....基體
- 18....硬式遮罩層
- 100...半導體晶片
- 101...電介質層
- 102...基體
- 103...緩衝層
- 104...熱襯墊層
- 105...充填物
- 106...電介質層
- 108...緩衝層
- 110...襯墊阻斷層
- 111...多晶矽
- 112...硬式移動玻璃層
- 114...溝渠
- 116...TEOS層
- 118...線壁
- 120...底部
- 122...充填物
- 123...預定高度

五、發明說明 (15)

- 124...TEOS環管
- 126...頂部表面
- 128...較均勻表面
- 130...STI(淺溝渠)
- 202...基體
- 203...較均勻表面
- 204...熱襯墊層
- 206...電介質層
- 208...緩衝層
- 210...襯墊層
- 214...溝渠
- 215...凹口
- 216...TEOS層
- 222...充填物
- 224...環管
- 228...較均勻表面

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

四、中文發明摘要(發明之名稱：)

用以改善層膜厚度控制之緩衝層

一襯墊層配置於一半導體基體 102 之上，以及一緩衝層 108 配置於該襯墊層內，使該襯墊層分為一在該緩衝層下方之電介質層 106，及一在該緩衝層上方之遮罩層 110。一種在一半導體晶片上形成具有均勻平坦性及厚度之層膜的方法，含有下列步驟：提供一基體，具有熱襯墊物 104 形成於上；形成一電介質層 106 於該熱襯墊物之上；形成一緩衝層 108 於該電介質層之上，其中該緩衝層係由一相異於該電介質層之材料所作成；以及形成一遮罩層 110 於該緩衝層之上，其中該緩衝層係由一相異於該遮罩層之材料所作成。

英文發明摘要(發明之名稱：Buffer layer for improving control of layer thickness)

A pad layer disposed on a semiconductor substrate 102 and a buffer layer 108 disposed within the pad layer such that the pad layer is divided into a dielectric layer 106 below the buffer layer and a mask layer 110 above the buffer layer. A method of forming layers with uniform planarity and thickness on a semiconductor chip includes the steps of providing a substrate having a thermal pad 106 formed thereon, forming a dielectric layer 106 on the thermal pad, forming a buffer layer 108 on the dielectric layer wherein the buffer layer is made from a different material than the dielectric layer and forming a mask layer 110 on the buffer layer wherein the buffer layer is made from a different material than the mask layer.

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

六、申請專利範圍

1. 一種半導體裝置，包含：

- 襯墊層，配置於一半導體基體之上；以及
- 緩衝層，配置於該襯墊層之內，使該襯墊層分為一在該緩衝層下方之電介質層，及一在該緩衝層上方之遮罩層。

2. 如申請專利範圍第1項之半導體裝置，其中該襯墊層含有複數之緩衝層於其內。

3. 如申請專利範圍第1項之半導體裝置，其中該緩衝層係由TEOS所作成，而該遮罩層及該電介質層係由氮化矽所作成。

4. 如申請專利範圍第1項之半導體裝置，其中該緩衝層之厚度係小於100埃。

5. 如申請專利範圍第1項之半導體裝置，其中該緩衝層之厚度係於50與100埃之間。

6. 一種在半導體晶片上形成具有均勻平坦性及厚度之層膜的方法，包含下列步驟：

提供一基體，具有一熱襯墊物形成於其上；

形成一電介質層於該熱襯墊物之上；

形成一緩衝層於該電介質層之上，其中該緩衝層係由一相異於該電介質層之材料所作成；以及

形成一遮罩於該緩衝層之上，其中該緩衝層係由一相異於該遮罩層之材料所作成。

7. 如申請專利範圍第6項之形成具有均勻平坦性及厚度

六、申請專利範圍

利用化學向下蝕刻法形成一凹口於該至少一溝渠之中。

20. 如申請專利範圍第13項之形成具有均勻平坦性及厚度之層膜的方法，尚包含下列步驟：

形成一淺溝渠隔離物於該凹口之中；以及

拋光該淺溝渠隔離物使得該電介質層係一拋光阻斷物。

21. 如申請專利範圍第13項之方法，其中可製作一半導體晶片。

(請先閱讀背面之注意事項再填寫本頁)

裝

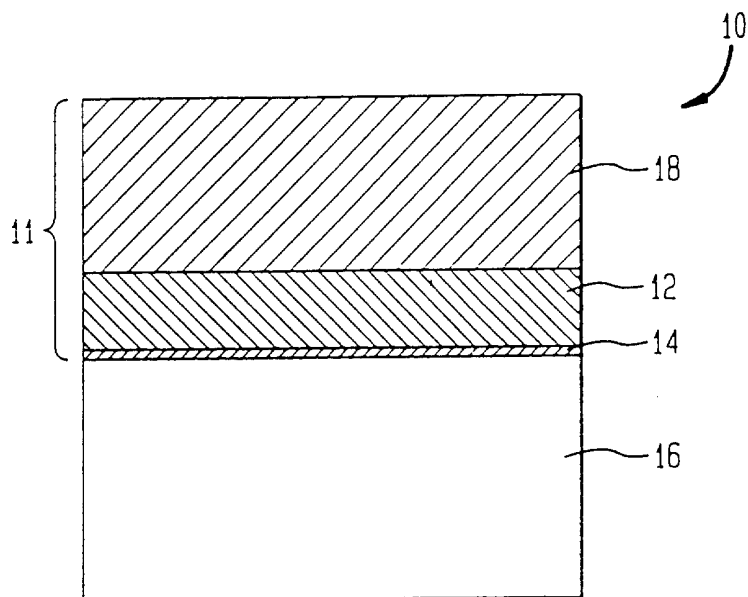
訂

線

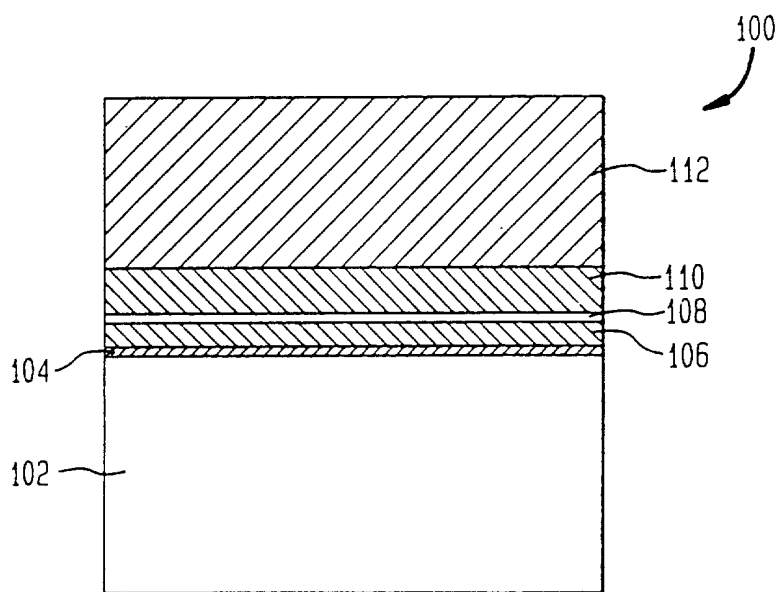
87113987

97 P 7632

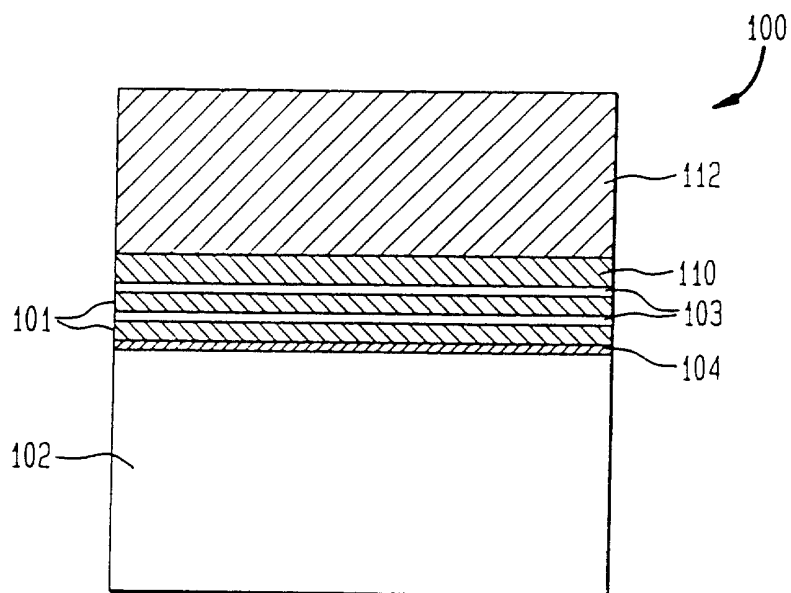
1/10



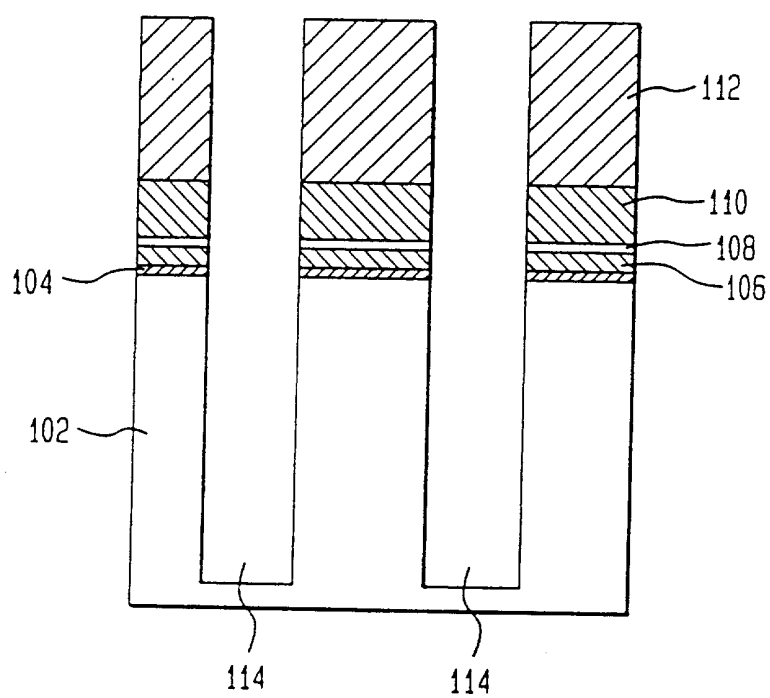
第 1 圖



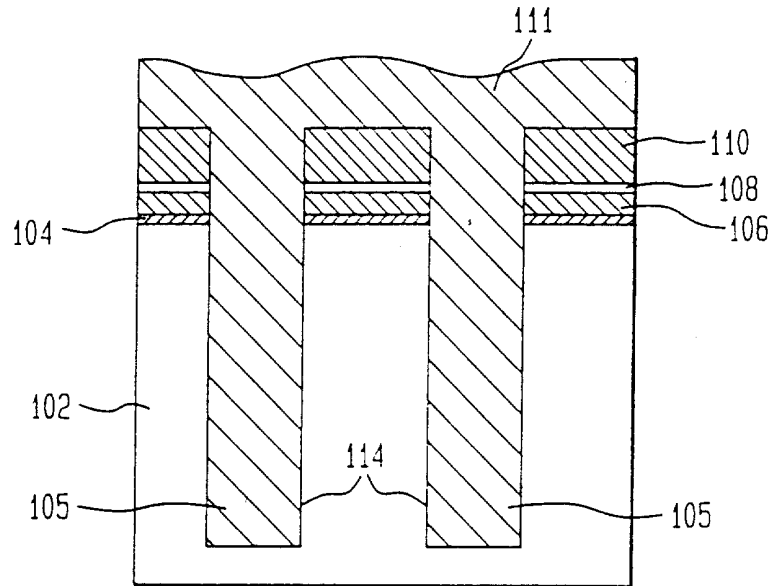
第 2 圖



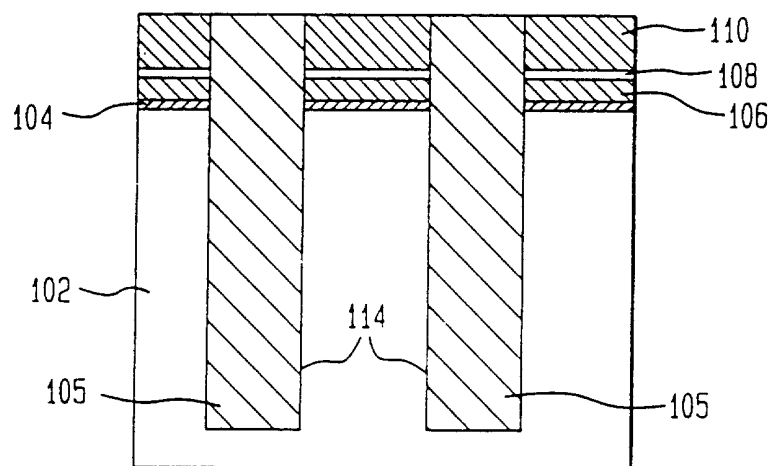
第 3 圖



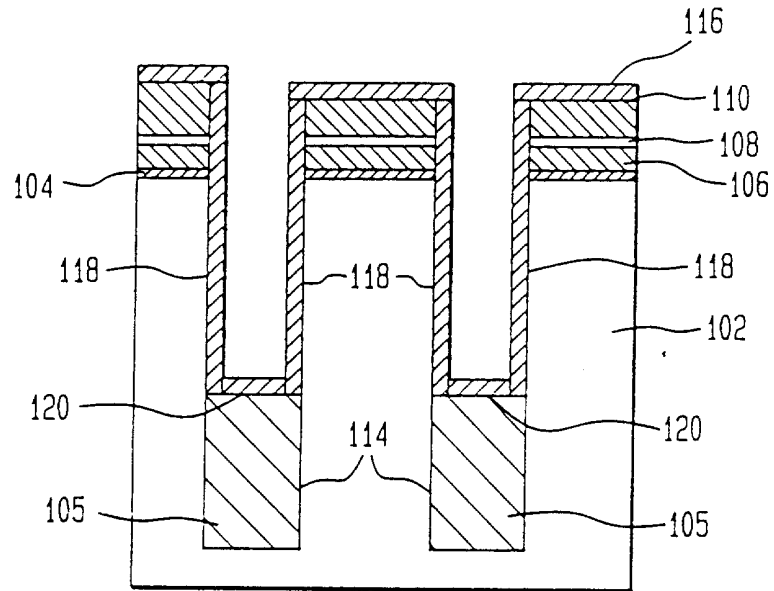
第 4 圖



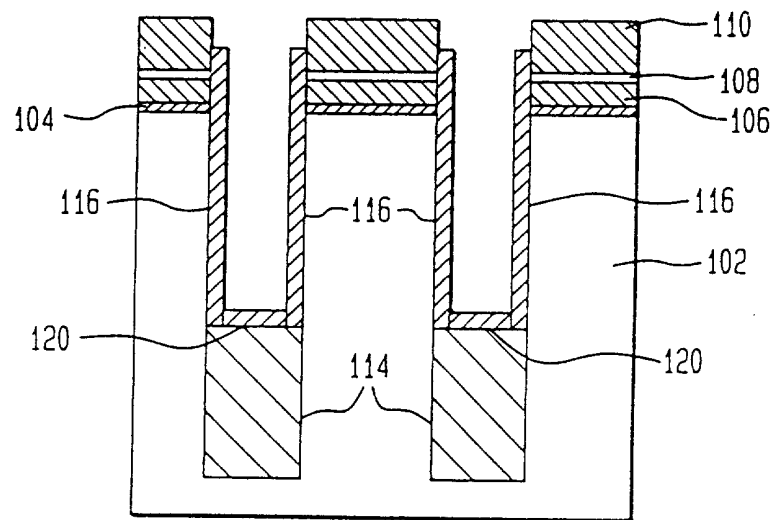
第 5 圖



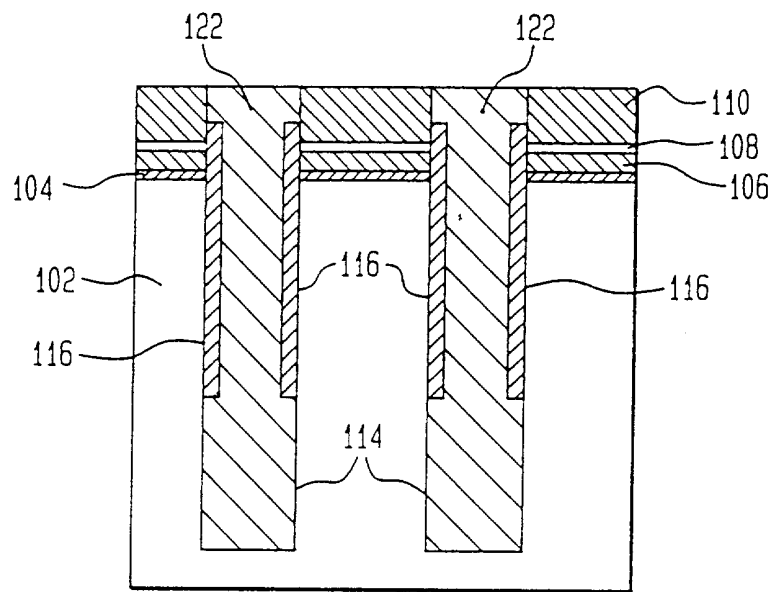
第 6 圖



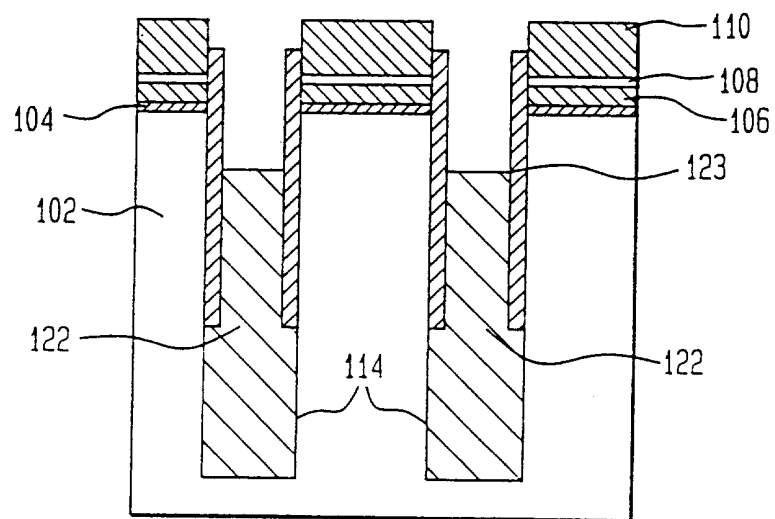
第 7 圖



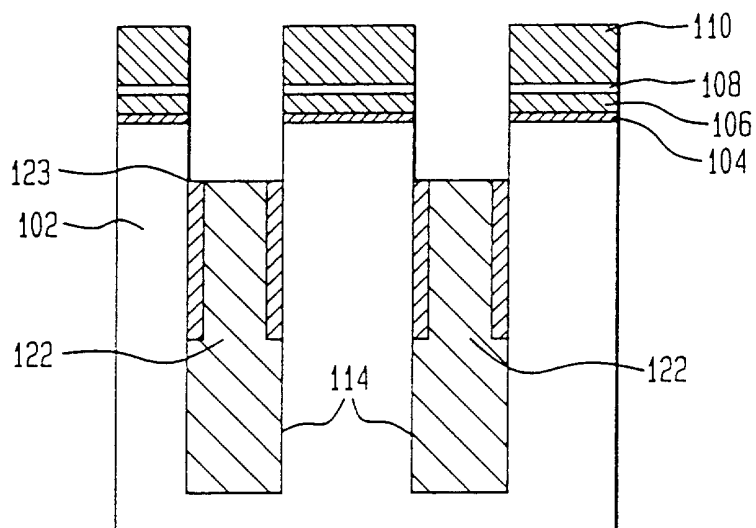
第 8 圖



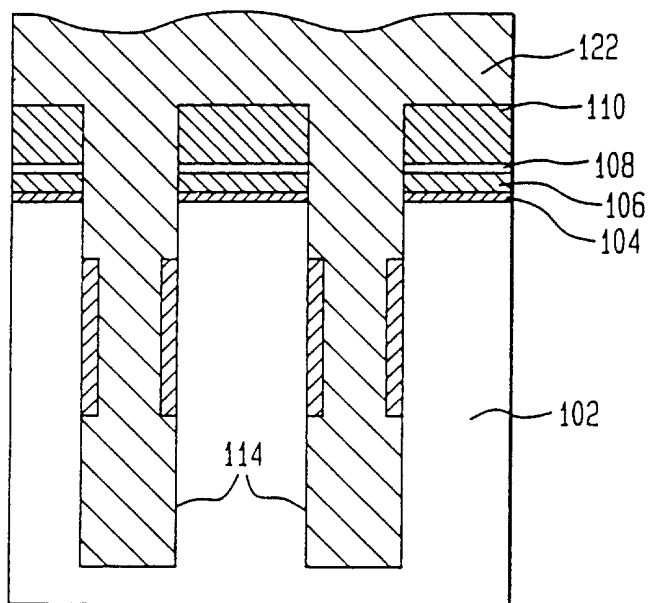
第 9 圖



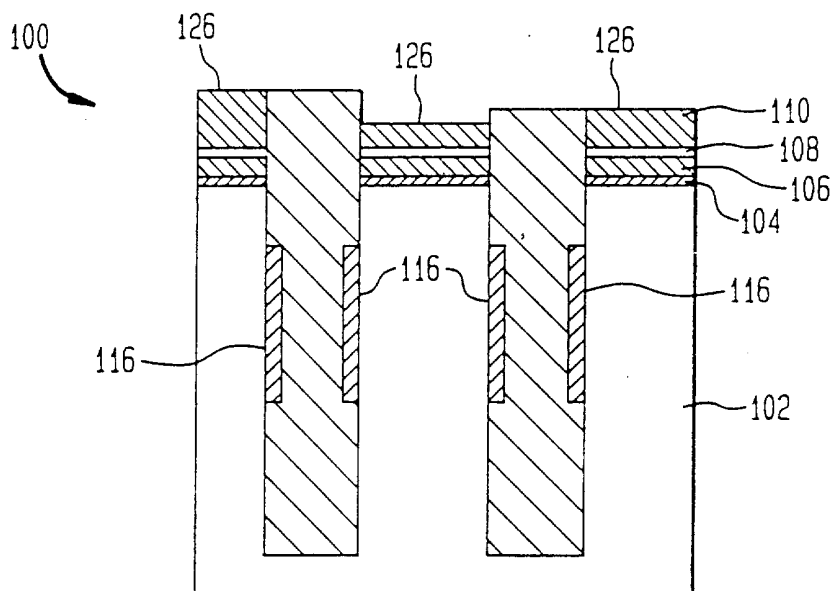
第 10 圖



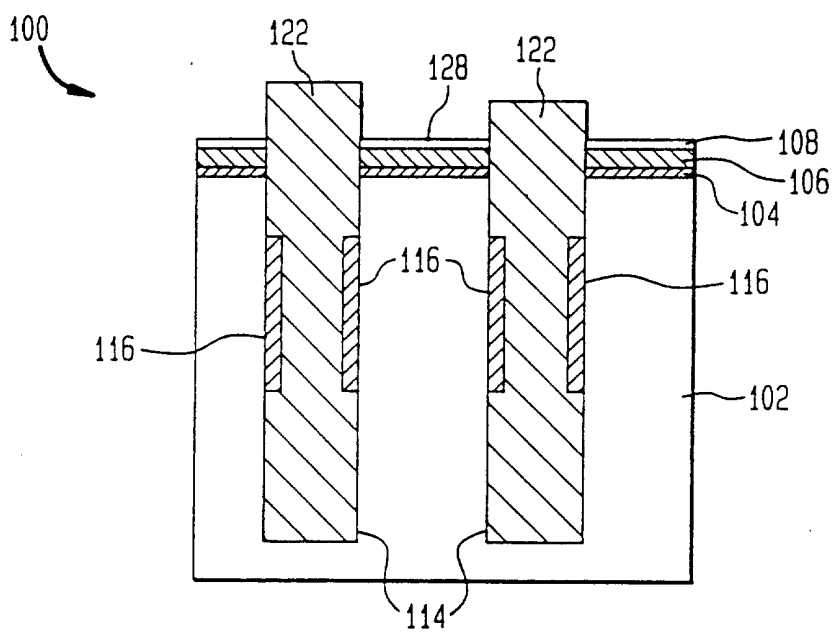
第11圖



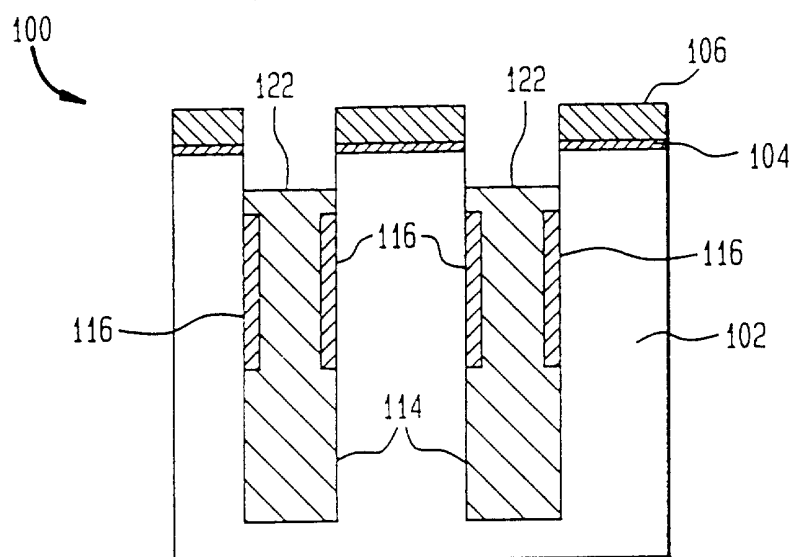
第12圖



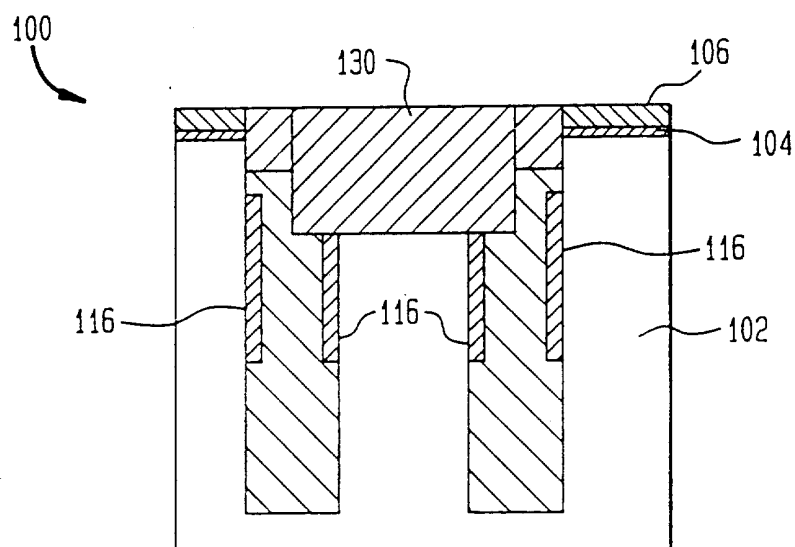
第13圖



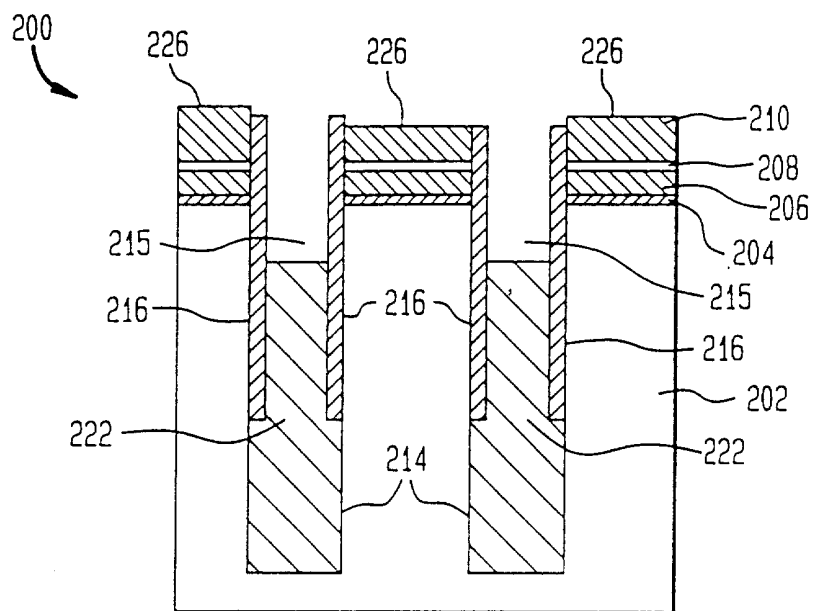
第14圖



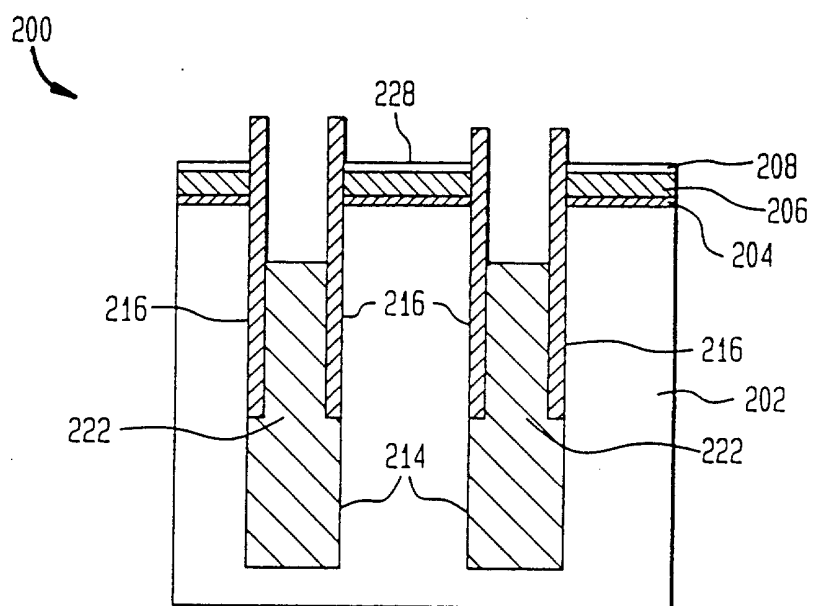
第15圖



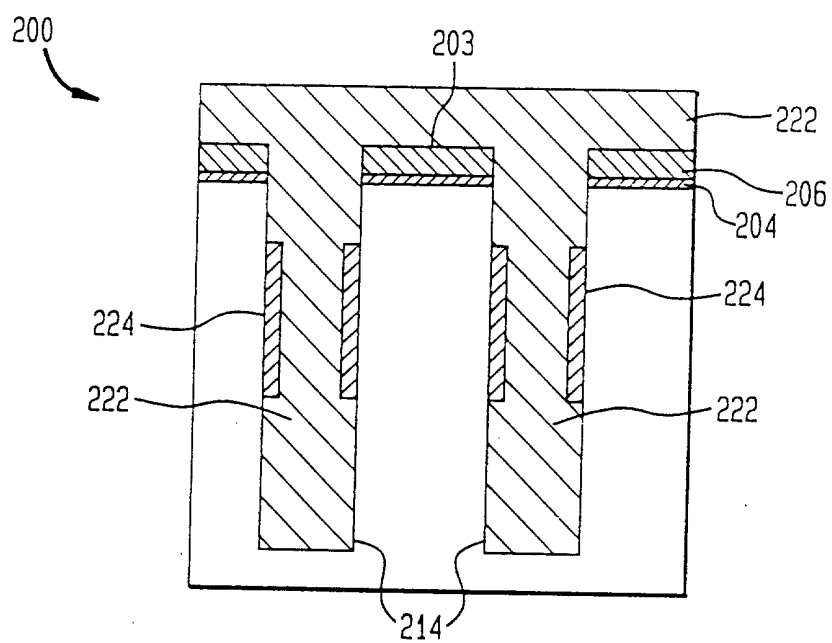
第16圖



第17圖



第18圖



第19圖