

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2020 年 5 月 22 日 (22.05.2020)



(10) 国际公布号
WO 2020/098581 A1

- (51) 国际专利分类号:
H01L 21/02 (2006.01) *H01L 29/92* (2006.01)
- (21) 国际申请号: PCT/CN2019/116996
- (22) 国际申请日: 2019 年 11 月 11 日 (11.11.2019)
- (25) 申请语言: 中文
- (26) 公布语言: 中文
- (30) 优先权:
201811364078.6 2018 年 11 月 16 日 (16.11.2018) CN
- (71) 申请人: 无锡华润上华科技有限公司 (CSMC TECHNOLOGIES FAB2 CO., LTD.) [CN/CN]; 中国江苏省无锡市新区新洲路 8 号, Jiangsu 214028 (CN)。
- (72) 发明人: 金宏峰 (JIN, Hongfeng); 中国江苏省无锡市新区新洲路 8 号, Jiangsu 214028 (CN)。
- (74) 代理人: 广州华进联合专利商标代理有限公司 (ADVANCE CHINA IP LAW OFFICE); 中国广东省广州市天河区珠江东路 6 号 4501 房 (部位: 自编 01-03 和 08-12 单元) (仅限办公用途), Guangdong 510623 (CN)。
- (81) 指定国 (除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX,

(54) Title: MIM CAPACITOR AND MANUFACTURING METHOD THEREFOR

(54) 发明名称: 一种 MIM 电容及其制作方法

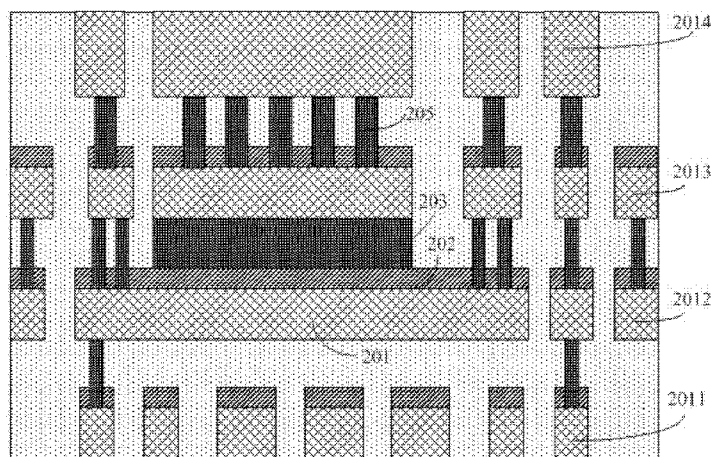


图2

(57) Abstract: An MIM capacitor and a manufacturing method therefor. The manufacturing method comprises: providing a semiconductor substrate, and forming a first metal layer on the semiconductor substrate; forming an anti-reflection layer on the first metal layer; performing photoetching and etching on the first metal layer and the anti-reflection layer so as to define an MIM capacitor region, wherein the first metal layer in the MIM capacitor region serves as a lower electrode plate of the MIM capacitor, and the anti-reflection layer in the MIM capacitor region serves as a dielectric layer of the MIM capacitor; and forming an upper electrode plate of the MIM capacitor on the anti-reflection layer in the MIM capacitor region.

(57) 摘要: 一种 MIM 电容及其制作方法, 所述制作方法包括: 提供半导体衬底, 在所述半导体衬底上形成第一金属层; 在所述第一金属层上形成抗反射层; 光刻并刻蚀所述第一金属层和所述抗反射层, 以定义 MIM 电容区域, 所述 MIM 电容区域中的所述第一金属层作为 MIM 电容的下极板, 所述 MIM 电容区域中的所述抗反射层作为 MIM 电容的介质层; 在所述 MIM 电容区域中的所述抗反射层上形成 MIM 电容的上极板。

MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL,
PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL,
SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG,
US, UZ, VC, VN, ZA, ZM, ZW。

(84) 指定国 (除另有指明，要求每一种可提供的地区
保护)：ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ,
NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM,
AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG,
CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU,
IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT,
RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI,
CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布：

— 包括国际检索报告 (条约第21条(3))。

发明名称：一种 MIM 电容及其制作方法

技术领域

本发明涉及半导体技术领域，具体而言涉及一种 MIM 电容及其制作方法。

背景技术

电容作为存储电荷、耦合以及滤波器件被广泛应用在半导体集成电路中。现有的集成电路电容中，金属-绝缘体-金属型(MIM, Metal-Isolation-Metal)电容逐渐成为射频集成电路中的主流，尤其在混频/射频 CMOS 制程上的应用已非常普遍。原因在于，其通常制作在金属互连层中，既与集成电路工艺相兼容，又与衬底间距离较远，可以克服许多其他类型的电容具有的寄生电容大、器件性能随频率增大而明显下降的缺点。

MIM 电容在集成电路中通常位于多层器件结构的上层，其结构更接近于典型意义的电容，即在金属电极板之间具有电介质的电容。如图 1 所示，半导体器件包括 MIM 电容区域和其他电路区域，其中，MIM 电容结构包括下极板 101、上极板 103 以及位于二者之间的介质层 102，该结构能实现电荷存储功能。其中，介质层 102 通常采用高介电常数的氮化硅(SiN)薄膜形成。另外，MIM 电容的下极板 101 和上极板 103 还分别通过在金属间介电层(IMD, Inter Metal Dielectric) 100 内形成的接触孔 105 连接至顶层金属层 104。

在半导体器件的后段制作过程中，为了连接各个部件构成集成电路，通常使用具有相对高导电率的金属材料（例如铜）进行布线，即金属布线。在示例性的方案中，金属布线工艺和 MIM 电容的制作是两个彼此独立的工艺步骤，需要通过专门用于制作 MIM 电容的光刻工艺来定义 MIM 电容区域，才能形成 MIM 电容。工艺步骤较多导致生产成本增加、制作周期延长。因此，有必要提出一种新的 MIM 电容制作方法，以解决上述至少一个问题。

发明内容

在发明内容部分中引入了一系列简化形式的概念，这将在具体实施方式部分中进一步详细说明。本发明的发明内容部分并不意味着要试图限定出所要求保护的技术方案的关键特征和必要技术特征，更不意味着试图确定所要求保护的技术方案的保护范围。

- 5 本发明提供一种 MIM 电容的制作方法，包括以下步骤：
提供半导体衬底，在所述半导体衬底上形成第一金属层；
在所述第一金属层上形成抗反射层；
光刻并刻蚀所述第一金属层和所述抗反射层，以定义 MIM 电容区域，所述 MIM 电容区域中的所述第一金属层作为 MIM 电容的下极板，所述 MIM
10 电容区域中的所述抗反射层作为 MIM 电容的介质层；
在所述 MIM 电容区域中的所述抗反射层上形成 MIM 电容的上极板。
本发明还提供一种 MIM 电容，包括：
半导体衬底；
第一金属层，形成于所述半导体衬底上；
15 抗反射层，形成于所述第一金属层上；以及
MIM 电容的上极板，形成于 MIM 电容区域中的所述抗反射层上；
其中，所述 MIM 电容区域中的所述第一金属层作为 MIM 电容的下极板，
所述 MIM 电容区域中的所述抗反射层作为 MIM 电容的介质层。根据本发明
提供的 MIM 电容的制作方法，在刻蚀后的刻开区域中保留下来的抗反射层同
20 时作为电容的介质层，继续在刻开区域中填充金属作为上极板，不再需要制
作额外的电容的介质层，也不再需要额外的光刻工艺来定义上极板区域，减
少了光刻和刻蚀的次数，从而降低了工艺成本，缩短了工艺周期。

附图说明

- 25 通过结合附图对本发明实施例进行更详细的描述，本发明的上述以及其它目的、特征和优势将变得更加明显。附图用来提供对本发明实施例的进一步理解，并且构成说明书的一部分，与本发明实施例一起用于解释本发明，并不构成对本发明的限制。在附图中，相同的参考标号通常代表相同部件或步骤。

- 30 附图中：

图 1 是一种示例性的 MIM 电容的剖面图。

图 2 是根据本发明示例性实施例的方法所获得的 MIM 电容的示意性剖面图。

图 3 是根据本发明示例性实施例的一种 MIM 电容的制作方法的示意性流程图。

具体实施方式

在下文的描述中，给出了大量具体的细节以便提供对本发明更为彻底的理解。然而，对于本领域技术人员而言显而易见的是，本发明可以无需一个或多个这些细节而得以实施。在其他的例子中，为了避免与本发明发生混淆，对于本领域公知的一些技术特征未进行描述。

应当理解的是，本发明能够以不同形式实施，而不应当解释为局限于这里提出的实施例。相反地，提供这些实施例将使公开彻底和完全，并且将本发明的范围完全地传递给本领域技术人员。在附图中，为了清楚，层和区的尺寸以及相对尺寸可能被夸大。自始至终相同附图标记表示相同的元件。

应当明白，当元件或层被称为“在...上”、“与...相邻”、“连接到”或“耦合到”其它元件或层时，其可以直接地在其它元件或层上、与之相邻、连接或耦合到其它元件或层，或者可以存在居间的元件或层。相反，当元件被称为“直接在...上”、“与...直接相邻”、“直接连接到”或“直接耦合到”其它元件或层时，则不存在居间的元件或层。应当明白，尽管可使用术语第一、第二、第三等描述各种元件、部件、区、层和/或部分，这些元件、部件、区、层和/或部分不应当被这些术语限制。这些术语仅仅用来区分一个元件、部件、区、层或部分与另一个元件、部件、区、层或部分。因此，在不脱离本发明教导之下，下面讨论的第一元件、部件、区、层或部分可表示为第二元件、部件、区、层或部分。

空间关系术语例如“在...下”、“在...下面”、“下面的”、“在...之下”、“在...之上”、“上面的”等，在这里可为了方便描述而被使用从而描述图中所示的一个元件或特征与其它元件或特征的关系。应当明白，除了图中所示的取向以外，空间关系术语意图还包括使用和操作中的器件的不同取向。例如，如果附图中的器件翻转，然后，描述为“在其它元件下面”或“在其之下”或“在其下”

元件或特征将取向为在其它元件或特征“上”。因此，示例性术语“在...下面”和“在...下”可包括上和下两个取向。器件可以另外地取向(旋转 90 度或其它取向)并且在此使用的空间描述语相应地被解释。

在此使用的术语的目的仅在于描述具体实施例并且不作为本发明的限制。在此使用时，单数形式的“一”、“一个”和“所述/该”也意图包括复数形式，除非上下文清楚指出另外的方式。还应明白术语“组成”和/或“包括”，当在该说明书中使用，确定所述特征、整数、步骤、操作、元件和/或部件的存在，但不排除一个或更多其它的特征、整数、步骤、操作、元件、部件和/或组的存在或添加。在此使用时，术语“和/或”包括相关所列项目的任何及所有组合。

为了彻底理解本发明，将在下列的描述中提出详细的步骤以及详细的结构，以便阐释本发明提出的技术方案。本发明的较佳实施例详细描述如下，然而除了这些详细描述外，本发明还可以具有其他实施方式。

参照图 2 和图 3，其中图 2 是根据本发明示例性实施例的方法所获得的 MIM 电容的示意性剖面图；图 3 是根据本发明示例性实施例的一种 MIM 电容的制作方法的示意性流程图。

本发明提供一种 MIM 电容的制作方法，如图 3 所示，该制作方法的主要步骤包括：

步骤 S301：提供半导体衬底，在所述半导体衬底上形成第一金属层；

步骤 S302：在所述第一金属层上形成抗反射层；

步骤 S303：光刻并刻蚀所述第一金属层和所述抗反射层，以定义 MIM 电容区域，所述 MIM 电容区域中的所述第一金属层作为 MIM 电容的下极板，所述 MIM 电容区域中的所述抗反射层作为 MIM 电容的介质层；

步骤 S304：在所述 MIM 电容区域中的所述抗反射层上形成 MIM 电容的上极板。

下面，对本发明的半导体器件的制作方法的具体实施方式做详细的说明。

首先，执行步骤 S301，如图 2 所示，提供半导体衬底，在所述半导体衬底上形成金属层。

示例性地，所述半导体衬底可以是以下所提到的材料中的至少一种：单

晶硅、绝缘体上硅 (SOI)、绝缘体上层叠硅 (SSOI)、绝缘体上层叠锗化硅 (S-SiGeOI)、绝缘体上锗化硅 (SiGeOI) 以及绝缘体上锗 (GeOI) 等。在半导体衬底中还形成有隔离结构 (图 2 未示出), 所述隔离结构为浅沟槽隔离 (STI) 结构或者局部氧化硅 (LOCOS) 隔离结构, 隔离结构将基底分为不同的有源区, 有源区中可以形成各种半导体器件, 例如 NMOS 和 PMOS 等。

示例性地, 金属布线包括在半导体衬底上形成多个金属层及互连结构。随着技术的进步, 半导体器件金属布线过程中形成的金属层数逐渐增加。在本实施例中, 仅介绍其中四层金属层及互连结构的形成, 包括由下至上依次形成的底层金属层 2011、第一金属层 2012、第二金属层 2013 和顶层金属层 2014。

首先, 参照图 2, 按照常规金属布线的过程形成底层金属层 2011, 其中底层金属层 2011 的形成方法可以为化学气相沉积 (CVD) 法、物理气相沉积 (PVD) 法或原子层沉积 (ALD) 法等形成的低压化学气相沉积 (LPCVD)、激光烧蚀沉积 (LAD) 以及选择外延生长 (SEG) 中的一种, 在本发明中优选为物理气相沉积 (PVD) 法, 所述底层金属层 2011 的材料包括但不限于铜 (Cu) 或铝 (Al)。

接下来, 在底层金属层 2011 上形成底层抗反射层, 其中底层抗反射层的淀积方法可以选用化学气相沉积 (CVD) 法、物理气相沉积 (PVD) 法或原子层沉积 (ALD) 法等形成的低压化学气相沉积 (LPCVD)、激光烧蚀沉积 (LAD) 以及选择外延生长 (SEG) 中的一种。本发明中优选化学气相沉积 (CVD) 法, 所述底层抗反射层的材料包括但不限于氮氧化硅 (SION)。

接下来, 采用光刻工艺在底层抗反射层上形成具有定义底层金属层 2011 电路图形的光刻胶层 (图 2 未示出)。该具有底层金属层 2011 电路图形的光刻胶层可以是通过旋涂工艺形成的光刻胶, 然后经曝光、显影、清洗等工艺形成的。然后, 以该光刻胶层为掩膜, 刻蚀底层金属层 2011 和底层抗反射层, 从而形成底层金属层 2011 电路图形。可以采用干法刻蚀所述底层金属层 2011 和底层抗反射层, 干法刻蚀包括但不限于: 反应离子刻蚀 (RIE)、离子束刻蚀和等离子体刻蚀。

接下来, 沉积底层金属间介电层, 所述底层金属间介电层填充底层金属层 2011 之间的空隙并覆盖所述底层金属层 2011 和底层抗反射层。底层金属

间介电层的淀积方法可以选用化学气相沉积(CVD)法、物理气相沉积(PVD)法或原子层沉积(ALD)法等。本发明中优选化学气相沉积(CVD)法,所述底层金属间介电层的材料包括但不限于二氧化硅(SiO_2)。

接下来,对所述底层金属间介电层执行化学机械抛光以实现平整化,并在部分底层金属层 2011 上方的底层金属间介电层和底层抗反射层中刻蚀形成底层接触孔开口,在底层接触孔开口中填充金属以形成底层接触孔(CT),以实现金属布线的多个金属层之间的互连。

在本实施例中,如图 2 所示,在底层金属间介电层上方形成第一金属层 2012,所述第一金属层 2012 形成方法与材料与所述底层金属层 2011 的形成方法与材料相同,在此不再赘述。

接下来,执行步骤 S302,在所述第一金属层上形成第一抗反射层。

在本实施例中,在所述第一金属层 2012 上形成第一抗反射层,所述第一抗反射层的形成方法与材料与上述底层抗反射层的形成方法与材料相同,在此不再赘述。

接下来,执行步骤 S303,如图 2 所示,光刻并刻蚀所述第一金属层 2012 和所述第一抗反射层,以定义 MIM 电容区域,以所述 MIM 电容区域中的所述第一金属层作为 MIM 电容的下极板 201,以所述 MIM 电容区域中的所述第一抗反射层作为 MIM 电容的介质层 202。

示例性地,形成覆盖所述第一抗反射层的光刻胶层(图 2 未示出),然后采用光刻工艺图案化所述光刻胶层,以定义 MIM 电容区域。以所述图案化后的光刻胶层为掩模,刻蚀所述第一金属层 2012 和所述第一抗反射层,刻蚀后,MIM 电容区域中的第一金属层作为 MIM 电容的下极板 201,MIM 电容区域中的第一抗反射层作为 MIM 电容的介质层 202。在其他实施例中,形成覆盖所述第一抗反射层的光刻胶层(图 2 未示出),然后采用光刻工艺图案化所述光刻胶层,同时形成定义 MIM 电容区域和其他电路区域的图案。以所述图案化的光刻胶层为掩模,刻蚀所述第一金属层 2012 和所述第一抗反射层,MIM 电容区域中的第一金属层作为 MIM 电容的下极板 201,MIM 电容区域中的第一抗反射层作为 MIM 电容的介质层 202。在金属布线过程中,同时定义

MIM 电容区域和其他电路区域，从而将彼此独立的金属布线工艺和 MIM 电容的制作结合在同一步骤中完成。作为一个实例，所述 MIM 电容的下极板 201 的厚度为 2000 埃至 5000 埃，所述 MIM 电容的介质层 202 的厚度为 200 埃至 500 埃。

5

接下来，执行步骤 S304，在所述 MIM 电容区域中的所述第一抗反射层上形成 MIM 电容的上极板 203，其步骤包括：在第一抗反射层上形成第一金属间介电层，光刻并刻蚀第一金属间介电层，在所述第一金属间介电层中形成上极板开口，所述上极板开口暴露部分所述第一抗反射层，即上极板开口暴露 MIM 电容的部分介质层 202；在所述上极板开口中填充金属以形成所述 MIM 电容的上极板 203。其中，在所述 MIM 电容区域中，在所述第一金属间介电层中形成上极板开口的同时，还进行光刻和刻蚀，形成依次贯穿所述第一金属间介电层和所述第一抗反射层的至少一个第一接触孔开口（CT），所述第一接触孔开口暴露部分所述第一金属层，即第一接触孔开口暴露 MIM 电容的部分下极板 201，第一接触孔实现金属布线的多个金属层之间的互连。第一接触孔开口位于上极板开口的周围。在其他实施例中，在同时具有 MIM 电容区域和其他电路区域的半导体器件的制作过程中，形成 MIM 电容的上极板开口和至少一个第一接触孔开口的同时，还在其他电路区域进行光刻并刻蚀，形成至少一个其他电路区域的接触孔开口，从而将彼此独立的金属布线工艺和 MIM 电容的制作结合在同一步骤中完成。

进一步，所述 MIM 电容的上极板 203 和所述第一接触孔的填充材料包括但不限于钨，形成所述 MIM 电容的上极板 203 和所述第一接触孔的方法可以选用化学气相沉积（CVD）法、物理气相沉积（PVD）法或原子层沉积（ALD）法等。作为一个实例，所述上极板的面积为 $10E2 \text{ um}^2$ 至 $10E6 \text{ um}^2$ ，所述 MIM 电容的上极板的厚度为 5000 埃至 8000 埃。在其他实施例中，同时填充 MIM 电容的上极板开口、第一接触孔开口及其他电路区域的接触孔开口，同时形成 MIM 电容的上极板、第一接触孔及其他电路区域的接触孔，可进一步缩短工艺周期。

通过上述方法，采用钨填充形成接触孔的同时进行钨填充形成 MIM 电容的上极板，不再需要额外的光刻工艺来定义上极板区域，从而减少了光刻工

30

艺的次数，降低了工艺成本，缩短了工艺周期。

接下来，在所述 MIM 电容区域中的所述第一抗反射层上形成 MIM 电容的上极板 203 的步骤之后，还包括：形成第二金属层 2013 并光刻及刻蚀，以图形化所述第二金属层 2013。

在本实施例中，光刻及刻蚀前的第二金属层 2013 所述 MIM 电容的上极板 203、所述第一接触孔以及所述第一金属间介电层，所述第二金属层 2013 的形成方法与材料和所述底层金属层 2011 的形成方法与材料相同，在此不再赘述。

接下来，在形成第二金属层并光刻及刻蚀，以图形化所述第二金属层的步骤之后，还包括：形成第二金属间介电层，并在所述第二金属层间介电层中形成至少一个第二接触孔。示例性地，如图 2 所示，第二接触孔 205 与第二金属层 2013 电连接，第二接触孔 205 位于 MIM 电容区域中的第二金属层 2013 上方。在其他实施例中，在第二金属层 2013 与第二金属间介电层之间还形成有第二抗反射层。

接下来，在第二金属间介电层上形成顶层金属层 2014 并光刻及刻蚀，以图形化所述顶层金属层 2014。具体地，所述顶层金属层 2014 的形成方法与材料和所述底层金属层 2011 的形成方法与材料相同，在此不再赘述。

如图 2 所示，所述 MIM 电容的上极板 203 和所述 MIM 电容的下极板 201 分别引出至顶层金属层 2014。具体地，MIM 电容的上极板 203 依次通过 MIM 电容区域中的第二金属层 2013、MIM 电容区域中的第二接触孔 205 引出至第一顶层金属层。MIM 电容的下极板 201 依次通过第一接触孔、MIM 电容区域中的第二金属层 2013 和 MIM 电容区域中的第二接触孔引出至第二顶层金属层。

根据本发明提供的 MIM 电容的制作方法，在金属布线过程中，同时定义 MIM 电容区域和其他电路区域，从而将彼此独立的金属布线工艺和 MIM 电容的制作结合在同一过程中完成；在刻蚀后的刻开区域中保留下来的抗反射层同时作为电容的介质层，继续在刻开区域中填充金属作为上极板，不再需

要制作额外的电容的介质层,也不再需要额外的光刻工艺来定义上极板区域,减少了光刻和刻蚀的次数,从而降低了工艺成本,缩短了工艺周期。

参照图 2,本发明还提供了一种 MIM 电容,其包括:

- 5 半导体衬底,所述半导体衬底上形成有第一金属层;
所述第一金属层上形成有抗反射层;
所述半导体衬底包括 MIM 电容区域和其他电路区域,所述 MIM 电容区域中的所述第一金属层作为 MIM 电容的下极板,所述 MIM 电容区域中的所述抗反射层作为 MIM 电容的介质层;
10 所述 MIM 电容区域中的所述抗反射层上形成有 MIM 电容的上极板。

示例性地,所述半导体衬底可以是以下所提到的材料中的至少一种:单晶硅、绝缘体上硅(SOI)、绝缘体上层叠硅(SSOI)、绝缘体上层叠锗化硅(S-SiGeOI)、绝缘体上锗化硅(SiGeOI)以及绝缘体上锗(GeOI)等。在
15 半导体衬底中还形成有隔离结构(图 2 未示出),所述隔离结构为浅沟槽隔离(STI)结构或者局部氧化硅(LOCOS)隔离结构,隔离结构将基底分为不同的有源区,有源区中可以形成各种半导体器件,例如 NMOS 和 PMOS 等。

示例性地,金属布线包括在半导体衬底上形成多个金属层及互连结构。随着技术的进步,半导体器件金属布线过程中形成的金属层数逐渐增加。在
20 本实施例中,仅介绍其中四层金属层及互连结构的形成,包括由下至上依次形成的底层金属层 2011、第一金属层 2012、第二金属层 2013 和顶层金属层 2014。进一步,上述金属层的材料包括但不限于铜(Cu)或铝(Al)。

在本实施例中,半导体衬底包括 MIM 电容区域和其他电路区域,其中,位于 MIM 电容区域中的第一金属层 2012 作为 MIM 电容的下极板 201。作为
25 一个实例,所述 MIM 电容的下极板 201 的厚度为 2000 埃至 5000 埃。

示例性地,在底层金属层 2011、第一金属层 2012、第二金属层 2013 上分别形成有底层抗反射层、第一抗反射层和第二抗反射层。进一步,上述抗反射层的材料包括氮氧化硅(SiON)。

30 在本实施例中,所述第一金属层 2012 上方形成有第一抗反射层, MIM

电容区域中的第一抗反射层作为 MIM 电容的介质层 202。作为一个实例，所述 MIM 电容的介质层的厚度为 200 埃至 500 埃。

示例性地，在底层金属层 2011 与第一金属层 2012 间由底层接触孔电连接、第一金属层 2012 与第二金属层 2013 之间由第一接触孔电连接，第二金属层 2013 与顶层金属 2014 之间由第二接触孔电连接，最终实现多个金属层之间的互连。进一步，上述接触孔的材料包括钨。

示例性地，所述 MIM 电容的介质层 202 的上方形形成有 MIM 电容的上极板 203。进一步，所述 MIM 电容的上极板 203 的材料包括钨。作为一个实例，所述上极板的面积为 $10E2\text{ }\mu\text{m}^2$ 至 $10E6\text{ }\mu\text{m}^2$ ，所述 MIM 电容的上极板的厚度为 5000 埃至 8000 埃。

示例性地，所述 MIM 电容的上极板 203 上形成有第二金属层 2013。进一步，MIM 电容的下极板 201 的面积等于 MIM 电容的介质层 202 的面积，MIM 电容的上极板 203 的面积小于或等于 MIM 电容的介质层 202 的面积。

示例性地，在第二金属层 2013 的上方还形成有顶层金属层 2014。

进一步，所述 MIM 电容的上极板 203 和所述 MIM 电容的下极板 201 分别引出至顶层金属层 2014。具体地，MIM 电容的上极板 203 通过第二金属层 2013、第二接触孔 205 引出至第一顶层金属层。MIM 电容的下极板 201 通过第一接触孔、第二金属层 2013 和第二接触孔引出至第二顶层金属层。所述第一顶层金属层和所述第二顶层金属层由第三金属间介电层隔开。

本发明已经通过上述实施例进行了说明，但应当理解的是，上述实施例只是用于举例和说明的目的，而非意在将本发明限制于所描述的实施例范围内。此外本领域技术人员可以理解的是，本发明并不局限于上述实施例，根据本发明的教导还可以做出更多种的变型和修改，这些变型和修改均落在本发明所要求保护的范围内。本发明的保护范围由附属的权利要求书及其等效范围所界定。

权利要求书

1、一种 MIM 电容的制作方法，包括以下步骤：

提供半导体衬底，在所述半导体衬底上形成第一金属层；

在所述第一金属层上形成抗反射层；

光刻并刻蚀所述第一金属层和所述抗反射层，以定义 MIM 电容区域，所述 MIM 电容区域中的所述第一金属层作为 MIM 电容的下极板，所述 MIM 电容区域中的所述抗反射层作为 MIM 电容的介质层；及

在所述 MIM 电容区域中的所述抗反射层上形成 MIM 电容的上极板。

2、如权利要求 1 所述的制作方法，其中，所述在所述 MIM 电容区域中的所述抗反射层上形成所述 MIM 电容的上极板的步骤包括：

形成第一金属间介电层并光刻及刻蚀，在所述第一金属间介电层中形成上极板开口，所述上极板开口暴露部分所述抗反射层；

在所述上极板开口中填充金属以形成所述 MIM 电容的上极板。

3、如权利要求 2 所述的制作方法，其中，所述在所述第一金属间介电层中形成上极板开口，所述上极板开口暴露部分所述抗反射层的步骤还包括：

在所述上极板开口的区域外、所述 MIM 电容区域中光刻并刻蚀所述第一金属间介电层和所述抗反射层，形成依次贯穿所述第一金属间介电层和所述抗反射层的至少一个第一接触孔开口，所述第一接触孔开口暴露部分所述第一金属层；

所述在所述上极板开口中填充金属以形成所述 MIM 电容的上极板的步骤还包括：

在所述第一接触孔开口中填充金属以形成第一接触孔。

4、如权利要求 3 所述的制作方法，其中，所述在所述 MIM 电容区域中的所述抗反射层上形成 MIM 电容的上极板的步骤之后，还包括：

形成第二金属层并光刻及刻蚀，以图形化所述第二金属层。

5、如权利要求 4 所述的制作方法，其中，所述在形成第二金属层并光刻及刻蚀，以图形化所述第二金属层的步骤之后，还包括：

形成第二金属间介电层，并在所述第二金属层间介电层中形成至少一个第二接触孔；

在第二金属间介电层上形成顶层金属层并光刻及刻蚀，以图形化所述顶层金属层。

6、如权利要求 5 所述的制作方法，其中，所述 MIM 电容的上极板和所述 MIM 电容的下极板分别引出至顶层金属层。

5 7、如权利要求 6 所述的制作方法，其中，所述 MIM 电容的上极板依次通过所述 MIM 电容区域中的第二金属层、MIM 电容区域中的第二接触孔引出至所述顶层金属层；

所述 MIM 电容的下极板依次通过所述第一接触孔、所述 MIM 电容区域中的第二金属层和所述 MIM 电容区域中的第二接触孔引出至所述顶层金属层。
10

8、如权利要求 3 所述的制作方法，其中，所述形成第一金属间介电层并光刻及刻蚀，在所述第一金属间介电层中形成上极板开口的步骤，以及在所述上极板开口的区域外、所述 MIM 电容区域中光刻并刻蚀所述第一金属间介电层和所述抗反射层，形成依次贯穿所述第一金属间介电层和所述抗反射层的至少一个第一接触孔开口的步骤的同时，还在 MIM 电容所在半导体器件的其他电路区域进行光刻并刻蚀，形成至少一个其他电路区域的接触孔开口。
15

9、如权利要求 3 所述的制作方法，其中，所述上极板的尺寸大于所述第一接触孔的尺寸。

10、如权利要求 1 所述的制作方法，其中，所述 MIM 电容的介质层材料包括氮氧化硅。
20

11、如权利要求 1 所述的制作方法，其中，所述 MIM 电容的介质层的厚度为 200 埃至 500 埃。

12、一种 MIM 电容，包括：

半导体衬底；

25 第一金属层，形成于所述半导体衬底上；

抗反射层，形成于所述第一金属层上；以及

MIM 电容的上极板，形成于 MIM 电容区域中的所述抗反射层上；

其中，所述 MIM 电容区域中的所述第一金属层作为 MIM 电容的下极板，所述 MIM 电容区域中的所述抗反射层作为 MIM 电容的介质层。

30 13、如权利要求 12 所述的 MIM 电容，其中，所述上极板的面积为 $10E2$

μm^2 至 $10\text{E}6 \mu\text{m}^2$ 。

14、如权利要求 12 所述的 MIM 电容，其中，所述 MIM 电容的上极板的厚度为 5000 埃至 8000 埃，所述 MIM 电容的下极板的厚度为 2000 埃至 5000 埃，所述 MIM 电容的介质层的厚度为 200 埃至 500 埃。

5 15、如权利要求 12 所述的 MIM 电容，其中，所述 MIM 电容的介质层材料包括氮氧化硅。

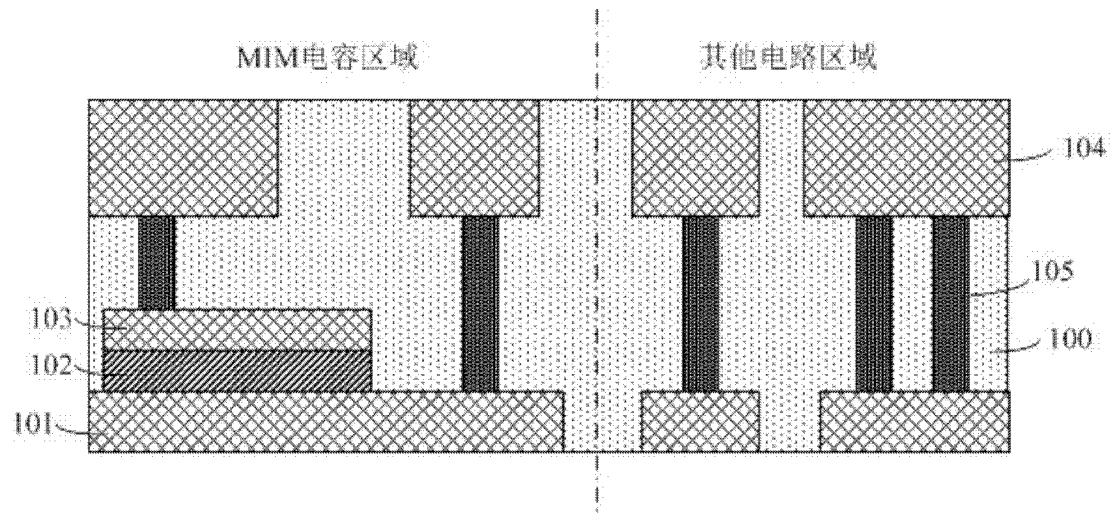


图1

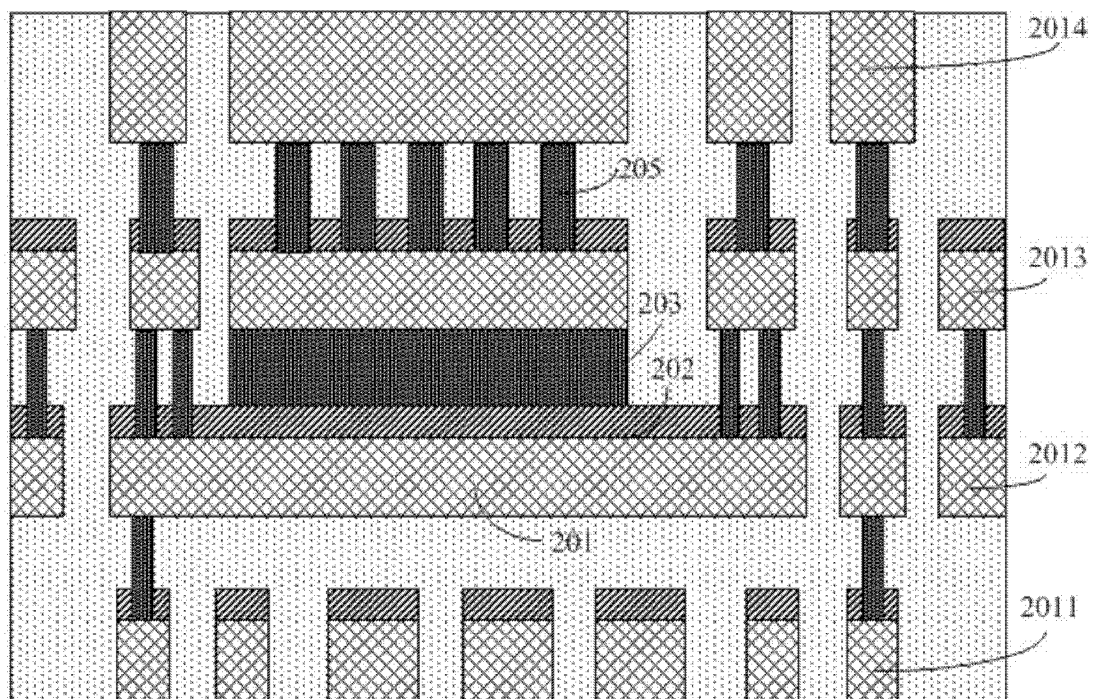


图2

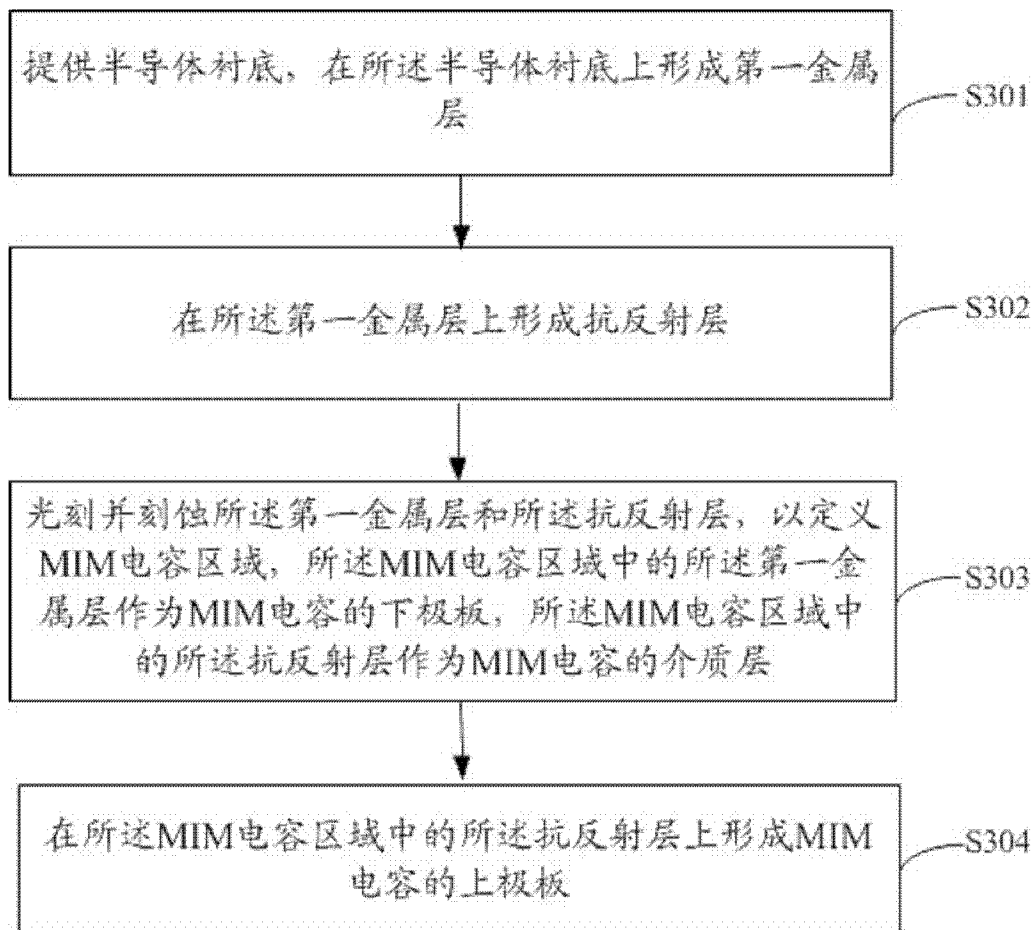


图3

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2019/116996

A. CLASSIFICATION OF SUBJECT MATTER

H01L 21/02(2006.01)i; H01L 29/92(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNPAT, EPODOC, WPI, CNKI: 电容, 金属, 介质, 介电, 绝缘, 电极, 极板, 反射, 抗, 减, 氮氧化硅, 孔, 开口, 刻蚀, 蚀刻, MIM, metal, isolation, electrode?, anti+, reflex, ARC, nitrogen, silicon, hole?, via, etch+, opening

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	CN 101789429 A (SEMICONDUCTOR MANUFACTURING INTERNATIONAL (SHANGHAI) CORPORATION) 28 July 2010 (2010-07-28) description, paragraphs [0036]-[0078], and figures 1-11	1-15
A	CN 106876371 A (SHANGHAI HUAHONG GRACE SEMICONDUCTOR MANUFACTURING CORPORATION) 20 June 2017 (2017-06-20) entire document	1-15
A	CN 1402325 A (SILICON INTEGRATED SYSTEMS CORP.) 12 March 2003 (2003-03-12) entire document	1-15
A	CN 102339869 A (MAGNACHIP SEMICONDUCTOR CORPORATION) 01 February 2012 (2012-02-01) entire document	1-15
A	US 2017330931 A1 (TAIWAN SEMICONDUCTOR MANUFACTURING CO., LTD.) 16 November 2017 (2017-11-16) entire document	1-15
A	US 2017207298 A1 (TAIWAN SEMICONDUCTOR MANUFACTURING CO., LTD.) 20 July 2017 (2017-07-20) entire document	1-15



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search

17 January 2020

Date of mailing of the international search report

23 January 2020

Name and mailing address of the ISA/CN

China National Intellectual Property Administration (ISA/
CN)
No. 6, Xitucheng Road, Jimenqiao Haidian District, Beijing
100088
China

Facsimile No. (86-10)62019451

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/CN2019/116996

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)
CN	101789429	A	28 July 2010	CN	101789429	B	07 December 2011
CN	106876371	A	20 June 2017	None			
CN	1402325	A	12 March 2003	CN	1237598	C	18 January 2006
CN	102339869	A	01 February 2012	CN	102339869	B	06 January 2016
				KR	20120008402	A	30 January 2012
				TW	1529861	B	11 April 2016
				TW	201227879	A	01 July 2012
				KR	101261969	B1	08 May 2013
US	2017330931	A1	16 November 2017	US	9966427	B2	08 May 2018
				TW	201742285	A	01 December 2017
				CN	107369669	A	21 November 2017
US	2017207298	A1	20 July 2017	US	10050102	B2	14 August 2018
				CN	106981474	A	25 July 2017
				TW	201725738	A	16 July 2017

国际检索报告

国际申请号

PCT/CN2019/116996

A. 主题的分类

H01L 21/02 (2006.01) i; H01L 29/92 (2006.01) i

按照国际专利分类 (IPC) 或者同时按照国家分类和 IPC 两种分类

B. 检索领域

检索的最低限度文献 (标明分类系统和分类号)

H01L

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库 (数据库的名称, 和使用的检索词 (如使用))

CNPAT, EPDOC, WPI, CNKI: 电容, 金属, 介质, 介电, 绝缘, 电极, 极板, 反射, 抗, 减, 氮氧化硅, 孔, 开口, 刻蚀, 蚀刻, MIM, metal, isolation, electrode?, anti+, reflex, ARC, nitrogen, silicon, hole?, via, etch +, opening

C. 相关文件

类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求
X	CN 101789429 A (中芯国际集成电路制造上海有限公司) 2010年 7月 28日 (2010 - 07 - 28) 说明书第[0036]-[0078]段、附图1-11	1-15
A	CN 106876371 A (上海华虹宏力半导体制造有限公司) 2017年 6月 20日 (2017 - 06 - 20) 全文	1-15
A	CN 1402325 A (矽统科技股份有限公司) 2003年 3月 12日 (2003 - 03 - 12) 全文	1-15
A	CN 102339869 A (美格纳半导体有限公司) 2012年 2月 1日 (2012 - 02 - 01) 全文	1-15
A	US 2017330931 A1 (TAIWAN SEMICONDUCTOR MANUFACTURING CO., LTD.) 2017年 11月 16日 (2017 - 11 - 16) 全文	1-15
A	US 2017207298 A1 (TAIWAN SEMICONDUCTOR MANUFACTURING CO., LTD.) 2017年 7月 20日 (2017 - 07 - 20) 全文	1-15

☐ 其余文件在C栏的续页中列出。☒ 见同族专利附件。

* 引用文件的具体类型:

“A” 认为不特别相关的表示了现有技术一般状态的文件

“E” 在国际申请日的当天或之后公布的在先申请或专利

“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件 (如具体说明的)

“O” 涉及口头公开、使用、展览或其他方式公开的文件

“P” 公布日先于国际申请日但迟于所要求的优先权日的文件

“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件

“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性

“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性

“&” 同族专利的文件

国际检索实际完成的日期

2020年 1月 17日

国际检索报告邮寄日期

2020年 1月 23日

ISA/CN的名称和邮寄地址

中国国家知识产权局 (ISA/CN)

中国北京市海淀区蓟门桥西土城路6号 100088

传真号 (86-10)62019451

授权官员

王雪婷

电话号码 86-(10)-53961207

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2019/116996

检索报告引用的专利文件			公布日 (年/月/日)	同族专利	公布日 (年/月/日)
CN	101789429	A	2010年 7月 28日	CN 101789429 B	2011年 12月 7日
CN	106876371	A	2017年 6月 20日	无	
CN	1402325	A	2003年 3月 12日	CN 1237598 C	2006年 1月 18日
CN	102339869	A	2012年 2月 1日	CN 102339869 B	2016年 1月 6日
				KR 20120008402 A	2012年 1月 30日
				TW 1529861 B	2016年 4月 11日
				TW 201227879 A	2012年 7月 1日
				KR 101261969 B1	2013年 5月 8日
US	2017330931	A1	2017年 11月 16日	US 9966427 B2	2018年 5月 8日
				TW 201742285 A	2017年 12月 1日
				CN 107369669 A	2017年 11月 21日
US	2017207298	A1	2017年 7月 20日	US 10050102 B2	2018年 8月 14日
				CN 106981474 A	2017年 7月 25日
				TW 201725738 A	2017年 7月 16日