



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2009-0067728
(43) 공개일자 2009년06월25일

(51) Int. Cl.

H01L 29/786 (2006.01)

(21) 출원번호 10-2007-0135486

(22) 출원일자 2007년12월21일

심사청구일자 없음

(71) 출원인

주식회사 동진세미켄

인천 서구 가좌동 472-2

고려대학교 산학협력단

서울 성북구 안암동5가1 고려대학교 내

(72) 발명자

이호진

경기 화성시 양감면 요당리 625-3

김병욱

경기도 화성시 양감면 요당리 625-3

(뒷면에 계속)

(74) 대리인

원영호

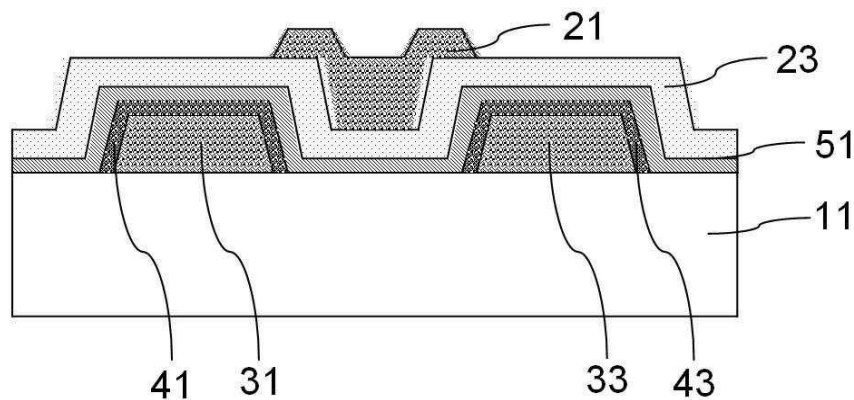
전체 청구항 수 : 총 9 항

(54) 유기 박막 트랜지스터 및 그 제조방법

(57) 요약

본 발명은 유기 박막 트랜지스터 및 그 제조방법에 관한 것으로, 특히 유기 반도체층과 소스/드레인 전극 사이에 전기화학적 코팅법으로 형성된 유기물 완충층이 형성되어 유기 반도체층과 소스/드레인 전극 사이의 계면 특성을 향상시키고, 소스/드레인 전극에서 유기 반도체층으로의 캐리어 주입능력을 높여 트랜지스터의 전기적 성능을 향상시킬 수 있는 유기 박막 트랜지스터 및 그 제조방법에 관한 것이다.

대표도 - 도2



(72) 발명자

김위용

경기 화성시 양감면 요당리 625-3

정대중

경기 화성시 양감면 요당리 625-3

이동혁

경기 화성시 양감면 요당리 625-3

강상욱

충남 연기군 조치원읍 서창리 239-2(2/17) 두진 한
라 아파트3-502

홍문표

경기 화성시 양감면 요당리 625-3

특허청구의 범위

청구항 1

소스 전극 및 드레인 전극;

상기 소스 전극 및 드레인 전극 각각에 전기적으로 연결된 유기 반도체층;

상기 소스 전극과 상기 유기 반도체층 사이 및 상기 드레인 전극과 상기 유기 반도체층 사이에 각각 개재된 유기물 완충층;

상기 소스 전극, 상기 드레인 전극 및 상기 유기 반도체층으로부터 절연된 게이트 전극; 및

상기 게이트 전극을 상기 소스 전극, 상기 드레인 전극 및 상기 유기 반도체층으로부터 절연시키는 게이트 절연막;을 구비하는 것을 특징으로 하는 유기 박막 트랜지스터.

청구항 2

제1항에 있어서,

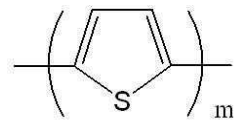
상기 유기물 완충층은 티오펜계 화합물 또는 아센-티오펜계 화합물로 형성된 것을 특징으로 하는 유기 박막 트랜지스터.

청구항 3

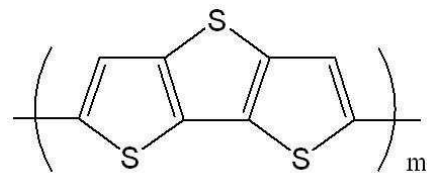
제2항에 있어서,

상기 티오펜계 화합물은 하기 화학식 1 내지 5로 표시되는 화합물 중 어느 하나인 것을 특징으로 하는 유기 박막 트랜지스터:

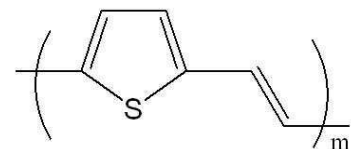
[화학식 1]



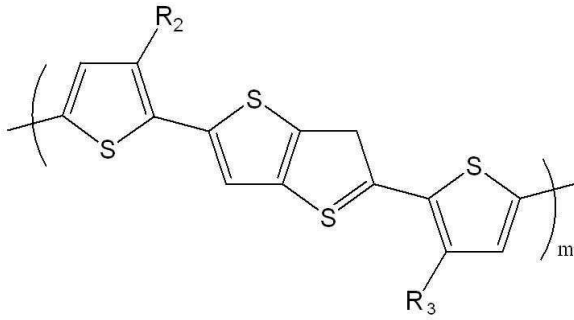
[화학식 2]



[화학식 3]



[화학식 4]

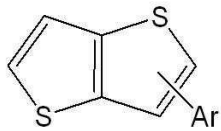


상기 화학식 1 내지 4에서,

R₂, R₃는 각각 독립적으로 하이드록실기, 알킬기, 싸이클로알킬기, 알콕시기, 싸이클로알콕시기 또는 티오알콕시기(thioalkoxy)이고,

m은 1 내지 6 사이의 정수이며,

[화학식 5]



상기 화학식 5에서,

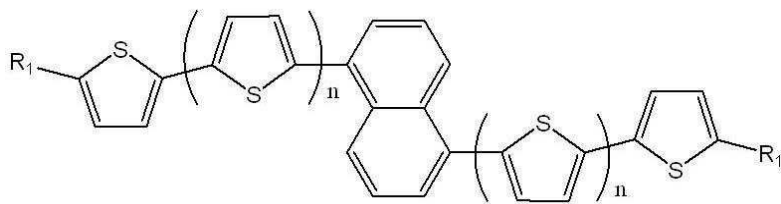
Ar은 C₄-C₁₈의 티에닐기이다.

청구항 4

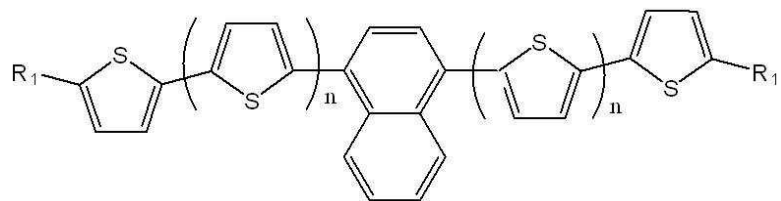
제2항에 있어서,

상기 아센-티오펜계 화합물은 하기 화학식 6 내지 14로 표시되는 화합물 중 어느 하나인 것을 특징으로 하는 유기 박막 트랜지스터:

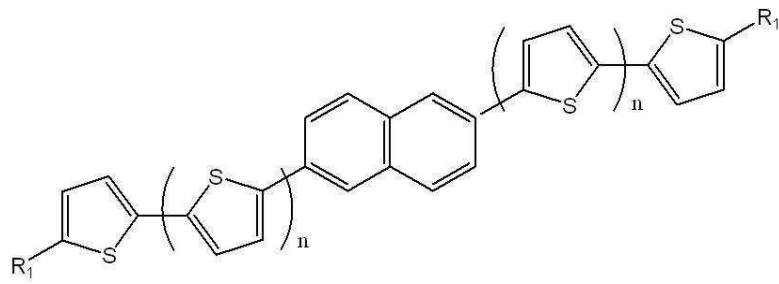
[화학식 6]



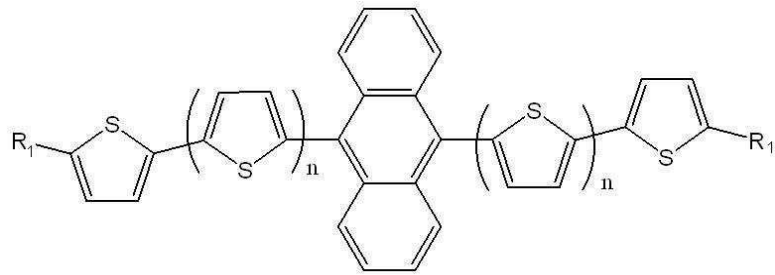
[화학식 7]



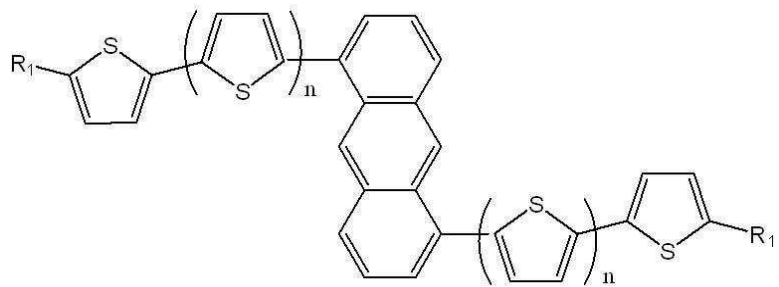
[화학식 8]



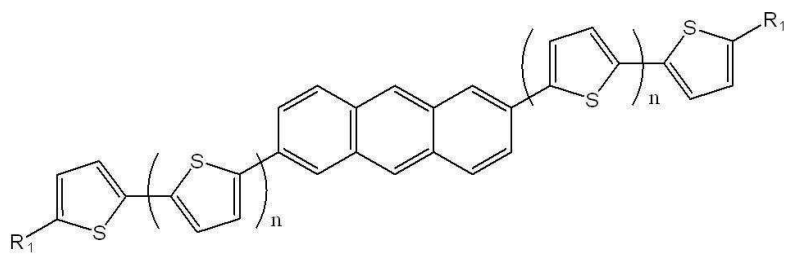
[화학식 9]



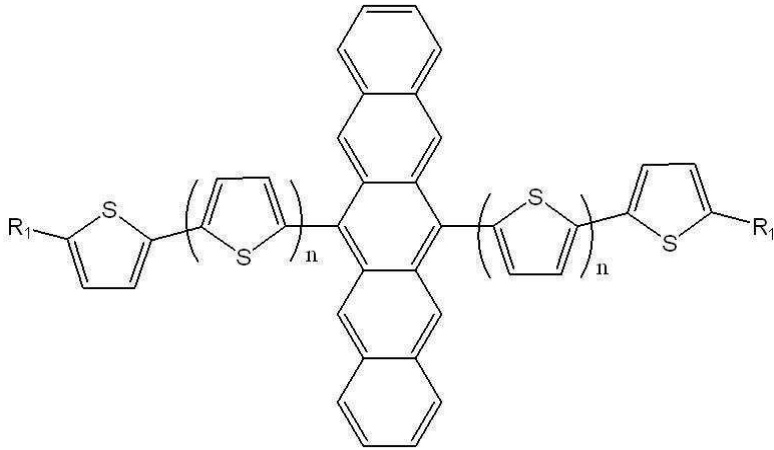
[화학식 10]



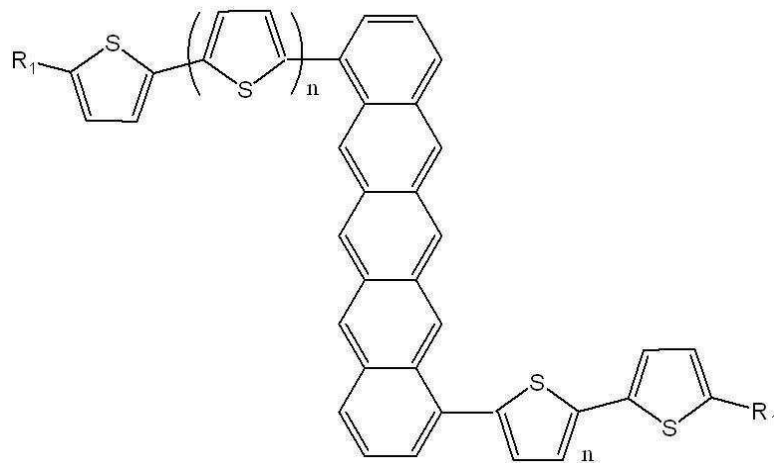
[화학식 11]



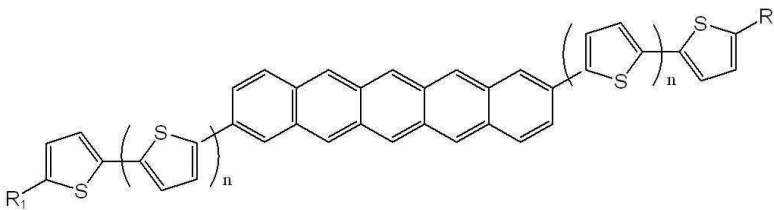
[화학식 12]



[화학식 13]



[화학식 14]



상기 화학식 6 내지 14에서,

R₁은 각각 독립적으로 하이드록실기, 알킬기, 싸이클로알킬기, 알콕시기, 싸이클로알콕시기 또는 티오알콕시기 (thioalkoxy)이고,

n은 각각 독립적으로 1 또는 2이다.

청구항 5

제1항에 있어서,

상기 유기물 완충층은 상기 소스/드레인 전극, 상기 소스 전극 또는 상기 드레인 전극 중 어느 하나에 전기화학적 코팅법에 의해 형성되는 것을 특징으로 하는 유기 박막 트랜지스터.

청구항 6

제1항에 있어서,

상기 소스/드레인 전극은 Al, Ag, Mo, Au, Pt, Pd, Ni, Ir, Cr, Ti, MoW, ITO, IZO, ZnO 및 In_2O_3 로 이루어진 군으로부터 선택된 어느 하나 이상의 성분으로 형성된 것을 특징으로 하는 유기 박막 트랜지스터.

청구항 7

제1항에 있어서,

상기 유기 반도체층은 펜타센, 테트라센, 안트라센, 나프탈렌, 알파-6-티오펜, 알파-4-티오펜, 페릴렌, 루브렌, 코로렌, 페릴렌테트라카르복실릭디이미드, 페릴렌테트라카르복실릭디안하이드라이드, 폴리티오펜, 폴리-3-헥실티오펜, 폴리파라페닐렌비닐렌, 폴리파라페닐렌, 폴리플로렌, 폴리티오펜비닐렌, 폴리티오펜-헤테로고리방향족 공중합체, 나프탈렌의 올리고아센, 알파-5-티오펜의 올리고티오펜, 프탈로시아닌, 파이로멜리틱 디안하이드라이드, 파이로멜리틱 디이미드, 페릴렌테트라카르복실산 디안하이드라이드, 페릴렌테트라카르복실산 디이미드 및 이들의 유도체로 이루어진 군으로부터 선택된 어느 하나 이상의 성분으로 형성된 것을 특징으로 하는 유기 박막 트랜지스터.

청구항 8

소스/드레인 전극과 유기 반도체층 사이에 유기물 완충층을 삽입시켜 제조되는 유기 박막 트랜지스터의 제조방법에 있어서,

상기 유기물 완충층은 소스/드레인 전극층 상부, 소스 전극층 상부 또는 드레인 전극층 상부에 전기화학적 코팅 방법을 이용하여 선택적으로 코팅되는 것을 특징으로 하는 유기 박막 트랜지스터의 제조방법.

청구항 9

제1항 내지 제7항 중 어느 한 항의 유기 박막 트랜지스터; 및

상기 유기 박막 트랜지스터에 전기적으로 연결된 유기 발광 소자;를 구비하는 것을 특징으로 하는 유기 발광 디스플레이 장치.

명 세 서

발명의 상세한 설명

기술 분야

- <1> 본 발명은 유기 박막 트랜지스터 및 그 제조방법에 관한 것으로, 보다 상세하게는 유기 반도체층과 소스/드레인 전극 사이의 계면 특성을 향상시키고, 소스/드레인 전극에서 유기 반도체층으로의 캐리어 주입능력을 높여 트랜지스터의 전기적 성능을 향상시킬 수 있는 유기 박막 트랜지스터 및 그 제조방법에 관한 것이다.

배경 기술

- <2> 유기물을 반도체 층으로 사용하는 유기 박막 트랜지스터에 관한 연구는 1980년 이후부터 시작되었으며, 최근에는 전 세계적으로 많은 연구가 진행 중에 있다.
- <3> 상기 유기박막 트랜지스터는 기존의 실리콘 박막 트랜지스터와 비교하여 제작 공정이 간단하고, 비용이 저렴하며 저온 공정이 가능하기에 최근 평판 디스플레이 장치에 있어 요구되는 대형화 및 박형화와 더불어 플렉서블한 특성을 만족시키기에는 장점을 가지고 있다.
- <4> 유기 박막 트랜지스터의 성능은 전계 이동도(field effect mobility), 점멸비(Ion/Ioff ratio), 문턱전압(threshold voltage), 부문턱전압 기울기(subthreshold slope) 등으로 평가하고 있으며, 실제 실리콘 박막 트랜지스터의 성능에 접근하고 있다.
- <5> 또한 상기 유기 박막 트랜지스터의 성능은 유기 반도체층의 결정도, 게이트 절연막과 유기 반도체층 계면의 전하 특성, 소스/드레인 전극과 유기 반도체층의 계면의 캐리어 주입능력 등에 좌우된다.
- <6> 그러나 현재 유기 박막 트랜지스터의 유기 반도체층과 소스/드레인 전극 사이의 에너지 장벽으로 인한 접촉저항의 증가로 캐리어 주입이 어려워 유기 박막 트랜지스터의 특성을 저하시킨다는 문제점이 있어 이를 개선하기 위

한 여러 가지 방법이 시도되고 있다.

발명의 내용

해결 하고자하는 과제

- <7> 상기와 같은 종래기술의 문제점을 해결하고자, 본 발명은 유기 박막 트랜지스터의 제작 시 유기 반도체층과 소스/드레인 전극 사이의 계면 특성 및 유기 반도체와 금속 전극사이의 에너지 장벽을 낮추어 접촉저항을 감소시킬 수 있는 유기물 완충층을 삽입함으로써 캐리어의 주입능력을 높여 트랜지스터의 소자 특성을 향상시킬 수 있는 유기 박막 트랜지스터 및 이를 구비한 유기 발광디스플레이 장치를 제공하는 것을 목적으로 한다.
- <8> 또한 본 발명은 유기 반도체층과 소스/드레인 전극 사이에 유기물 완충층 삽입 시 전기화학적 코팅방법을 이용하여 소스/드레인 전극층 상부에 동시 코팅하거나, 부분적으로 한쪽 전극인 소스 전극층 상부 또는 드레인 전극층 상부에 선택적으로 코팅할 수 있는 유기 박막 트랜지스터의 제조방법을 제공하는 것을 목적으로 한다.

과제 해결수단

- <9> 상기 목적을 달성하기 위하여, 본 발명은
- <10> 소스 전극 및 드레인 전극;
- <11> 상기 소스 전극 및 드레인 전극 각각에 전기적으로 연결된 유기 반도체층;
- <12> 상기 소스 전극과 상기 유기 반도체층 사이 및 상기 드레인 전극과 상기 유기 반도체층 사이에 각각 개재된 유기물 완충층;
- <13> 상기 소스 전극, 상기 드레인 전극 및 상기 유기 반도체층으로부터 절연된 게이트 전극; 및
- <14> 상기 게이트 전극을 상기 소스 전극, 상기 드레인 전극 및 상기 유기 반도체층으로부터 절연시키는 게이트 절연막;을 구비하는 것을 특징으로 하는 유기 박막 트랜지스터를 제공한다.
- <15> 또한 본 발명은 소스/드레인 전극과 유기 반도체층 사이에 유기물 완충층을 삽입시켜 제조되는 유기 박막 트랜지스터의 제조방법에 있어서,
- <16> 상기 유기물 완충층은 소스/드레인 전극층 상부, 소스 전극층 상부 또는 드레인 전극층 상부에 전기화학적 코팅방법을 이용하여 선택적으로 코팅되는 것을 특징으로 하는 유기 박막 트랜지스터의 제조방법을 제공한다.
- <17> 또한 본 발명은
- <18> 상기 유기 박막 트랜지스터; 및
- <19> 상기 유기 박막 트랜지스터에 전기적으로 연결된 유기 발광 소자를 구비하는 것을 특징으로 하는 유기 발광 디스플레이 장치를 제공한다.

효 과

- <20> 본 발명은 유기 박막 트랜지스터 제작 시 유기 반도체층과 소스/드레인 전극 사이의 계면 특성 및 캐리어의 주입능력을 높여 트랜지스터의 소자 특성을 향상시킬 수 있다. 또한 본 발명의 유기 박막 트랜지스터는 유기물 완충층 삽입시 전기화학적 코팅방법을 이용하여 소스/드레인 전극층, 소스 전극층, 드레인 전극층 상부에 선택적으로 코팅할 수 있다.

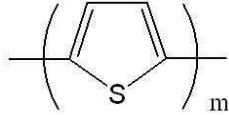
발명의 실시를 위한 구체적인 내용

- <21> 이하 본 발명을 상세하게 설명한다.
- <22> 본 발명의 유기 박막 트랜지스터는 소스 전극 및 드레인 전극; 상기 소스 전극 및 드레인 전극 각각에 전기적으로 연결된 유기 반도체층; 상기 소스 전극과 상기 유기 반도체층 사이 및 상기 드레인 전극과 상기 유기 반도체층 사이에 각각 개재된 유기물 완충층; 상기 소스 전극, 상기 드레인 전극 및 상기 유기 반도체층으로부터 절연된 게이트 전극; 및 상기 게이트 전극을 상기 소스 전극, 상기 드레인 전극 및 상기 유기 반도체층으로부터 절연시키는 게이트 절연막을 구비할 수 있다.

<23> 상기 유기물 완충층은 티오펜계 화합물 또는 아센-티오펜계 화합물로 형성될 수 있다.

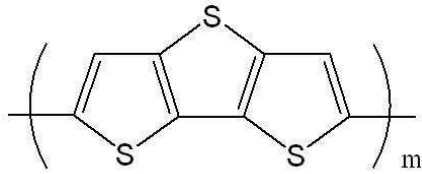
<24> 상기 티오펜계 화합물은 티오펜, 다이티에노티오(dithieno-thiophene), 프로페닐티오펜(prophenyl-thiophene), 티에노티오펜(thienothiophene) 또는 이들의 유도체 등을 사용할 수 있다. 구체적으로, 상기 티오펜계 화합물은 하기 화학식 1 내지 5로 표시되는 화합물을 사용할 수 있다.

<25> [화학식 1]



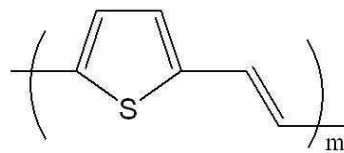
<26>

<27> [화학식 2]



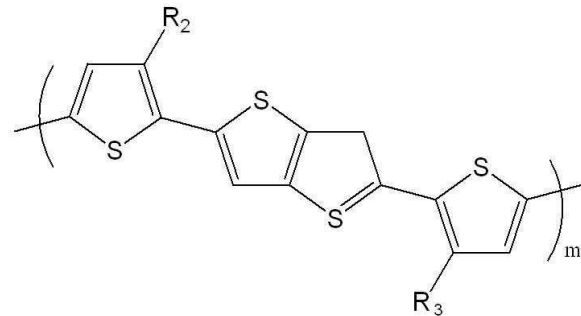
<28>

<29> [화학식 3]



<30>

<31> [화학식 4]



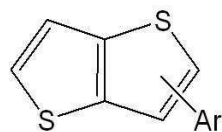
<32>

<33> 상기 화학식 1 내지 4에서,

<34> R₂, R₃는 각각 독립적으로 하이드록실기, 알킬기, 싸이클로알킬기, 알콕시기, 싸이클로알콕시기 또는 티오알콕시기(thioalkoxy)이고, 더욱 바람직하게는 하이드록실기, C₁-C₁₈의 알킬기, 알콕시기 또는 티오알콕시기이다.

<35> m은 1 내지 6 사이의 정수이다.

<36> [화학식 5]



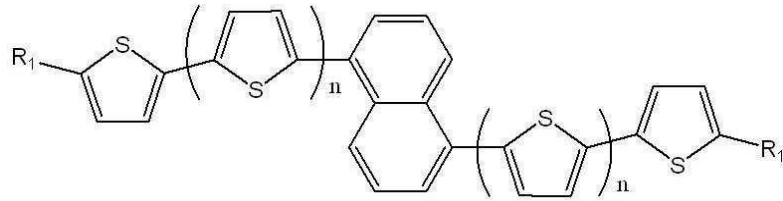
<37>

<38> 상기 화학식 5에서,

<39> Ar은 C₄-C₁₈의 티에닐기이다.

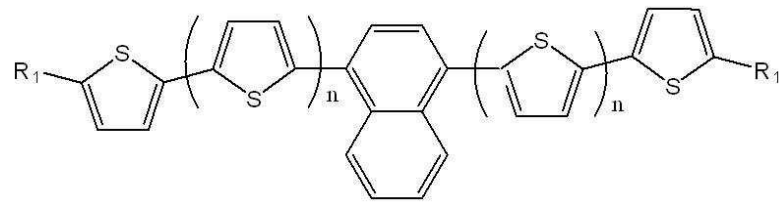
<40> 또한 상기 아센-티오펜계 화합물은 하기 화학식 6 내지 14로 표시되는 화합물을 사용할 수 있다.

<41> [화학식 6]



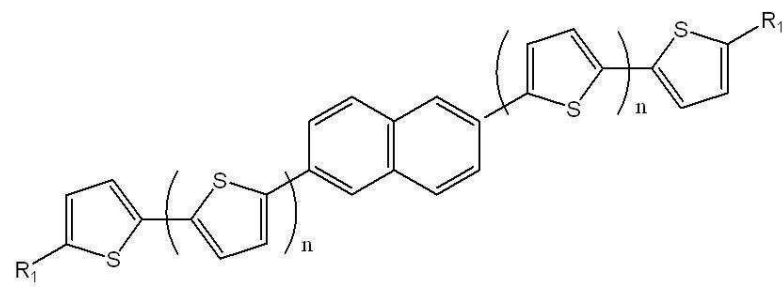
<42>

<43> [화학식 7]



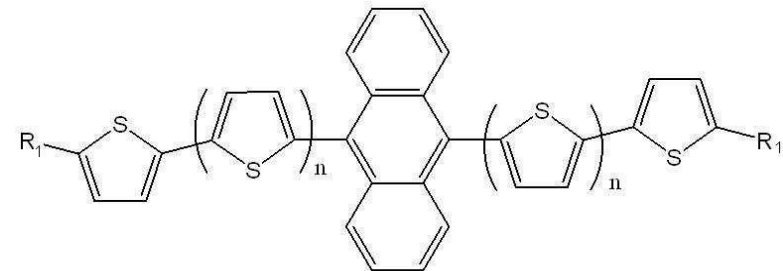
<44>

<45> [화학식 8]



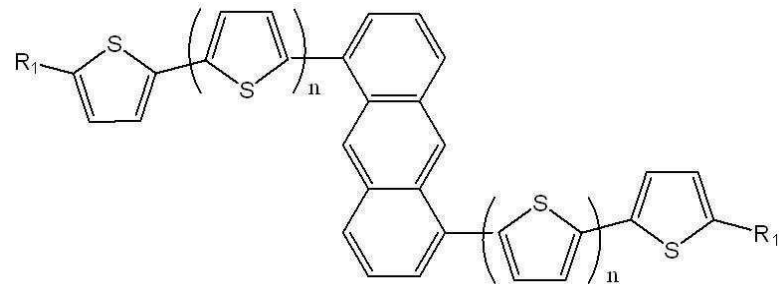
<46>

<47> [화학식 9]



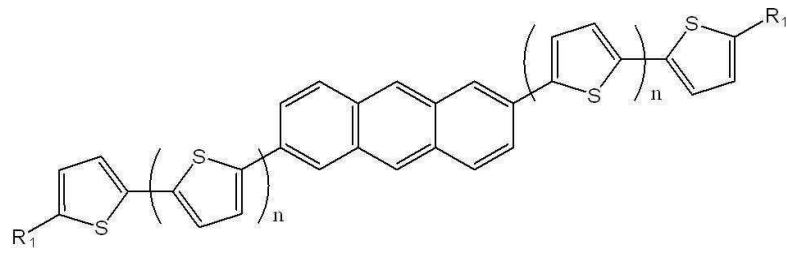
<48>

<49> [화학식 10]



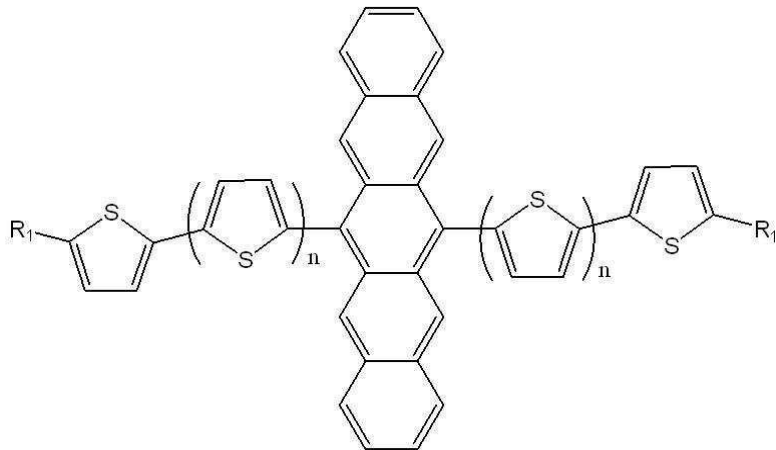
<50>

<51> [화학식 11]



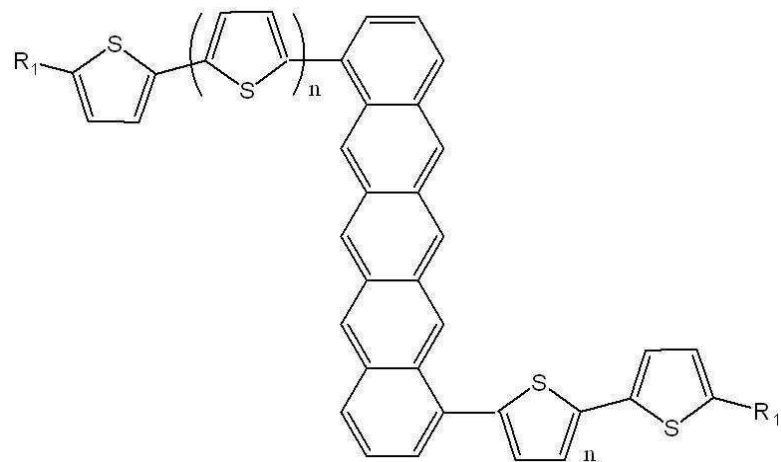
<52>

<53> [화학식 12]



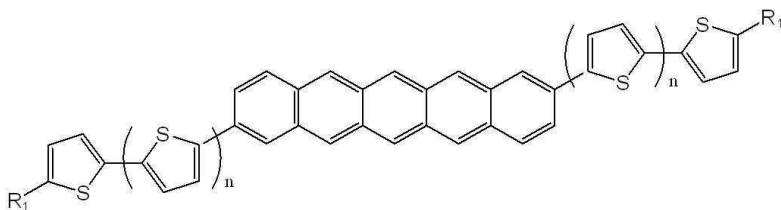
<54>

<55> [화학식 13]



<56>

<57> [화학식 14]



<58>

<59> 상기 화학식 6 내지 14에서,

<60> R₁은 각각 독립적으로 하이드록실기, 알킬기, 싸이클로알킬기, 알콕시기, 싸이클로알콕시기 또는 티오알콕시기 (thioalkoxy)이고, 더욱 바람직하게는 하이드록실기, C₁-C₁₈의 알킬기, 알콕시기 또는 티오알콕시기이며, n은 각

각 독립적으로 1 또는 2이다.

- <61> 상기 유기물 완충층은 기존의 스핀코팅, 디핑방법 등이 아닌 전기화학적 코팅방법에 의해 형성됨으로써 소스/드레인 전극 상부나, 소스 전극, 드레인 전극의 상부에 선택적으로 코팅되어 형성될 수 있다. 종래의 스핀코팅이나 디핑방법이 기판의 전면에 코팅되는 문제를 해결하고 완충층을 필요로 하는 부분에만 우수한 특성을 가지면서 코팅될 수 있도록 한다.
- <62> 상기 소스/드레인 전극은 금속전극으로 Al, Ag, Mo, Au, Pt, Pd, Ni, Ir, Cr, Ti, MoW, 이들의 합금 중에서 단일층 또는 다중층으로 형성될 수 있다. 또한 상기 소스/드레인 전극은 투명한 재료로도 형성할 수 있으며, 그 예로는 ITO, IZO, ZnO, In₂O₃ 등이 있다.
- <63> 상기 유기 반도체층은 펜타센, 테트라센, 안트라센, 나프탈렌, 알파-6-티오펜, 알파-4-티오펜, 페릴렌, 루브렌, 코로렌, 페릴렌테트라카르복실릭디이미드, 페릴렌테트라카르복실릭디안하이드라이드, 폴리티오펜, 폴리-3-헥실티오펜, 폴리파라페닐렌비닐렌, 폴리파라페닐렌, 폴리플로렌, 폴리티오펜비닐렌, 폴리티오펜-헥테로고리방향족 공중합체, 나프탈렌의 올리고아센, 알파-5-티오펜의 올리고티오펜, 프탈로시아닌, 파이로멜리틱디안하이드라이드, 파이로멜리틱 디이미드, 페릴렌테트라카르복실산 디안하이드라이드, 페릴렌테트라카르복실산 디이미드, 이들의 유도체 등으로 형성될 수 있다.
- <64> 이하 첨부된 도면들을 참조하여 본 발명의 바람직한 실시예를 상세히 설명하면 다음과 같다.
- <65> 도 1은 본 발명의 바람직한 일실시예에 따른 전기화학적 코팅방법에 의해 유기물 완충층을 형성하는 방법을 개략적으로 도시하는 단면도이다.
- <66> 도 1을 참조하면, 소스/드레인 전극(31, 33, 35, 37)이 형성된 기판(2)을 Ref.전극(1)과 하판전극(3)이 형성되어 있고, 전해질과 용매가 혼합된 혼합용액에 담근다. 상기 전해질로는 TBAB(tetrabutylammonium tetrafluoroborate)가 사용될 수 있으며, 용매로는 MC(methylene chloride)가 사용될 수 있다.
- <67> 여기에 Epsilon CV(cyclic voltametry) 장비를 이용하여 Ref.전극(1)에 일정 전압을 인가한 상태에서 샘플 기판(2)의 소스/드레인 전극(31, 33, 35, 37)과 하판전극(3) 사이에 전압의 세기를 조절하면서 인가하면 샘플 기판(2)의 소스/드레인 전극(31, 33, 35, 37) 상부에 유기물 완충층(41, 43, 45, 47)이 형성되게 된다. 이때, 유기물 완충층(41, 43, 45, 47)은 샘플기판(2)의 소스/드레인 전극(31, 33, 35, 37)을 동시에 연결하고 하판전극(3) 사이에 전압을 가하면 소스/드레인 전극 상부층에 동시에 형성될수 있고, 샘플 기판(2)의 소스 전극만을 연결하고 하판전극(3)사이에 전압을 인가하면 소스 전극(31, 35) 상부에만 형성될 수 있으며, 샘플 기판(2)의 드레인 전극을 연결하여 하판전극(3)사이에 전압 인가시 드레인 전극층(33, 37)의 상부에만도 형성될 수 있다.
- <68> 상기와 같이 형성된 유기물 완충층(41, 43, 45, 47)은 게이트 절연막을 제외하고 소스/드레인 전극(31, 33, 35, 37) 상부에만 형성시킬 수 있으므로 바람직하다.
- <69> 도 2는 본 발명의 바람직한 일 실시예에 따른 유기 박막 트랜지스터를 개략적으로 도시하는 단면도이다.
- <70> 도 2를 참조하면, 기판(11) 상에 소스 전극(31) 및 드레인 전극(33)과, 이 소스 전극(31) 및 드레인 전극(33) 각각에 전기적으로 연결된 유기 반도체층(51)이 구비된다.
- <71> 소스 전극(31) 및 드레인 전극(33)은 기판(11) 상에 상기 언급한 바와 같은 도전성 재료로 형성될 수 있으며, 기판(11) 상에 전면에 증착 등을 통해 형성하고 이를 포토리소그래피법 등을 이용하여 패터닝하거나, 마스크를 이용하여 기판의 소정 영역에만 증착할 수도 있다. 특히, 상기 소스 전극(31) 및 드레인 전극(33)은 웨도우 마스크를 이용하여 열증착하여 형성시키는 것이 좋다.
- <72> 소스 전극(31) 및 드레인 전극(33) 각각에 전기적으로 연결된 유기 반도체층(51)은 소스 전극(31) 및 드레인 전극(33)에 직접 접촉하고 있는 것이 아니라, 소스 전극(31)과 유기 반도체층(51) 사이 및 드레인 전극(33)과 유기 반도체층(51) 사이에 각각 삽입된 유기물 완충층(41, 43)을 통해 소스 전극(31) 및 드레인 전극(33)에 유기적으로 연결된다. 따라서 도 2에 도시된 스테거드형(staggered) 유기 박막 트랜지스터의 경우, 소스 전극(31) 및 드레인 전극(33)을 기판(11) 상에 형성한 후, 소스 전극(31) 및 드레인 전극(33)의 상부에 도 1에 도시한 방법과 같이 유기물 완충층(41, 43)을 형성하고, 140 °C의 오븐에서 2 시간 동안 건조시킨 후, 여기에 유기 반도체층(51)을 형성한다.
- <73> 상기 유기 반도체층(51)은 웨도우 마스크를 이용하여 1×10^{-7} torr의 진공에서 기판온도를 80 °C로 하고 0.2

Å/sec의 속도로 열증착하여 형성할 수 있다.

- <74> 유기 반도체층(51) 상에는 게이트 절연막(23)이 구비된다. 게이트 절연막(23)은 그 상부에 구비되는 게이트 전극(21)을 소스 전극(31), 드레인 전극(33) 및 유기 반도체층(51)으로부터 절연시키는 것으로, 실리콘 옥사이드, 실리콘나이트라이드, 알루미늄 옥사이드 등의 금속산화물과 같은 무기물을 이용하여 형성될 수도 있고, 폴리비닐페놀, 폴리비닐알코올, 폴리메틸메타아크릴레이트, 폴리스타이렌, 이들의 유사체인 유기물 게이트 절연층 등과 같은 유기물로도 형성될 수 있다.
- <75> 상기 게이트 절연막(23) 상에는 Al 등과 같은 도전성 물질로 형성된 게이트 전극(21)이 구비된다. 게이트 전극(21)은 게이트 절연막(23) 상부에 섀도우 마스크를 이용하여 열증착하여 형성할 수 있다.
- <76> 도 2에 도시된 실시예에 따른 유기 박막 트랜지스터는 스테거드형 유기 박막 트랜지스터이나, 본 발명이 이에 한정되지 않음은 물론이다.
- <77> 즉, 도 3은 본 발명의 바람직한 다른 실시예에 따른 유기 박막 트랜지스터를 개략적으로 도시하는 단면도로, 도 3에 도시된 바와 같이 소스 전극(35) 및 드레인 전극(37)이 게이트 전극(25)의 상부에 배치되고, 유기 반도체층(53)은 상기 소스 전극(35) 및 드레인 전극(37)의 상부에 배치되며, 상기 소스 전극(35) 및 드레인 전극(37)과 상기 게이트 전극(25) 사이에는 게이트 절연막(37)이 더 구비되는 인버티드 코플래너형(inverted coplanar type) 유기 박막 트랜지스터에도 적용될 수 있다. 이 경우에도, 유기물 완충층(45, 47)은 상기 소스 전극(35) 및 드레인 전극(37)과 유기 반도체층(53) 사이에 구비된다.
- <78> 상기와 같은 본 발명의 유기 박막 트랜지스터는 유기물 완충층이 삽입되어 유기 반도체층과 소스/드레인 전극 사이의 계면 특성 및 캐리어의 주입능력을 높여 트랜지스터의 소자 특성을 향상시킬 수 있다.
- <79> 또한 본 발명은 상기 유기 박막 트랜지스터 및 상기 유기 박막 트랜지스터에 전기적으로 연결된 유기 발광 소자를 구비하는 유기 발광 디스플레이 장치를 제공한다.
- <80> 상기 유기 발광 디스플레이 장치는 능동 구동형(AM: active matrix) 등의 다양한 형태의 것이 적용될 수 있다.
- <81> 본 발명의 유기 발광 디스플레이 장치는 전술한 실시예들에 따른 유기 박막 트랜지스터들이 구비되도록 함으로써 입력된 영상신호를 정확하게 이미지 구현하는 발광 디스플레이 장치를 제조할 수 있게 된다.
- <82> 이하, 본 발명의 이해를 돕기 위하여 바람직한 실시예를 제시하나, 하기 실시예는 본 발명을 예시하는 것일 뿐 본 발명의 범위가 하기 실시예에 한정되는 것은 아니다.
- <83> [실시예]
- <84> 실시예 1
- <85> 도 2에 도시된 바와 같이 기판(11) 상에 소스/드레인 전극(31, 33)을 섀도우 마스크를 이용하여 열증착하여 형성시켰다. 이때 전극물질은 Au를 사용하였다.
- <86> 그리고 상기 소스/드레인 전극(31, 33)이 형성된 샘플 기판(2)을 도 1과 같이 Ref.전극(1)과 하판전극(3)이 형성되어 있고 전해질인 TBAB(tetrabutylammonium tetrafluoroborate)와 용매인 MC(Methylene Chloride) 혼합용액에 담근 후, Epsilon CV(cyclic voltametry) 장비를 이용하여 Ref.전극(1)에 일정 전압을 인가한 상태에서 샘플 기판(2)의 소스/드레인 전극(31, 33)과 하판전극(3) 사이에 전압을 인가하여 샘플 기판(2)의 소스/드레인 전극(31, 33) 상부에만 유기물 완충층(41, 43)을 형성시켰다. 이렇게 형성된 유기물 완충층(41, 43)은 140 °C의 오븐에서 2 시간 동안 건조시켰다.
- <87> 그 다음, 상기 형성된 유기물 완충층(41, 43) 상부에 유기 반도체층(51)인 펜타센을 섀도우 마스크를 이용하여 1×10^{-7} torr의 진공에서 기판온도를 80 °C로 하고 0.2 Å/sec의 속도로 열증착하여 형성시켰다.
- <88> 상기 형성된 유기 반도체층(51) 상부에 실리콘 옥사이드를 사용하여 게이트 절연막(23)을 형성시키고, 상기 게이트 절연막(23) 상부에 섀도우 마스크를 이용하여 열증착으로 게이트 전극(21)을 형성시켜 스테거드형(staggered) 유기 박막 트랜지스터를 제조하였다. 이때 게이트 전극 물질은 Al을 사용하였다.
- <89> 실시예 2
- <90> 도 3에 도시된 바와 같이 기판(13) 상에 섀도우 마스크를 이용하여 열증착으로 게이트 전극(25)을 형성시켰다. 이때 게이트 전극 물질은 Al을 사용하였다. 그 다음, 상기 게이트 전극(25)에 실리콘 옥사이드를 사용하여 게

이트 절연막(27)을 형성시켰다.

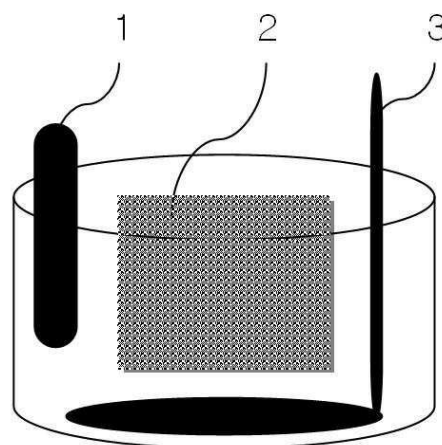
- <91> 상기 게이트 절연막(27)에 소스/드레인 전극(35, 37)을 전극물질로 Au를 사용하여 웨도우 마스크를 이용하여 열 증착하여 형성시켰다.
- <92> 상기 기판(13) 상에 게이트 전극(25), 게이트 절연막(27) 및 소스/드레인 전극(35, 37)이 형성된 샘플 기판(2)을 도 1에 도시한 바와 같이 Ref.전극(1)과 하판전극(3)이 형성되어 있고 전해질인 TBAB(tetrabutylammonium tetrafluoroborate)와 용매인 MC(Methylene Chloride) 혼합용액에 담근 후, Epsilon CV(cyclic voltametry) 장비를 이용하여 Ref.전극(1)에 일정 전압을 인가한 상태에서 샘플 기판(2)의 소스/드레인 전극(35, 37)과 하판 전극(3) 사이에 전압을 인가하여 샘플기판(2)의 게이트 절연막(27)을 제외한 소스/드레인 전극(35, 37) 상부에만 유기물 완충층(45, 47)을 형성시켰다. 이렇게 형성된 유기물 완충층(45, 47)은 140 °C의 오븐에서 2 시간 정도 건조시켰다.
- <93> 그 다음, 상기 형성된 유기 완충층(45, 47) 상부에 유기 반도체층(53)인 펜타센을 웨도우 마스크를 이용하여 1×10^{-7} torr의 진공에서 기판온도를 80 °C로 하고 0.2 Å/sec의 속도로 열증착하여 형성시켜 인버티드 코플래너형(inverted coplanar type) 유기 박막 트랜지스터를 제조하였다.

도면의 간단한 설명

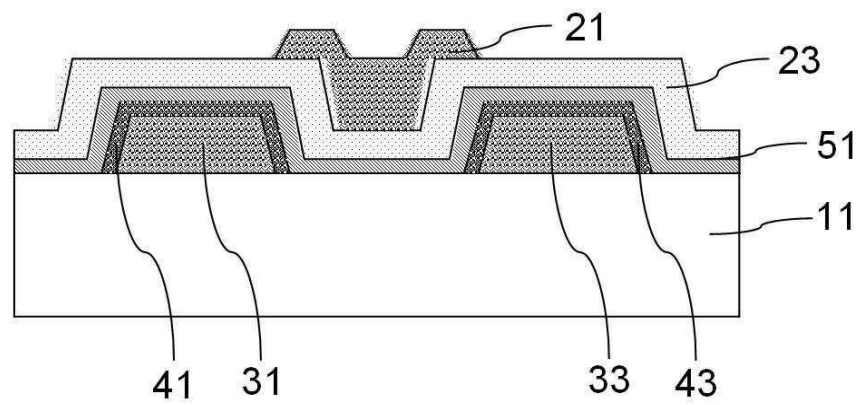
- <94> 도 1은 본 발명의 바람직한 일실시예에 따른 전기화학적 코팅방법에 의해 유기물 완충층을 형성하는 장치 및 방법을 개략적으로 도시한 단면도이다.
- <95> 도 2는 본 발명의 바람직한 일 실시예에 따른 유기 박막 트랜지스터의 단면구조를 개략적으로 도시하는 단면도이다.
- <96> 도 3은 본 발명의 바람직한 다른 실시예에 따른 유기 박막 트랜지스터의 단면구조를 개략적으로 도시하는 단면도이다.
- <97> * 도면의 주요부분에 대한 부호의 설명 *
- <98> 1: Ref.전극 2: 소스/드레인 전극이 형성된 기판(샘플 기판)
- <99> 3: 하판전극 11, 13: 기판
- <100> 21, 25: 게이트 전극 23, 27: 게이트 절연막
- <101> 31, 35: 소스 전극 33, 37: 드레인 전극
- <102> 41, 43, 46, 47: 유기물 완충층 51, 53: 유기 반도체층

도면

도면1



도면2



도면3

