



(19) 대한민국특허청(KR)  
(12) 등록특허공보(B1)

(45) 공고일자 2008년07월03일  
(11) 등록번호 10-0843529  
(24) 등록일자 2008년06월27일

(51) Int. Cl.

*G11C 11/402* (2006.01) *G11C 11/403* (2006.01)*G11C 11/401* (2006.01)

(21) 출원번호 10-2006-7027451

(22) 출원일자 2006년12월27일

심사청구일자 2006년12월27일

번역문제출일자 2006년12월27일

(65) 공개번호 10-2007-0027630

(43) 공개일자 2007년03월09일

(86) 국제출원번호 PCT/US2005/018917

국제출원일자 2005년05월26일

(87) 국제공개번호 WO 2005/119692

국제공개일자 2005년12월15일

(30) 우선권주장

10/982,277 2004년11월05일 미국(US)

60/575,335 2004년05월27일 미국(US)

(56) 선행기술조사문헌

US 6310814 B1\*

(뒷면에 계속)

전체 청구항 수 : 총 29 항

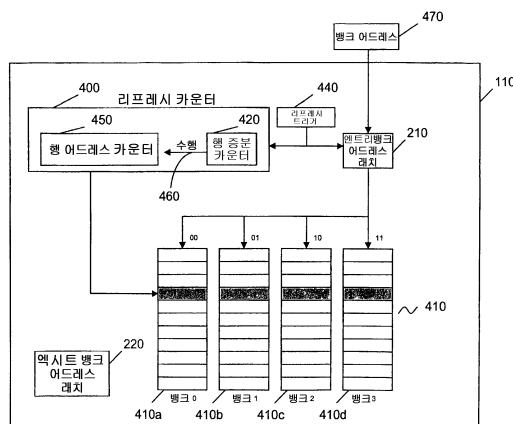
심사관 : 이보형

(54) 휘발성 메모리에서 지시된 뱅크 리프레시를 위한 무결절성자기-리프레시를 제공하는 방법 및 시스템

### (57) 요약

메모리 시스템이 제공된다. 그 시스템은 다수의 뱅크를 가지고, 자동-리프레시 모드 및 자기-리프레시 모드를 포함하는 다수의 동작 모드 중 하나에 차수하도록 구성된 휘발성 메모리, 및 휘발성 메모리에게 동작 모드 중 하나에 차수할 것을 지시하도록 구성된 메모리 제어기를 포함한다. 메모리 제어기가 휘발성 메모리에게 자기-리프레시 모드에 차수할 것을 지시하는 경우, 메모리 제어기는 휘발성 메모리에게 엔트리 뱅크 어드레스를 제공하도록 더 구성되며, 엔트리 뱅크 어드레스는 자기-리프레시 모드 동안에 리프레시되어야 하는 최초 뱅크에 대응한다. 휘발성 메모리가 자기-리프레시 모드를 종료하는 경우, 휘발성 메모리는 액시트 뱅크 어드레스가 메모리 제어기에 이용 가능하도록 더 구성되며, 액시트 뱅크 어드레스는 휘발성 메모리가 자기-리프레시 모드를 종료하기 전에 리프레시된 최종 뱅크에 대응한다.

### 대표도 - 도4



(56) 선행기술조사문현

US 2003/218930 A1\*

US 5999472 A

US 4687107 A

US 2002/0023193 A1

\*는 심사관에 의하여 인용된 문현

---

## 특허청구의 범위

### 청구항 1

복수의 뱅크를 가지고, 자동-리프레시 모드 및 자기-리프레시 모드를 포함하는 복수의 동작 모드 중 하나에 착수하도록 구성된 휘발성 메모리; 및

상기 휘발성 메모리에게 상기 복수의 동작 모드 중 하나에 착수할 것을 지시하도록 구성된 메모리 제어기를 포함하며,

상기 메모리 제어기가 상기 휘발성 메모리에게 상기 자기-리프레시 모드에 착수할 것을 지시할 때, 상기 메모리 제어기는 엔트리 뱅크 어드레스를 상기 휘발성 메모리에 제공하도록 더 구성되며, 상기 엔트리 뱅크 어드레스는 상기 자기-리프레시 모드 동안에 리프레시되어야 하는 최초 뱅크에 대응하고,

상기 휘발성 메모리가 자기-리프레시 모드를 종료할 때, 상기 휘발성 메모리는 엑시트 뱅크 어드레스가 상기 메모리 제어기에 이용가능하도록 더 구성되며, 상기 엑시트 뱅크 어드레스는 상기 휘발성 메모리가 상기 자기-리프레시 모드를 종료하기 이전에 리프레시된 최종 뱅크에 대응하는, 메모리 시스템.

### 청구항 2

제 1 항에 있어서,

상기 메모리 제어기는, 상기 메모리 제어기가 상기 엑시트 뱅크 어드레스를 수신한 이후에, 상기 휘발성 메모리가 상기 자기-리프레시 모드를 종료하기 이전에 리프레시된 상기 최종 뱅크에 후속하는 뱅크를 리프레시하기 위해, 상기 휘발성 메모리에 자동-리프레시 커맨드를 발행하도록 더 구성된, 메모리 시스템.

### 청구항 3

제 1 항에 있어서,

상기 휘발성 메모리가 상기 자기-리프레시 모드를 종료할 때, 상기 휘발성 메모리는 엑시트 행 어드레스가 상기 메모리 제어기에 이용가능하도록 더 구성되며, 상기 엑시트 행 어드레스는 상기 휘발성 메모리가 상기 자기-리프레시 모드를 종료하기 이전에 리프레시된 최종 행에 대응하는, 메모리 시스템.

### 청구항 4

제 1 항에 있어서,

상기 휘발성 메모리는 동적 랜덤 액세스 메모리 (DRAM) 또는 동기식 DRAM 중 하나인, 메모리 시스템.

### 청구항 5

엔트리 뱅크 어드레스 래치, 엑시트 뱅크 어드레스 래치 및 복수의 뱅크를 갖는 휘발성 메모리; 및

자동-리프레시 모드 및 자기-리프레시 모드를 포함하는 복수의 동작 모드 중 하나에 착수할 것을 상기 휘발성 메모리에게 지시하도록 구성된 메모리 제어기를 포함하며,

상기 메모리 제어기가 상기 휘발성 메모리에게 자기-리프레시 모드에 착수할 것을 지시할 때, 상기 메모리 제어기는 엔트리 뱅크 어드레스를 상기 엔트리 뱅크 어드레스 래치에 로드하도록 더 구성되며, 상기 엔트리 뱅크 어드레스는 상기 자기-리프레시 모드 동안에 리프레시되어야 하는 최초 뱅크에 대응하고,

상기 휘발성 메모리가 상기 자기-리프레시 모드를 종료할 때, 상기 휘발성 메모리는 엑시트 뱅크 어드레스를 상기 엑시트 뱅크 어드레스 래치에 로드하도록 더 구성되며, 상기 엑시트 뱅크 어드레스는 상기 휘발성 메모리가 상기 자기-리프레시 모드를 종료하기 이전에 리프레시된 최종 뱅크에 대응하고, 상기 엑시트 뱅크 어드레스 래치는 상기 메모리 제어기에 액세스 가능한, 메모리 시스템.

### 청구항 6

제 5 항에 있어서,

상기 메모리 제어기는, 상기 메모리 제어기가 상기 엑시트 뱅크 어드레스 래치로부터 상기 엑시트 뱅크 어드레

스를 검색한 이후에, 상기 휘발성 메모리가 상기 자기-리프레시 모드를 종료하기 전에 리프레시된 상기 최종 뱅크에 후속하는 뱅크를 리프레시하기 위해, 상기 휘발성 메모리에 자동-리프레시 커맨드를 발행하도록 더 구성되는, 메모리 시스템.

### 청구항 7

제 5 항에 있어서,

상기 휘발성 메모리는 상기 메모리 제어기에 액세스 가능한 엑시트 행 어드레스 래치를 더 포함하며,

상기 휘발성 메모리가 상기 자기-리프레시 모드를 종료할 때, 상기 휘발성 메모리는 엑시트 행 어드레스를 상기 엑시트 행 어드레스 래치에 로드하도록 더 구성되며, 상기 엑시트 행 어드레스는 상기 휘발성 메모리가 상기 자기-리프레시 모드를 종료하기 전에 리프레시된 최종 행에 대응하는, 메모리 시스템.

### 청구항 8

제 5 항에 있어서,

상기 휘발성 메모리는 동적 랜덤 액세스 메모리 (DRAM) 또는 동기식 DRAM 중 하나인, 메모리 시스템.

### 청구항 9

복수의 뱅크, 엔트리 뱅크 어드레스를 저장하는 제 1 저장 수단 및 엑시트 뱅크 어드레스를 저장하는 제 2 저장 수단을 가지는 휘발성 메모리; 및

자동-리프레시 모드 및 자기-리프레시 모드를 포함하는 복수의 동작 모드 중 하나에 착수할 것을 상기 휘발성 메모리에게 지시하도록 구성된 메모리 제어기를 포함하며,

상기 메모리 제어기가 상기 휘발성 메모리에게 상기 자기-리프레시 모드에 착수할 것을 지시할 때, 상기 메모리 제어기는 상기 엔트리 뱅크 어드레스를 상기 제 1 저장 수단에 로드하도록 더 구성되며, 상기 엔트리 뱅크 어드레스는 상기 자기-리프레시 모드 동안에 리프레시되어야 하는 최초 뱅크에 대응하고,

상기 휘발성 메모리가 상기 자기-리프레시 모드를 종료할 때, 상기 휘발성 메모리는 상기 엑시트 뱅크 어드레스를 상기 제 2 저장 수단에 로드하도록 더 구성되며, 상기 엑시트 뱅크 어드레스는 상기 휘발성 메모리가 상기 자기-리프레시 모드를 종료하기 전에 리프레시된 최종 뱅크에 대응하고, 상기 제 2 저장 수단은 상기 메모리 제어기에 액세스 가능한, 메모리 시스템.

### 청구항 10

제 9 항에 있어서,

상기 메모리 제어기는, 상기 메모리 제어기가 상기 제 2 저장 수단으로부터 상기 엑시트 뱅크 어드레스를 검색한 이후에, 상기 휘발성 메모리가 상기 자기-리프레시 모드를 종료하기 전에 리프레시된 상기 최종 뱅크에 후속하는 뱅크를 리프레시하기 위해, 상기 휘발성 메모리에 자동-리프레시 커맨드를 발행하도록 더 구성된, 메모리 시스템.

### 청구항 11

제 9 항에 있어서,

상기 휘발성 메모리는 엑시트 행 어드레스를 저장하는 제 3 저장 수단을 더 포함하며,

상기 휘발성 메모리가 상기 자기-리프레시 모드를 종료할 때, 상기 휘발성 메모리는 상기 엑시트 행 어드레스를 상기 제 3 저장 수단에 로드하도록 더 구성되며, 상기 엑시트 행 어드레스는 상기 휘발성 메모리가 상기 자기-리프레시 모드를 종료하기 전에 리프레시된 최종 행에 대응하고, 상기 제 3 저장 수단은 상기 메모리 제어기에 액세스 가능한, 메모리 시스템.

### 청구항 12

제 10 항에 있어서,

상기 휘발성 메모리는 동적 랜덤 액세스 메모리 (DRAM) 또는 동기식 DRAM 중 하나인, 메모리 시스템.

### 청구항 13

복수의 뱅크, 엔트리 뱅크 어드레스 래치, 액시트 뱅크 어드레스 래치, 리프레시 클록 및 리프레시 카운터를 가지는 휘발성 메모리로서, 상기 리프레시 카운터는 행 어드레스 카운터 및 행 증분 카운터를 더 가지고, 상기 리프레시 클록은 상기 리프레시 카운터 및 상기 엔트리 뱅크 어드레스 래치를 제어하도록 구성되며, 상기 행 증분 카운터는 상기 행 어드레스 카운터를 증분하도록 구성되는, 상기 휘발성 메모리; 및

상기 휘발성 메모리를 제어하여 자동-리프레시 모드 또는 자기-리프레시 모드에 착수하도록 구성된 메모리 제어기로서, 타겟 뱅크에 대한 뱅크 어드레스를 상기 엔트리 뱅크 어드레스 래치에 로드하도록 더 구성된, 상기 메모리 제어기를 포함하며,

상기 메모리 제어기는 상기 휘발성 메모리에게 상기 자동-리프레시 모드에 착수할 것을 지시하여, 상기 타겟 뱅크에 대한 자동-리프레시 동작을 수행하도록 더 구성되고,

상기 행 증분 카운터는 자동-리프레시 동작이 수행될 때마다 증분하도록 구성되고,

상기 행 증분 카운터는 소정의 수의 자동-리프레시 동작이 수행된 이후에 상기 행 어드레스 카운터를 증분하도록 더 구성되고,

상기 행 어드레스 카운터는 상기 자동-리프레시 동작에 관한 상기 타겟 뱅크의 행을 식별하는데 이용가능한 행 어드레스를 포함하고,

상기 휘발성 메모리가 상기 자기-리프레시 모드에 진입할 때, 상기 휘발성 메모리는 상기 엔트리 뱅크 어드레스 래치에 저장된 상기 뱅크 어드레스 및 상기 리프레시 카운터에 저장된 컨텐츠를 이용하여 하나 이상의 자기-리프레시 동작을 수행하도록 더 구성되고,

상기 휘발성 메모리는 각각의 자기-리프레시 동작 이후에 상기 엔트리 뱅크 어드레스 래치 및 상기 리프레시 카운터를 증분하도록 더 구성되고,

상기 휘발성 메모리가 상기 자기-리프레시 모드를 종료할 때, 상기 휘발성 메모리는 상기 엔트리 뱅크 어드레스 래치의 현재 값을 상기 액시트 뱅크 어드레스 래치에 로드하도록 구성되며, 상기 액시트 뱅크 어드레스 래치 내의 값이 상기 휘발성 메모리가 상기 자기-리프레시 모드를 종료하기 전에 리프레시된 최종 뱅크에 대응하는, 메모리 시스템.

### 청구항 14

제 13 항에 있어서,

상기 액시트 뱅크 어드레스 래치는 상기 메모리 제어기에 액세스 가능하고,

상기 메모리 제어기는, 상기 메모리 제어기가 상기 액시트 뱅크 어드레스 래치에 저장된 값을 검색한 이후에, 상기 휘발성 메모리가 상기 자기-리프레시 모드를 종료하기 전에 리프레시된 상기 최종 뱅크에 후속하는 뱅크를 리프레시하기 위해, 상기 휘발성 메모리에 자동-리프레시 커맨드를 발행하도록 더 구성된, 메모리 시스템.

### 청구항 15

제 13 항에 있어서,

상기 휘발성 메모리가 상기 자기-리프레시 모드를 종료할 때, 상기 휘발성 메모리는 상기 행 증분 카운터를 재설정하지 않도록 더 구성된, 메모리 시스템.

### 청구항 16

제 13 항에 있어서,

상기 휘발성 메모리가 상기 자기-리프레시 모드를 종료할 때, 상기 메모리 제어기는 평균 리프레시 주기 내에 임의의 추가적인 리프레시를 발행하지 않도록 더 구성된, 메모리 시스템.

### 청구항 17

제 13 항에 있어서,

상기 휘발성 메모리는 액시트 행 어드레스 래치를 더 포함하며,

상기 휘발성 메모리가 상기 자기-리프레시 모드를 종료할 때, 상기 휘발성 메모리는 상기 행 어드레스 카운터의 현재 값을 상기 액시트 행 어드레스 래치에 로드하도록 구성되며, 상기 액시트 행 어드레스 래치 내의 값은 상기 휘발성 메모리가 상기 자기-리프레시 모드를 종료하기 전에 리프레시된 최종 행에 대응하는, 메모리 시스템.

### 청구항 18

제 13 항에 있어서,

상기 휘발성 메모리는 동적 랜덤 액세스 메모리 (DRAM) 또는 동기식 DRAM 중 하나인, 메모리 시스템.

### 청구항 19

엔트리 뱅크 어드레스 래치, 액시트 뱅크 어드레스 래치, 복수의 뱅크, 및 복수의 리프레시 행 카운터를 가지는 휘발성 메모리로서, 각각의 리프레시 행 카운터는 대응하는 뱅크와 관련되고 타겟 행 어드레스를 저장하도록 구성된, 상기 휘발성 메모리; 및

상기 휘발성 메모리에게 자동-리프레시 모드에 착수할 것을 지시하도록 구성되고, 또한, 타겟 뱅크 어드레스를 상기 엔트리 뱅크 어드레스 래치에 로드하도록 구성된 메모리 제어기를 포함하며,

상기 휘발성 메모리는 상기 자동-리프레시 모드에서 자동-리프레시 동작을 수행하도록 구성되며, 상기 자동-리프레시 동작은, 상기 타겟 뱅크와 관련된 상기 리프레시 행 카운터에 저장된 상기 타겟 행 어드레스를 이용하여 상기 타겟 뱅크 어드레스에 의해 식별되는 상기 타겟 뱅크에 대해 수행되고,

상기 메모리 제어기는 상기 휘발성 메모리에게 자기-리프레시 모드에 착수할 것을 지시하도록 더 구성되고,

상기 휘발성 메모리는 현재의 타겟 뱅크 어드레스를 발생시키기 위해, 상기 엔트리 뱅크 어드레스 래치를 충분 함으로써 상기 자기-리프레시 모드에서 상기 복수의 뱅크를 통해 사이클링하도록 더 구성되고,

각각의 자기-리프레시 동작 동안에, 상기 휘발성 메모리는 상기 관련된 리프레시 행 카운터에 저장된 상기 타겟 행 어드레스에 기초하여 상기 현재의 타겟 뱅크 어드레스에 의해 식별되는 뱅크를 리프레시하도록 더 구성되고,

상기 휘발성 메모리가 상기 자기-리프레시 모드를 종료할 때, 상기 휘발성 메모리는 상기 엔트리 뱅크 어드레스 래치에 저장된 값을 상기 액시트 뱅크 어드레스 래치에 로드하도록 더 구성되며, 상기 액시트 뱅크 어드레스 래치 내의 값은 상기 휘발성 메모리가 상기 자기-리프레시 모드를 종료하기 전에 리프레시된 최종 뱅크에 대응하는, 메모리 시스템.

### 청구항 20

제 19 항에 있어서,

상기 액시트 뱅크 어드레스 래치는 상기 메모리 제어기에 액세스 가능하고,

상기 메모리 제어기는, 상기 메모리 제어기가 상기 액시트 뱅크 어드레스 래치에 저장된 값을 검색한 이후에, 상기 휘발성 메모리가 상기 자기-리프레시 모드를 종료하기 전에 리프레시된 상기 최종 뱅크에 후속하는 뱅크를 리프레시하기 위해, 상기 휘발성 메모리에 자동-리프레시 커맨드를 발행하도록 더 구성된, 메모리 시스템.

### 청구항 21

제 19 항에 있어서,

상기 휘발성 메모리는, 상기 휘발성 메모리가 상기 자기-리프레시 모드에 진입하기 전에 임의의 선행하는 리프레시를 수행하지 않도록 더 구성된, 메모리 시스템.

### 청구항 22

제 19 항에 있어서,

상기 휘발성 메모리는 상기 메모리 제어기에 액세스 가능한 액시트 행 어드레스 래치를 더 포함하며,

상기 휘발성 메모리가 상기 자기-리프레시 모드를 종료할 때, 상기 휘발성 메모리는, 상기 휘발성 메모리가 상기 자기-리프레시 모드를 종료하기 전에 리프레시된 상기 최종 뱅크와 관련된 상기 리프레시 행 카운터에 저장

된 값을 상기 액시트 행 어드레스 래치에 로드하도록 더 구성된, 메모리 시스템.

### 청구항 23

제 19 항에 있어서,

상기 휘발성 메모리는 동적 랜덤 액세스 메모리 (DRAM) 또는 동기식 DRAM 중 하나인, 메모리 시스템.

### 청구항 24

복수의 뱅크를 가진 휘발성 메모리에 대한 메모리 리프레시를 제어하는 방법으로서,

상기 휘발성 메모리에 엔트리 뱅크 어드레스를 포워딩하는 단계;

상기 엔트리 뱅크 어드레스에 기초하여 하나 이상의 자기-리프레시 동작을 수행하기 위해 자기-리프레시 모드에 착수할 것을 상기 휘발성 메모리에게 지시하는 단계로서, 상기 엔트리 뱅크 어드레스는 상기 하나 이상의 자기-리프레시 동작이 시작되어야 하는 타겟 뱅크에 대응하는, 상기 자기-리프레시 동작의 수행 지시 단계; 및

상기 휘발성 메모리가 상기 자기-리프레시 모드를 종료할 때, 액시트 뱅크 어드레스가 이용가능하도록 상기 휘발성 메모리에게 지시하는 단계로서, 상기 액시트 뱅크 어드레스는 상기 휘발성 메모리가 상기 자기-리프레시 모드를 종료하기 전에 리프레시된 최종 뱅크에 대응하는, 상기 액시트 뱅크 어드레스의 이용 지시 단계를 포함하는, 메모리 리프레시 제어 방법.

### 청구항 25

제 24 항에 있어서,

상기 액시트 뱅크 어드레스에 의해 식별된 상기 뱅크에 후속하는 뱅크에 대한 자동-리프레시 동작을 수행하기 위해, 자동-리프레시 모드에 착수할 것을 상기 휘발성 메모리에게 지시하는 단계를 더 포함하는, 메모리 리프레시 제어 방법.

### 청구항 26

제 24 항에 있어서,

상기 휘발성 메모리가 상기 자기-리프레시 모드를 종료할 때, 액시트 행 어드레스가 이용가능하도록 상기 휘발성 메모리에게 지시하는 단계를 더 포함하며,

상기 액시트 행 어드레스는 상기 휘발성 메모리가 상기 자기-리프레시 모드를 종료하기 전에 리프레시된 최종 행에 대응하는, 메모리 리프레시 제어 방법.

### 청구항 27

엔트리 뱅크 어드레스 래치, 액시트 뱅크 어드레스 래치 및 복수의 뱅크를 가지는 휘발성 메모리에 대한 메모리 리프레시를 제어하는 방법으로서,

상기 엔트리 뱅크 어드레스 래치에 엔트리 뱅크 어드레스를 로드하는 단계;

상기 엔트리 뱅크 어드레스 래치로부터 상기 엔트리 뱅크 어드레스를 검색할 것을 상기 휘발성 메모리에게 지시하는 단계;

상기 엔트리 뱅크 어드레스에 기초하여 하나 이상의 자기-리프레시 동작을 수행하기 위해, 자기-리프레시 모드에 착수할 것을 상기 휘발성 메모리에게 지시하는 단계로서, 상기 엔트리 뱅크 어드레스는 상기 하나 이상의 자기-리프레시 동작이 시작되어야 하는 타겟 뱅크에 대응하는, 상기 지시 단계; 및

상기 휘발성 메모리가 상기 자기-리프레시 모드를 종료할 때, 상기 액시트 뱅크 어드레스 래치에 액시트 뱅크 어드레스를 저장하는 단계로서, 상기 액시트 뱅크 어드레스는 상기 휘발성 메모리가 상기 자기-리프레시 모드를 종료하기 전에 리프레시된 최종 뱅크에 대응하는, 상기 저장 단계를 포함하는, 메모리 리프레시 제어 방법.

### 청구항 28

제 27 항에 있어서,

상기 엑시트 뱅크 어드레스 래치로부터 상기 엑시트 뱅크 어드레스를 검색하는 단계; 및

상기 엑시트 뱅크 어드레스에 의해 식별되는 뱅크에 후속하는 뱅크에 대한 자동-리프레시 동작을 수행하기 위해, 자동-리프레시 모드에 착수할 것을 상기 휘발성 메모리에게 지시하는 단계를 더 포함하는, 메모리 리프레시 제어 방법.

## 청구항 29

제 27 항에 있어서,

상기 휘발성 메모리는 엑시트 행 어드레스 래치를 더 포함하며,

상기 방법은, 상기 휘발성 메모리가 상기 자기-리프레시 모드를 종료할 때, 상기 엑시트 행 어드레스 래치에 상기 엑시트 행 어드레스를 저장하는 단계를 더 포함하며,

상기 엑시트 행 어드레스는 상기 휘발성 메모리가 상기 자기-리프레시 모드를 종료하기 전에 리프레시된 최종 행에 대응하는, 메모리 리프레시 제어 방법.

## 명세서

&lt;1&gt;

### 배경기술

&lt;2&gt;

#### 관련 출원

&lt;3&gt;

본원은 2004년 5월 27일에 출원된 U.S.가출원번호 제 60/575,335호를 우선권 주장한다.

&lt;4&gt;

#### 기술분야

&lt;5&gt;

본 발명은 일반적으로 메모리 디바이스에 관한 것이고, 더 상세하게는, 휘발성 메모리 내의 지시된 뱅크 리프레시를 위한 무결절성 (seamless) 자기-리프레시를 제공하는 방법 및 시스템에 관한 것이다.

&lt;6&gt;

#### 배경기술

&lt;7&gt;

휘발성 메모리는 일반적으로 다수의 어레이 (또는 뱅크)로서 구성된 저장 매체이다. 또한, 각 뱅크는 행 및 열의 "메모리 셀"의 행렬로서 배열되고, 또한 각 열은 메모리의 입력/출력 (I/O) 폭으로 분할된다. 메모리 내의 위치는 특유하게, 뱅크, 행 및 열로 특정된다. 메모리 제어기는 데이터의 뱅크, 행 및 열 위치를 표시함으로써 메모리로부터 데이터를 검색하는데 이용될 수도 있다. 예를 들어, 16-비트 외부 데이터 버스를 갖춘 퀼드-뱅크 128Mb 메모리의 경우, 가능한 로직 어드레스 매핑은 9-비트 열 어드레스, 2-비트 뱅크 어드레스 및 12-비트 행 어드레스를 포함한다.

&lt;8&gt;

메모리 위치를 판독 또는 기입하기 전에, 대응하는 행이 먼저 오픈되어야 한다. 열을 오픈하는 프로세스는 최소 수의 클록 사이클  $t_{RCD}$ 가 요청되며, 이는 행 대 열 지연을 나타낸다. 일단 행이 오픈되면, 그 행 이내의 열 어드레스는 원하는 바와 같이 판독 또는 기입될 수 있다. 동기식 DRAM (SDRAM) 과 같은 몇몇 동적 랜덤 액세스 메모리 (DRAM)의 경우, 뱅크 당 오직 하나의 행이 임의의 시간에 오픈될 수 있고, 동일한 뱅크 내이지만 상이한 행에서 수행될 후속 메모리 액세스는 현재 행을 클로징하고 새로운 행을 오픈하는 것이 요청된다.

&lt;9&gt;

동적 휘발성 메모리의 경우에, 각 셀은 데이터 무결성 (integrity) 을 유지하기 위해, 평균 간격  $t_{REFI}$ 로 주기적으로 리프레시 또는 재-에너자이징되어야 한다. 그 셀은, 오버 타임으로 방전될 수도 있는, 전하를 저장하는 커패시터 주위에 구성되기 때문에 리프레시되어야 한다. 리프레시는 메모리 내의 셀을 재충전, 또는 재-에너자이징하는 프로세스이다. 셀은 일반적으로 하나의 행씩 동시에 리프레시된다. 휘발성 메모리를 리프레시하도록 구성된 다수의 방법이 현재 존재한다. 이를 방법 중 전부가 아니면 몇몇은 성능 및/또는 전력에 있어 높은 비용을 초래한다. 예를 들어, 현대 디지털 시스템에서 휘발성 메모리의 리프레시를 제어하는데 일반적으로 이용되는 2 개의 공통 방법 또는 기술이 있다. 한 방법은 메모리상에서 이용가능한 내장 리프레시 메커니즘을 이용하여 리프레시될 필요가 있는 뱅크 및 행을 추적하는 메모리에 의존하고, 다른 방법은 리프레시될 필요가 있는 뱅크 및 행을 추적하는 메모리 제어기에 의존한다.

&lt;10&gt;

제 1의 일반적으로 이용되는 방법은 휘발성 메모리의 자동-리프레시 및 자기-리프레시 기능에 의해 이용된다. 이를 기능은 메모리의 내장 리프레시 어드레스를 이용한다. 메모리의 활성 이용 동안, 리프레시 사이클을 이 요청되면, 메모리 제어기는 모든 뱅크를 미리 충전한 후, 내부 리프레시 사이클을 발행하라고 메모리에 알리

는 자동-리프레시 커맨드를 이용한다. 자동-리프레시 커맨드를 수신하는 경우, 그 메모리는 내부 리프레시 어드레스 카운터를 증분하고 내부 리프레시 사이클을 실행한다. 자동-리프레시 모드에서, 그 메모리는 내부 리프레시 어드레스 카운터의 리프레시 어드레스를 이용하여, 어떤 행/뱅크가 리프레시 사이클을 수행하고 관련 행을 통해 사이클링하는지를 결정한다. 일 구현에서, 내부 리프레시 어드레스 카운터는 행 어드레스 레지스터 및 뱅크 어드레스 레지스터를 포함한다. 내부 리프레시 어드레스 카운터는 리프레시 클록에 의해 제어된다. 뱅크 어드레스 레지스터는 증분되어, 행 어드레스 레지스터가 증분하도록 하면서 뱅크 어드레스 레지스터의 수행으로 각각의 메모리 뱅크를 통해 사이클링한다. 다른 구현은, 모든 뱅크가 동시에 리프레시되기 때문에 뱅크 어드레스 레지스터를 가지지 않는다.

<11> 본 비동시 뱅크 자동-리프레시 구현의 단점은, 메모리 제어기가 어떤 내부 뱅크가 리프레시되는지를 알지 못하기 때문에, 메모리 제어기는 자동-리프레시 커맨드를 발행하기 전에 모든 오픈 행을 클로징하는 것이 요청된다는 것이다. 결과적으로, 자동-리프레시 시퀀스 동안의 메모리 데이터 버스 이용가능성은 0이다. 잘해야, 이러한 시퀀스는  $t_{RP}+t_{RFC}+t_{RCD}$  사이클이 요청되며, 여기서  $t_{RP}$ 는 행-사전충전 지연을 나타내고,  $t_{RFC}$ 는 리프레시 사이클 시간을 나타내며,  $t_{RCD}$ 는 행 대 열 지연을 나타낸다. 133 MHz 메모리의 경우, 이는 16 클록 사이클 (120 ns) 일 수 있다. 이를 사이클은, 메모리 데이터 버스가 이러한 주기 동안 이용가능하지 않기 때문에, 테드 사이클 (dead cycle) 이라고 지칭된다.

<12> 이용하지 않는 주기 동안, 메모리 제어기는 자기-리프레시 모드에 메모리를 위치시킬 수도 있다. 자기-리프레시 모드에서, 그 메모리는 자신의 내부 클록 및 리프레시 어드레스 카운터를 이용하여, 메모리의 행(들)을 리프레시하는 리프레시를 발생시킬 수 있다. 이러한 방법은, 자기-리프레시 모드가 이용될 수 있기 때문에, 아디들 (idle) 상태 동안에 전력을 절약하는데 좋다. 자기-리프레시 상태는 작은 양의 전력을 이용하고, 메모리를 리프레시함으로써 메모리의 컨텐츠를 유지한다. 필요한 작은 양의 전력으로 인해, 이러한 방법은 낮은 전력 애플리케이션에 통상적으로 이용된다.

<13> 제 2 방법은 상술한 메모리 데이터 버스 상의 테드 사이클을 회피하는데 종종 이용된다. 이러한 제 2 방법에 따라, 메모리 제어기를 통해 리프레시의 제어가 이루어진다. 이러한 방법은 메모리상에서 이용가능한 임의의 내장 리프레시 메커니즘을 이용하지 않는다. 이러한 방법하에, 규칙적인 소정의 간격 ( $t_{REFI}$ )으로, 메모리 제어기는 뱅크/행 어드레스 조합을 이용하여 순차적인 방법으로 행을 오프닝 및 클로징함으로써 리프레시를 명시적으로 발생시킨다. 리프레시 레이트를 결정하는 리프레시 클록 및 뱅크/행 어드레스 조합은 메모리 제어기의 내부에 있다. 이러한 방법은 고속/고성능 애플리케이션에 가장 좋다. 이러한 방법은, 메모리 제어기로 하여금 다른 메모리 뱅크가 액세스에 오픈되어 있는 동안에 개별 메모리 뱅크를 리프레시하도록 하여, 더 훌륭한 성능을 발생시키며, 판독 및 다른 뱅크에의 기입은 병렬적으로 간섭받지 않고 일반적으로 계속된다. 이러한 방법의 불리한 점은 시스템 전력이 다운되거나 장기의 아이들 상태 동안, 메모리 제어기가 메모리를 리프레시하지 않는 경우, 메모리는 자기-리프레시 상태에서 유지될 수 없다는 것이다. 상술한 바와 같이, 자기-리프레시 상태는 대부분의 휘발성 메모리의 내장 기능이다. 메모리의 자기-리프레시 기능이 메모리의 리프레시 어드레스 카운터에 저장된 리프레시 어드레스 (즉, 행/뱅크 어드레스)를 충분하기 때문에, 메모리 제어기와 관계없이, 메모리에 의해 유지되는 리프레시 어드레스는 메모리 제어기와 일관되지 않거나 동기화되지 않는다.

<14> 각 리프레시 사이클이 데이터 액세스가 이용가능하지 않는 아이들 상태로 메모리를 강요하기 때문에, 리프레시 동작은 메모리 서브시스템의 성능을 감소시킬 수 있다. 예를 들어, 개별 메모리 뱅크가 활성 상태에 있는 동안에 리프레시 사이클이 이런 뱅크에 요청되면, 그 뱅크는 리프레시 동작이 발생하도록 셋-다운되어야 한다. 뱅크를 셋-다운하는 것은 수행되어야 하는 어떤 데이터 동작도 연기되어야 하며, 따라서 시스템 성능에 영향을 미치는 것을 의미한다.

<15> 몇몇 종래의 방식은 리프레시 동작의 성능 임팩트를 감소시키는데 이용가능하다. 이러한 방식은 요청되는 리프레시 레이트보다 더 높은 레이트를 이용하는 단계를 통상적으로 포함하여, 더 많은 메모리 뱅크가 소정의 리프레시 주기 내에서 리프레시될 수 있도록 한다. 더 많은 메모리 뱅크가 리프레시됨으로써, 리프레시를 위해 활성 메모리 뱅크를 셋-다운하여야 하는 기회는 감소된다. 그러나, 더 높은 리프레시 레이트를 이용하는 것은 결점을 가진다. 예를 들어, 리프레시 레이트의 증가는 더 많은 전력이 필요하다는 것을 의미하며, 결국, 낮은 성능을 발생시킨다. 또한, 단지 높은 리프레시 레이트를 이용하는 것은, 리프레시가 요청되는 경우에 활성 메모리 뱅크를 셋-다운할 필요를 항상 제거하지 않으며, 몇몇 경우에, 더 높은 리프레시 레이트를 이용하는 임의의 이득을 부인하는 것과 상관없이, 활성 메모리 뱅크는 셋-다운되어야 한다.

<16> 따라서, 휘발성 메모리의 지시된 뱅크 리프레시를 위해 무결절성 자기-리프레시를 제공하는 더 효율적인 방법 및 시스템을 제공하는 것이 바람직하다.

&lt;17&gt;

### 개요

<18> 본 발명의 일 양태에서, 메모리 시스템은, 복수의 뱅크를 가지고 자동-리프레시 모드 및 자기-리프레시 모드를 포함하는 복수의 동작 모드 중 하나에 착수하도록 구성된 휘발성 메모리, 및 휘발성 메모리에게 복수의 동작 모드 중 하나에 착수할 것을 지시하도록 구성된 메모리 제어기를 포함하며, 이 경우 메모리 제어기가 휘발성 메모리에게 자기-리프레시 모드에 착수할 것을 지시하는 경우, 메모리 제어기는 휘발성 메모리에 엔트리 뱅크 어드레스를 제공하도록 더 구성되며, 엔트리 뱅크 어드레스는 자기-리프레시 모드 동안에 리프레시되어야 하는 최초 뱅크에 대응하고, 휘발성 메모리가 자기-리프레시 모드를 종료하는 경우, 휘발성 메모리는 액시트 뱅크 어드레스가 메모리 제어기에 이용가능하도록 더 구성되며, 액시트 뱅크 어드레스는 휘발성 메모리가 자기-리프레시 모드를 종료하기 전에 리프레시된 최종 뱅크에 대응한다.

&lt;19&gt;

본 발명의 다른 양태에서, 메모리 시스템은, 엔트리 뱅크 어드레스 래치, 액시트 뱅크 어드레스 래치 및 복수의 뱅크를 갖는 휘발성 메모리, 및 휘발성 메모리에게 자동-리프레시 모드 및 자기-리프레시 모드를 포함하는 복수의 동작 모드 중 하나에 착수할 것을 지시하도록 구성된 메모리 제어기를 포함하며, 이 경우 메모리 제어기가 휘발성 메모리에게 자기-리프레시 모드에 착수할 것을 지시하는 경우, 메모리 제어기는 엔트리 뱅크 어드레스를 엔트리 뱅크 어드레스 래치에 로드하도록 더 구성되며, 엔트리 뱅크 어드레스는 자기-리프레시 모드 동안에 리프레시되어야 하는 최초 뱅크에 대응하고, 휘발성 메모리가 자기-리프레시 모드를 종료하는 경우, 휘발성 메모리는 액시트 뱅크 어드레스를 액시트 뱅크 어드레스 래치에 로드하도록 더 구성되며, 액시트 뱅크 어드레스는 휘발성 메모리가 자기-리프레시 모드를 종료하기 전에 리프레시된 최종 뱅크에 대응하고, 액시트 뱅크 어드레스 래치는 메모리 제어기에 액세스가능하다.

&lt;20&gt;

본 발명의 또 다른 양태에서, 메모리 시스템은, 복수의 뱅크, 엔트리 뱅크 어드레스를 저장하도록 구성된 제 1 저장 수단, 및 액시트 뱅크 어드레스를 저장하도록 구성된 제 2 저장 수단을 갖는 휘발성 메모리, 및 휘발성 메모리에게 자동-리프레시 모드 및 자기-리프레시 모드를 포함하는 복수의 동작 모드 중 하나에 착수할 것을 지시하도록 구성된 메모리 제어기를 포함하며, 이 경우 메모리 제어기가 휘발성 메모리에게 자기-리프레시 모드에 착수할 것을 지시하는 경우, 메모리 제어기는 엔트리 뱅크 어드레스를 제 1 저장 수단에 로드하도록 더 구성되며, 엔트리 뱅크 어드레스는 자기-리프레시 모드 동안에 리프레시되어야 하는 최초 뱅크에 대응하고, 휘발성 메모리가 자기-리프레시 모드를 종료하는 경우, 휘발성 메모리는 액시트 뱅크 어드레스를 제 2 저장 수단에 로드하도록 더 구성되며, 액시트 뱅크 어드레스는 휘발성 메모리가 자기-리프레시 모드를 종료하기 전에 리프레시된 최종 뱅크에 대응하고, 제 2 저장 수단은 메모리 제어기에 액세스가능하다.

&lt;21&gt;

본 발명의 일 양태에서, 메모리 시스템은, 복수의 뱅크, 엔트리 뱅크 어드레스 래치, 액시트 뱅크 어드레스 래치, 리프레시 클록 및 리프레시 카운터를 가지는 휘발성 메모리로서, 리프레시 카운터는 행 어드레스 카운터 및 행 증분 카운터를 더 가지고, 이 경우 리프레시 클록은 리프레시 카운터 및 엔트리 뱅크 어드레스 래치를 제어하도록 구성되고, 행 증분 카운터는 행 어드레스 카운터를 증분하도록 구성되는 상기 휘발성 메모리, 및 자동-리프레시 모드 또는 자기-리프레시 모드에 착수하는 휘발성 메모리를 제어하도록 구성되고, 타겟 뱅크에 대한 뱅크 어드레스를 엔트리 뱅크 어드레스 래치에 로드하도록 더 구성된 메모리 제어기를 포함하며, 이 경우 메모리 제어기는 휘발성 메모리가 자동-리프레시 모드에 착수할 것을 지시하여 타겟 뱅크에 대한 자동-리프레시 동작을 수행하도록 구성되고, 행 증분 카운터는 자동-리프레시 동작이 수행되는 때마다 증분되도록 구성되며, 행 증분 카운터는 소정의 수의 자동-리프레시 동작이 수행된 이후에 행 어드레스 카운터를 증분하도록 더 구성되고, 행 어드레스 카운터는 자동-리프레시 동작에 관한 타겟 뱅크의 행을 식별하는데 이용가능한 행 어드레스를 포함하며, 휘발성 메모리가 자기-리프레시 모드에 진입하는 경우, 휘발성 메모리는 엔트리 뱅크 어드레스 래치에 저장된 뱅크 어드레스를 이용하여 하나 이상의 자기-리프레시 동작을 수행하도록 더 구성되며, 휘발성 메모리는 각각의 자기-리프레시 동작 이후에 엔트리 뱅크 어드레스 래치를 증분하도록 더 구성되고, 휘발성 메모리가 자기-리프레시 모드를 종료하는 경우, 휘발성 메모리는 엔트리 뱅크 어드레스 래치의 현재 값을 액시트 뱅크 어드레스 래치에 로드하도록 구성되며, 액시트 뱅크 어드레스 래치의 값을 휘발성 메모리가 자기-리프레시 모드를 종료하기 전에 리프레시된 최종 뱅크에 대응한다.

&lt;22&gt;

본 발명의 또 다른 양태에서, 메모리 시스템은 엔트리 뱅크 어드레스 래치, 액시트 뱅크 어드레스 래치, 복수의 뱅크, 각각의 리프레시 행 카운터가 대응하는 뱅크와 관련되고 타겟 행 어드레스를 저장하도록 구성된 복수의 리프레시 행 카운터를 가지는 상기 휘발성 메모리, 및 휘발성 메모리에게 자동-리프레시 모드에 착수할 것을 지

시하도록 구성되고 타겟 뱅크 어드레스를 엔트리 뱅크 어드레스 래치에 로드하도록 더 구성된 메모리 제어기를 포함하며, 이 경우 휘발성 메모리는 자동-리프레시 모드에서 자동-리프레시 동작을 수행하도록 구성되며, 자동-리프레시 동작은 타겟 뱅크와 관련된 리프레시 행 카운터에 저장된 타겟 행 어드레스를 이용하여 타겟 뱅크 어드레스에 의해 식별되는 타겟 뱅크에 대해 수행되고, 메모리 제어기는 휘발성 메모리에게 자기-리프레시 모드에 착수할 것을 지시하도록 더 구성되며, 휘발성 메모리는 엔트리 뱅크 어드레스 래치를 충분함으로써 자기-리프레시 모드에서 복수의 뱅크를 통해 사이클링하여 현재의 타겟 뱅크 어드레스를 발생시키도록 더 구성되며, 각각의 자기-리프레시 동작 동안에, 휘발성 메모리는 관련된 리프레시 행 카운터에 저장된 타겟 행 어드레스에 기초하여 현재의 타겟 뱅크 어드레스에 의해 식별되는 뱅크를 리프레시하도록 더 구성되며, 휘발성 메모리가 자기-리프레시 모드를 종료하는 경우, 휘발성 메모리는 엔트리 뱅크 어드레스 래치에 저장된 값을 액시트 뱅크 어드레스 래치에 로드하도록 더 구성되며, 액시트 뱅크 어드레스 래치 내의 값은 휘발성 메모리가 자기-리프레시 모드를 종료하기 전에 리프레시된 최종 뱅크에 대응한다.

<23> 본 발명의 또 다른 양태에서, 복수의 뱅크를 가지는 휘발성 메모리에 대한 메모리 리프레시를 제어하는 방법은, 엔트리 뱅크 어드레스를 휘발성 메모리에 포워딩하는 단계, 엔트리 뱅크 어드레스에 기초하여 하나 이상의 자기-리프레시 동작을 수행하기 위해, 휘발성 메모리에게 자기-리프레시 모드에 착수할 것을 지시하는 단계로서, 엔트리 뱅크 어드레스는 하나 이상의 자기-리프레시 동작이 시작되어야 하는 타겟 뱅크에 대응하는, 상기 자기-리프레시 모드의 수행 지시 단계, 및 휘발성 메모리가 자기-리프레시 모드를 종료하는 경우에 액시트 뱅크 어드레스가 이용가능하도록 휘발성 메모리에 지시하는 단계로서, 액시트 뱅크 어드레스는 휘발성 메모리가 자기-리프레시 모드를 종료하기 전에 리프레시된 최종 뱅크에 대응하는, 상기 액시트 뱅크 어드레스의 이용 지시 단계를 포함한다.

<24> 본 발명의 또 다른 양태에서, 엔트리 뱅크 어드레스 래치, 액시트 뱅크 어드레스 래치 및 복수의 뱅크를 가지는 휘발성 메모리에 대한 메모리 리프레시를 제어하는 방법은, 엔트리 뱅크 어드레스를 엔트리 뱅크 어드레스 래치에 로드하는 단계, 휘발성 메모리에게 엔트리 뱅크 어드레스 래치로부터 엔트리 뱅크 어드레스를 검색할 것을 지시하는 단계, 엔트리 뱅크 어드레스에 기초하여 하나 이상의 자기-리프레시 동작을 수행하기 위해, 휘발성 메모리에게 자기-리프레시 모드에 착수할 것을 지시하는 단계로서, 엔트리 뱅크 어드레스는 하나 이상의 자기-리프레시 동작이 시작되어야 하는 타겟 뱅크에 대응하는, 상기 자기-리프레시 모드의 착수 지시 단계, 및 휘발성 메모리가 자기-리프레시 모드를 종료하는 경우에 액시트 뱅크 어드레스를 액시트 뱅크 어드레스 래치에 저장하는 단계로서, 액시트 뱅크 어드레스는 휘발성 메모리가 자기-리프레시 모드를 종료하기 이전에 리프레시된 최종 뱅크에 대응하는 상기 저장 단계를 포함한다.

<25> 본 발명의 다른 실시형태는 다음의 상세한 설명으로부터 당업자에게 명백할 것이며, 본 발명의 다양한 실시형태는 예시의 방식으로 도시 및 설명된다. 이해되는 바와 같이, 본 발명은 본 발명의 사상 및 범위를 벗어나지 않고, 다른 및 상이한 실시형태가 가능하고, 수개의 상세한 설명은 다양한 다른 점에서 변경이 가능하다. 따라서, 도면 및 상세한 설명은 본질적으로 예시적인 것으로 간주되고 제한적이지 않다.

<26> 본 발명의 양태는 첨부 도면에서 실시예에 의해 설명되며, 제한을 위한 것이 아니다.

#### 도면의 간단한 설명

<28> 도 1 은 본 명세서에 따른 무결절성 리프레시 방법을 실행하는데 이용될 수 있는 배열을 도시한 단순 블록 다이어그램이다.

<29> 도 2 는 본 명세서에 따른 무결절성 리프레시 방법을 실행하는데 이용될 수 있는 휘발성 메모리의 일 실시형태를 도시한 단순 블록 다이어그램이다.

도 3 은 본 명세서에 따른 리프레시 방법의 동작 동안에 다양한 신호를 설명하는 단순 타이밍 다이어그램이다.

<31> 도 4 는 본 명세서에 따른 무결절성 리프레시 방법을 실행하는데 이용될 수 있는 휘발성 메모리의 다른 실시형태를 도시한 단순 블록 다이어그램이다.

<32> 도 5 는 본 명세서에 따른 무결절성 리프레시 방법을 실행하는데 이용될 수 있는 휘발성 메모리의 또 다른 실시형태를 도시한 단순 블록 다이어그램이다.

<33> 도 6 은 본 명세서에 따른 무결절성 리프레시 방법을 실행하는데 이용될 수 있는 휘발성 메모리의 또 다른 실시형태를 도시한 단순 블록 다이어그램이다.

&lt;34&gt;

### 상세한 설명

&lt;35&gt;

첨부 도면과 관련하여 개시된 상세한 설명은 본 발명의 다양한 실시형태의 설명을 위한 것이며, 본 발명이 실행될 수도 있는 실시형태만을 나타내는 것으로 의도되지 않는다. 상세한 설명은 본 발명의 완전한 이해를 제공하는 목적을 위해 특정 상세한 설명을 포함한다. 그러나, 본 발명은 이들 특정 상세한 설명 없이 실행될 수도 있다는 것이 당업자에게 명백하다. 몇몇 예에서, 공자의 구조 및 컴포넌트는 본 발명의 개념을 불명료하게 하는 것을 회피하기 위해 블록 다이어그램 형태로 도시된다.

&lt;36&gt;

이하, 메모리 시스템의 다양한 실시형태를 설명한다. 일 실시형태에서, 메모리가 자기-리프레시 모드에 진입시에 제 1 자기-리프레시 동작 동안 특정 뱅크가 식별되도록 하는 무결절성 리프레시 방법이 제공되며, 또한, 그 리프레시 방법은 메모리가 자기-리프레시 모드를 종료하는 경우에 최종 리프레시된 뱅크에 관련된 정보가 메모리 제어기에 이동되도록 한다. 도 1 은 무결절성 리프레시 방법을 실행하는데 이용될 수 있는 배열 (100) 을 도시한다. 도 1 에 도시된 바와 같이, 무결절성 리프레시 방법은 휘발성 메모리 (110) 및 휘발성 메모리 (110) 를 제어하도록 구성된 메모리 제어기 (120) 로 실행될 수도 있다. 예를 들어, 휘발성 메모리 (110) 는 DRAM (dynamic random access memory), SDRAM (synchronous DRAM), 및 다양한 다른 타입의 DRAM 등일 수 있다. 여기에 제공된 명세서 및 교시에 기초하여, 당업자는 리프레시 동작이 요청되는 다른 타입의 메모리로 본 명세서를 어떻게 실행하는지를 알 것이다. 일 실시형태에서, 무결절성 리프레시 방법은 메모리 제어기 (120) 및 휘발성 메모리 (110) 를 제어하는 제어 로직 또는 프로세서 (미도시) 를 통해 이루어진다. 제어 로직 또는 프로세서는 독립적인 모듈로서 구현되거나, 메모리 제어기 (120) 와 같은 다른 컴포넌트의 일부로서 통합될 수도 있다.

&lt;37&gt;

도 2 는 무결절성 리프레시 방법을 실행하는데 이용될 수 있는 휘발성 메모리 (110) 의 일 실시형태를 도시한다. 또한, 휘발성 메모리 (110) 는 다수의 뱅크 (200), 엔트리 뱅크 어드레스 래치 (210) 및 액시트 뱅크 어드레스 래치 (220) 를 포함할 수도 있다. 무결절성 리프레시 방법은 자동-리프레시 사이클과 자기-리프레시 사이클 사이의 전이를 최적화한다. 메모리 제어기 (120) 가 휘발성 메모리 (110) 로 하여금 자기-리프레시 모드에 진입할 것을 명령하는 경우, 메모리 제어기 (120) 는 타겟 뱅크 어드레스를 이용함으로써 다음에 어떤 뱅크를 리프레시할지를 휘발성 메모리 (110) 에 신호를 보낸다. 타겟 뱅크 어드레스는 엔트리 뱅크 어드레스 래치 (210) 에 로드된다.

&lt;38&gt;

도 3 은, 사이클 "2"에서, 메모리의 제 1 자기-리프레시 사이클이 특정 뱅크, 즉, 뱅크 X상에서 수행되어야 한다는 것을 나타내는 자기-리프레시 모드에 휘발성 메모리 (110) 를 위치시키도록 하는 커랜드를 메모리 제어기 (120) 가 발행하는 것을 도시한다. 이후, 사이클 "m+1"에서, 휘발성 메모리 (110) 는 자기-리프레시 모드를 종료시키고 최종 리프레시 뱅크, 뱅크 Y의 뱅크 어드레스를 액시트 뱅크 어드레스 래치 (220) 에 로드한다. 메모리 제어기 (120) 는 액시트 뱅크 어드레스 래치 (220) 의 컨텐츠를 검색한 후, 이를 이용하여 휘발성 메모리 (110) 가 자기-리프레시 모드를 종료하기 전에 리프레시하는 최종 뱅크를 식별한다. 메모리 제어기 (120) 가 이러한 최종 뱅크가 언제 리프레시되었는지 알지 못하기 때문에, 메모리 제어기 (120) 는 휘발성 메모리 (110) 에게 실행가능한 빨리 리프레시의 듀 (due) 인 다음 뱅크, 뱅크 Y+1에서 자동-리프레시 동작을 수행할 것을 지시한다.

&lt;39&gt;

도 6 에 도시된 바와 같은 다른 실시형태에서, 휘발성 메모리 (110) 는 액시트 행 어드레스 래치 (230) 를 더 포함할 수도 있다. 자기-리프레시 모드 종료 이전에, 최종 리프레시 행의 행 어드레스는 액시트 행 어드레스 래치 (230) 에 로드될 수도 있다. 액시트 행 어드레스 래치 (230) 의 컨텐츠는 메모리 제어기 (120, 도 1 참조) 에 액세스 가능하다. 따라서, 휘발성 메모리 (110) 가 자기-리프레시 모드를 종료한 이후에, 최종 리프레시 행 및 뱅크의 행 어드레스 및 뱅크 어드레스에 관련된 정보는 액시트 행 어드레스 래치 (230) 및 액시트 뱅크 어드레스 래치 (220) 로부터 메모리 제어기 (120) 에 이용 가능하다. 이후, 메모리 제어기 (120) 는 이러한 정보를 미래 동작에 대해 이용할 수 있다.

&lt;40&gt;

여기에 제공된 명세서 및 교시에 기초하여, 당업자는 본 명세서에 개시된 개념에 따라서, 여기에 개시된 무결절성 리프레시 방법을 상이한 휘발성 메모리 배열에 어떻게 적용하는지를 알 것이다. 예를 들어, 무결절성 리프레시 방법은, 메모리 제어기로 하여금 자동-리프레시 모드의 메모리의 특정 뱅크에 리프레시를 지시하도록 제안하였던 2 개의 접근법과 관련하여 이용될 수 있다.

&lt;41&gt;

제 1 접근법에서, 메모리 제어기는 자동-리프레시 모드에서 자동-리프레시 동작을 위해 특정 뱅크에 대한 타겟 뱅크 어드레스를 휘발성 메모리에 제공할 수 있다. 도 4 는 제 1 접근법에서 지시된 리프레시 방법을 실행하는데 이용될 수 있는 휘발성 메모리 (110) 의 일 실시형태를 도시한다. 휘발성 메모리 (110) 는 행 어

드레스 카운터 (450) 및 행 증분 카운터 (420)를 가지는 리프레시 카운터 (400), 리프레시 트리거 (440), 엔트리 뱅크 어드레스 래치 (210) 및 다수의 뱅크 (410)를 더 포함할 수도 있다.

<42> 리프레시 트리거 (440)는 리프레시 카운터 (400) 및 엔트리 뱅크 어드레스 (210) 모두를 제어하는데 이용될 수도 있다. 리프레시 트리거 (440)는 자동-리프레시 모드 또는 자기-리프레시 모드 중에서 리프레시 동작을 개시하기 위해 휘발성 메모리 (110)에 의해 이용된다. 예를 들어, 메모리 제어기 (120, 도 1 참조)로부터 자동-리프레시 커맨드를 수신하는 경우에, 휘발성 메모리 (110)는 리프레시 트리거 (440)에게 자동-리프레시 동작을 개시할 것을 지시할 수도 있다. 예를 들어, 리프레시 트리거 (440)는 클록 또는 다른 타이밍 메커니즘일 수 있다.

<43> 행 어드레스 카운터 (450)는 리프레시될 행에 대한 타겟 행 어드레스를 저장하는데 이용될 수도 있다. 엔트리 뱅크 어드레스 래치 (210)는 리프레시될 행을 포함하는 특정 뱅크에 대한 타겟 뱅크 어드레스를 저장하는데 이용될 수도 있다.

<44> 메모리 제어기 (120)는, 다른 메모리 뱅크가 액세스 가능한 채로 유지되는 동안에 휘발성 메모리 (110)에게 그 휘발성 메모리 (110) 내의 특정 메모리 뱅크를 자동-리프레시할 것을 지시할 수도 있다. 메모리 제어기 (120)에 의해 개시되는 각각의 자동-리프레시 사이클의 경우, 뱅크 어드레스 (470)는 메모리 제어기 (120, 도 1 참조)에 의해 엔트리 뱅크 어드레스 래치 (210)에 로드될 수도 있다. 뱅크 어드레스 (470)는 리프레시를 위해 뱅크 (410) 중 하나를 선택하는데 이용된다. 메모리 제어기 (120, 도 1 참조)가 특정 뱅크가 리프레시되는 것을 인식하기 때문에, 다른 내부 뱅크에의 액세스는 인터럽트 없이 계속될 수도 있다. 이는 메모리 데이터 버스 이용을 최대화하는 경향이 있고, 불필요한 행 클로즈/오픈 시퀀스를 회피함으로써 전력 소비를 감소시키며, 전송 대기를 최소화하는 기능을 한다.

<45> 행 증분 카운터 (420)는 파워-업 또는 리셋 시에 개시될 수도 있다. 행 증분 카운터 (420)에 대한 초기화된 값은 임의적일 수 있다. 행 증분 카운터 (420)는 소정의 수의 자동-리프레시 동작이 수행된 이후에 행 어드레스 카운터 (450)가 증분되게 한다. 행 어드레스 카운터 (450)는 리프레시될 행에 대한 타겟 행 어드레스를 포함한다. 행 어드레스 카운터 (450)는 모든 뱅크 (410)에서의 동일한 행을 지적한다.

<46> 메모리 제어기 (120)는 자동-리프레시 커맨드를 휘발성 메모리 (110)에 발행하고 리프레시될 뱅크에 대한 뱅크 어드레스 (470)를 엔트리 뱅크 어드레스 래치 (210)에 로드함으로써 각 자동-리프레시 사이클을 개시한다. 자동-리프레시 커맨드를 수신하는 경우, 휘발성 메모리 (110)는 리프레시 트리거 (440)를 이용하여 각각의 자동-리프레시 동작을 개시한다. 리프레시 트리거 (440)는 행 증분 카운터 (420)가 증분하게 한다. 주기적으로, 행 어드레스 카운터 (450)는 행 증분 카운터 (420)로부터의 수행 신호 (460)에 의해 증분된다. 예를 들어, 행 증분 카운터 (420)는, 행 증분 카운터 (420)가 매 4 리프레시 클록 주기를 반복하고, 반대로, 행 어드레스 카운터 (450)가 매 4회째 자동-리프레시 동작 이후에 증분되는 것을 의미하는 2-비트 카운터 일 수도 있다. 이후, 행 어드레스 카운터 (450)에 저장된 타겟 행 어드레스 및 엔트리 뱅크 어드레스 래치 (210)에 저장된 뱅크 어드레스는 식별된 뱅크의 특정 행을 리프레시하는데 이용된다.

<47> 타겟 행 어드레스가 소정의 수의 자동-리프레시 동작에 기초하여 주기적으로 변경되고 메모리 제어기 (120)는 행 어드레스 카운터 (450)가 언제 증분될지 모르기 때문에, 메모리 제어기 (120, 도 1 참조)는 뱅크 (410)에 대하여 일관되고 순차적인 순서로 자동-리프레시 커맨드를 발행하며, 즉, 메모리 제어기 (120)는 각각의 자동-리프레시 사이클 동안 순차적인 방법으로 뱅크 (410)의 뱅크 어드레스를 엔트리 뱅크 어드레스 래치 (210)에 동시에 하나씩 로드한다. 결과적으로, 뱅크 (410)는 연속적인 자기-리프레시 사이클에서 순차적으로 리프레시된다. 예를 들어, 도 4에 도시된 4개의 뱅크의 경우, 리프레시 뱅크 순서는 "3-2-1-0-3-2-1-0"이거나 "0-1-2-3-0-1-2-3"일 수 있다. 한 순서가 다른 순서보다 장점이 있는 것은 아니다. 따라서, 어떤 것도 이용될 수 있다. 일 구현에서는, 시퀀스 "0-1-2-3-0-1-2-3..."가 이용될 수도 있다. 이하 설명하는 바와 같이, 이러한 시퀀스를 선택하는 것은 자기-리프레시 모드로의 전이를 단순화한다.

<48> 도 4에 도시된 바와 같은 휘발성 메모리 (110)의 동작은 다음과 같은 실시예에서 더 설명된다. 이러한 실시예에서, 행 증분 카운터 (420)의 초기값은 0으로 가정되고, 행 증분 카운터 (420)의 수행 신호 (460)는 매 4회째 자동-리프레시 동작 이후에 활성화된다. 메모리 제어기 (120, 도 1 참조)는 자동-리프레시 커맨드를 휘발성 메모리 (110)에 발행하고, 뱅크 (410a)에 대한 뱅크 어드레스 (470)를 엔트리 뱅크 어드레스 래치 (210)에 로드하여 제 1 자동-리프레시 사이클을 개시한다. 자동-리프레시 커맨드를 수신하는 경우, 휘발성 메모리 (110)는 리프레시 트리거 (440)에게 자동-리프레시 동작을 개시할 것을 지시한다. 자동-리프레시 동작 동안에, 행 증분 카운터 (420)는 1의 값으로 증분된다. 이 예에서, 수행 신호 (460)는 활성화되지

않고 행 어드레스 카운터 (450) 는 충분되지 않는다. 이후, 행 어드레스 카운터 (450) 및 엔트리 뱅크 어드레스 래치 (210) 에 현재 저장된 타겟 행 어드레스 및 뱅크 어드레스는 뱅크 (410a) 의 특정 행을 리프레시하는데 이용된다.

<49> 후속하여, 메모리 제어기 (120, 도 1 참조) 는 다른 자동-리프레시 커맨드를 휘발성 메모리 (110) 에 발행하고, 뱅크 (410b) 에 대한 뱅크 어드레스 (470) 를 엔트리 뱅크 어드레스 래치 (210) 에 로드하여 제 2 자동-리프레시 사이클을 개시한다. 유사하게, 제 2 자동-리프레시 커맨드를 수신하는 경우, 휘발성 메모리 (110) 는 리프레시 트리거 (440) 에게 다른 자동-리프레시 동작을 개시할 것을 지시한다. 이러한 자동-리프레시 동작 동안에, 행 충분 카운터 (420) 는 2의 값으로 충분된다. 다시, 수행 신호 (460) 는 활성화되지 않고, 행 어드레스 카운터 (450) 는 충분되지 않는다. 이후, 행 어드레스 카운터 (450) 및 엔트리 뱅크 어드레스 래치 (210) 에 현재 저장된 타겟 행 어드레스 및 뱅크 어드레스는 뱅크 (410b) 의 특정 행을 리프레시하는데 이용된다. 행 어드레스 카운터 (450) 가 충분되지 않기 때문에, 이러한 자동-리프레시 동작에 이용된 타겟 행 어드레스는 최종 자동-리프레시 동작에 이용된 것과 동일하다. 그러나, 이러한 자동-리프레시 동작의 경우, 엔트리 뱅크 어드레스 래치 (210) 에 저장된 뱅크 어드레스는 상이한 뱅크 (410b) 가 식별된다는 점에서 상이하다. 결과적으로, (뱅크 (410a) 와 상반되게) 상이한 뱅크 (410b) 의 동일한 행이 리프레시된다.

<50> 유사하게, 3회째 및 4회째 자동-리프레시 사이클의 경우, (행 충분 카운터 (420) 의 수행 신호 (460) 가 활성화되지 않기 때문에) 행 어드레스 카운터 (450) 는 충분되지 않는다. 결과적으로, 상이한 뱅크 (410c 및 410d) 의 동일한 행은 3회째 및 4회째 자동-리프레시 사이클 동안에 리프레시된다.

<51> 5회째 자동-리프레시 사이클의 경우, 메모리 제어기 (120, 도 1 참조) 에 의해 엔트리 뱅크 어드레스 래치 (210) 에 로드된 뱅크 어드레스 (470) 는 뱅크 (410a) 를 다시 지적한다. 또한, 4 개의 자동-리프레시 동작이 이미 수행되었기 때문에, 행 충분 카운터 (420) 의 수행 신호 (460) 는 현재 활성화된다. 차례로, 수행 신호 (460) 는 행 어드레스 카운터 (450) 를 충분함으로써, 리프레시를 위해 타겟 행 어드레스를 새로운 행으로 이동시킨다. 이후, 이러한 동일한 새로운 행은 연속적인 자동-리프레시 사이클 동안 모든 4 개의 뱅크 (410) 에 대해 리프레시된다.

<52> 휘발성 메모리 (110) 가 자기-리프레시 모드로 명령되는 경우, 휘발성 메모리 (110) 는, 메모리 제어기 (120) 가 휘발성 메모리 (110) 에 최종 자동-리프레시 커맨드를 발행하는 것을 중단하는 시점으로부터 엔트리 뱅크 어드레스 래치 (210) 에 현재 저장된 뱅크 어드레스를 이용하여 내부적으로 리프레시를 발생시키는 것을 시작한다. 이전에 설명한 바와 같이, 메모리 제어기 (120) 는 순차적인 방법으로 자동-리프레시 커맨드를 발행하기 때문에, 이것이 가능해진다.

<53> 후속하여, 자기-리프레시 모드의 각각의 리프레시 다음에, 엔트리 뱅크 어드레스 래치 (210) 의 출력이 충분된다. 사실상, 엔트리 뱅크 어드레스 래치 (210) 는 카운터가 된다. 따라서, 자기-리프레시 모드에 있는 경우, 엔트리 뱅크 어드레스 래치 (210) 는 주기적으로 충분되고 뱅크 (410) 를 통해 사이클링하는데 이용되고, 또한, 행 충분 카운터 (420) 는 주기적으로 충분되어, 차례로, 리프레시될 행에 대한 타겟 행 어드레스를 포함하는 행 어드레스 카운터 (450) 를 충분함으로써 행이 뱅크 (410) 에서 사이클링되도록 한다.

<54> 도 4 에 도시된 바와 같은 휘발성 메모리 (110) 는 상술한 무결절성 리프레시 방법을 이루는 액시트 뱅크 어드레스 래치 (220) 를 더 포함할 수도 있다. 자기-리프레시 모드에서 리프레시된 최종 뱅크에 대한 뱅크 어드레스는 휘발성 메모리 (110) 에 의해 액시트 뱅크 어드레스 래치 (220) 에 로드되고, 메모리 제어기 (120) 에 이용가능하다. 자기-리프레시 모드에서 리프레시된 최종 뱅크의 뱅크 어드레스가 메모리 제어기 (120) 에 지금 이용가능하기 때문에, 메모리 제어기 (120) 는 자기-리프레시 모드가 중단된 시점을 포착할 수 있고, 휘발성 메모리 (110) 에서의 리프레시 특정 위치에 자동-리프레시 커맨드를 발행할 수 있다. 따라서, 휘발성 메모리 (110) 는 자기-리프레시 모드의 종료 시에 행 충분 카운터 (420) 를 리셋하도록 요청되지 않고, 휘발성 메모리 (110) 도 자기-리프레시 모드를 종료한 이후에 하나의 (1) 평균 리프레시 주기 ( $t_{REFI}$ ) 내에 다수의 자동-리프레시를 발행하도록 요청되지 않는다.

<55> 다른 실시형태에서, 액시트 행 어드레스 래치 (230, 도 6 참조) 는 도 4 에 도시된 바와 같은 휘발성 메모리 (110) 로 이용될 수도 있다. 또한, 휘발성 메모리 (110) 는 행 어드레스 카운터 (450) 로부터의 행 어드레스를 액시트 행 어드레스 래치 (230) 에 로드할 수도 있다. 행 어드레스는 휘발성 메모리 (110) 가 자기-리프레시 모드를 종료하기 이전에 리프레시된 최종 행을 나타낸다. 액시트 뱅크 어드레스 래치 (220) 및 액시트 행 어드레스 래치 (230) 의 컨텐츠는 메모리 제어기 (120, 도 1 참조) 에 이용가능하다. 결과적으로, 메

모리 제어기 (120)는 최종 리프레시된 뱅크 및 행에 관련된 정보를 미래 동작에 대해 이용할 수도 있다.

<56> 제 2 접근법에서, 메모리 제어기는 자동-리프레시 모드에서 자동-리프레시 동작을 위해 휘발성 메모리에 임의의 순서로 리프레시를 발행할 수 있고, 휘발성 메모리의 몇몇 뱅크는 다른 것보다 먼저 리프레시될 수 있다.

<57> 도 5는 제 2 접근법하의 독립적인 리프레시 방법을 실행하는데 이용될 수 있는 휘발성 메모리 (110)의 일 실시 형태를 도시한다. 휘발성 메모리 (110)는 엔트리 뱅크 어드레스 래치 (210), 리프레시 트리거 (530), 다수의 리프레시 행 카운터 (510a~d) 및 다수의 뱅크 (520a~d)를 더 포함할 수도 있다. 엔트리 뱅크 어드레스 래치 (210)는 리프레시될 특정 뱅크에 대한 타겟 뱅크 어드레스를 저장하는데 이용된다. 뱅크 (520a~d)는 대응하는 리프레시 행 카운터 (510a~d)와 각각 관련된다. 리프레시 행 카운터 (510a~d)에 대한 초기값은 파워-업 또는 리셋시에 초기화된다. 예를 들어, 리프레시 행 카운터 (510a)는 뱅크 (520a)와 관련된다.

리프레시 행 카운터 (510a~d)는 각각의 뱅크 (520a~d)에서 리프레시되어야 하는 행에 대한 타겟 행 어드레스를 유지하는데 이용된다. 리프레시 행 카운터 (510a~d)에 저장된 타겟 행 어드레스는 서로 독립적이다.

리프레시 트리거 (530)는 이하 더 설명하는 바와 같이 자기-리프레시 모드 동안에 엔트리 뱅크 어드레스 래치 (210)를 제어하는데 이용된다. 예를 들어, 리프레시 트리거 (530)는 클록 또는 다른 타이밍 메커니즘 일 수 있다.

<58> 메모리 제어기 (120, 도 1 참조)는 휘발성 메모리 (110)에게 자동-리프레시 모드에 진입하고, (뱅크 (520b~d)와 같은) 다른 뱅크가 액세스 가능한 채로 유지하는 동안에 휘발성 메모리 (110) 내의 특정 뱅크, 예를 들어, 뱅크 520a를 자동-리프레시할 것을 지시할 수 있다. 자동-리프레시 사이클을 개시하기 위해, 메모리 제어기 (120, 도 1 참조)는 자동-리프레시 커맨드를 휘발성 메모리 (110)에 발행하고, 뱅크 어드레스 (540)를 엔트리 뱅크 어드레스 래치 (210)에 로드한다. 뱅크 어드레스 (540)는 뱅크 (520a~d) 중에 리프레시의 타겟이 되는 하나를 식별하는데 이용된다. 또한, 뱅크 어드레스 (540)는 리프레시될 뱅크와 관련된 대응하는 리프레시 행 카운터를 식별하는데 이용된다. 따라서, 엔트리 뱅크 어드레스 래치 (210)에 저장된 뱅크 어드레스 및 대응하는 리프레시 행 카운터에 저장된 타겟 행 어드레스로, 특정 뱅크의 특정 행이 리프레시를 위해 식별될 수 있다. 리프레시 동작이 수행된 이후에, 방금 리프레시된 뱅크와 관련된 리프레시 행 카운터는 제어로직 (미도시)에 의해 증분된다. 메모리 제어기 (120)가 특정 뱅크가 리프레시된다고 인식하기 때문에, 다른 뱅크에의 액세스는 인터럽트 없이 계속될 수 있다. 이는 메모리 데이터 버스 이용을 최대화하고, 불필요한 행 클로즈/오픈 시퀀스를 회피함으로써 전력 소비를 감소시키며, 전송 대기를 최소화하는 기능을 한다.

<59> 또한, 뱅크 (520a~d)가 자신의 리프레시 행 카운터 (510a~d)를 가지기 때문에, 메모리 제어기 (120)는 특정 뱅크에 독립적인 리프레시를 포스트하는 유연성을 가진다. 즉, 뱅크 (520a~d)는 서로 독립적으로 리프레시 될 수 있다. 예를 들어, 일례에서, 메모리 제어기 (120)는 뱅크 (520a)를 자동-리프레시하기 위해 휘발성 메모리 (110)에 자동-리프레시 커맨드를 발행할 수도 있다. 이후, 뱅크 (520a)의 하나 이상의 행은 뱅크 (520a)와 관련된 리프레시 행 카운터 (510a)에 저장된 타겟 행 어드레스를 시작으로 리프레시된다. 다른 예에서, 메모리 제어기 (120)는 상이한 뱅크, 뱅크 520c를 자동-리프레시하기 위해 자동-리프레시 커맨드를 휘발성 메모리 (110)에 발행할 수도 있다. 이후, 뱅크 (520c)의 하나 이상의 행은 뱅크 (520c)와 관련된 리프레시 행 카운터 (510c)에 저장된 타겟 행 어드레스를 시작으로 리프레시된다. 리프레시 행 카운터 (510a 및 510c)에 저장된 타겟 행 어드레스는 각각 동일 또는 상이할 수 있다.

<60> 각 뱅크가 독립적으로 리프레시되도록 함으로써, 메모리 제어기 (120)는 자동-리프레시 커맨드(들)을 휘발성 메모리 (110)에 발행하기 위해 소정의 뱅크가 아이들인 시간 주기를 이용할 수 있어서, 선행하는 리프레시(들)이 두 이전의 스케줄보다 앞서 아이들 뱅크에 대해 수행될 수 있도록 한다. 결과적으로, 뱅크 (520a~d)가 활성인 경우에 덜 자주 스케줄링된 리프레시(들)이 수행되기 때문에 뱅크 (520a~d)의 이용가능성은 증가된다. 일 실시예에서, 뱅크 (520a)가 확장된 주기 동안 아이들이면, 추가적으로 선행하는 리프레시(들)이 뱅크 (520a) 상에서 수행될 수 있고, 후속하여, 뱅크 (520a)에 대한 스케줄링된 리프레시(들)이 뱅크 (520a)가 활성인 동안에 스kip될 수 있다. 다른 실시예에서, 뱅크 (520b)가 더 짧은 주기 동안 아이들이면, 메모리 제어기 (120)는 더 적은 선행하는 리프레시(들)을 개시하도록 선택할 수도 있다.

<61> 스케줄 이전에 리프레시하는 능력을 가지는 것은 뱅크 (520a~d)가 높은 데이터 트래픽의 주기 동안에 더 효율적으로 동작하도록 한다. 예를 들어, 소정의 뱅크가 스케줄 이전의 n 개의 리프레시가면, 메모리 제어기 (120)는 n 개의 정기적으로 스케줄링된 리프레시를 그 뱅크에 발행하는 오버헤드를 회피할 수 있지만, 대신에 메모리 액세스 동작을 계속 수행할 수 있다. 이는 메모리 데이터 버스 이용을 최대화하고, 불필요한 행 클로즈/오픈 시퀀스를 회피함으로써 전력 소비를 감소시키고, 전송 대기를 최소화하는 기능을 한다.

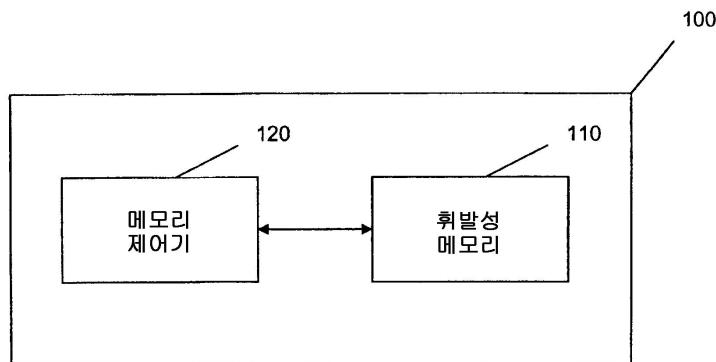
- <62> 또한, 메모리 제어기 (120)는 휘발성 메모리 (110)에게 자기-리프레시 모드에 진입할 것을 지시할 수도 있다. 자기-리프레시 모드에 진입하는 경우, 휘발성 메모리 (110)는 엔트리 뱅크 어드레스 래치 (210)에 저장된 가장 최근 뱅크 어드레스로 시작한다. 가장 최근 뱅크 어드레스는 일반적으로 가장 최종 자동-리프레시 동작에 이용된 뱅크 어드레스이다. 엔트리 뱅크 어드레스 래치 (210)에 현재 저장된 뱅크 어드레스를 이용함으로써, 휘발성 메모리 (110)는 최종 자동-리프레시 동작 이후에 메모리 제어기 (120)가 중단하는 시점을 포착할 수 있다.
- <63> 각각의 자기-리프레시 동작 동안에, 리프레시될 타겟 뱅크는 엔트리 뱅크 어드레스 래치 (210)에 현재 저장된 뱅크 어드레스에 의해 식별된다. 리프레시되어야 하는 타겟 뱅크의 특정 행은 타겟 뱅크와 관련된 리프레시 행 카운터에 현재 저장된 타겟 행 어드레스에 의해 더 식별된다. 따라서, 리프레시 동작은 타겟 뱅크의 특정 행에서 수행될 수 있다.
- <64> 또한, 각각의 자기-리프레시 동작 동안에, 엔트리 뱅크 어드레스 래치 (210)는 리프레시 트리거 (530)에 의해 증분된다. 엔트리 뱅크 어드레스 래치 (210)를 증분함으로써, 뱅크 어드레스는 업데이트되어, 리프레시될 다음 타겟 뱅크를 식별한다. 또한, 방금 리프레시된 뱅크와 관련된 리프레시 행 카운터도 제어 로직 (미도시)에 의해 증분되어, 업데이트된 타겟 행 어드레스를 그 뱅크에 제공하며, 업데이트된 타겟 행 어드레스는 뱅크가 리프레시되어야 하는 다음 시간에 이용된다.
- <65> 이후, 다음 자기-리프레시 동작이 업데이트된 뱅크 어드레스에 의해 식별된 뱅크와 관련된 대응하는 리프레시 행 카운터 및 엔트리 뱅크 어드레스 래치 (210)에서 업데이트된 뱅크 어드레스를 이용하여 수행된다.
- <66> 결과적으로, 휘발성 메모리 (110)가 자기-리프레시 모드에 진입하는 경우, 뱅크 (520a~d)는 대응하는 리프레시 행 카운터 (510a~d)를 이용하여 사이클링된다.
- <67> 다른 방법으로는, 휘발성 메모리 (110)가 자기-리프레시 모드에 진입하는 경우, 모든 뱅크 (520a~d)는 대응하는 리프레시 행 카운터 (510a~d)에 각각 저장된 타겟 행 어드레스를 이용하여 동시에 리프레시될 수 있다. 모든 뱅크 (520a~d)의 동시 리프레시 및 리프레시 행 카운터 (510a~d)의 관련 동작은 제어 로직 (미도시)을 통해 달성될 수 있다. 여기에 제공된 명세서 및 교시에 기초하여, 당업자는 본 명세서에 개시된 개념에 따라 어떻게 동시 리프레시를 이루는지를 알 것이다.
- <68> 도 5에 도시된 바와 같은 휘발성 메모리 (110)는 상술한 무결절성 리프레시 방법을 이루는 액시트 뱅크 어드레스 래치 (220)를 더 포함할 수도 있다. 자기-리프레시 모드에의 진입 시에, 자기-리프레시 사이클이 시작되어야 하는 타겟 뱅크에 대한 뱅크 어드레스는 엔트리 뱅크 어드레스 래치 (210)에 로드된다. 자기-리프레시 모드의 종료 시에, 자기-리프레시 모드에서 리프레시되는 최종 뱅크에 대한 뱅크 어드레스는 휘발성 메모리 (110)에 의해 액시트 뱅크 어드레스 래치 (220)에 로드되고, 메모리 제어기 (120)에 이용가능하다. 엔트리 및 액시트 뱅크 어드레스 래치 (210 및 220)를 가짐으로써, 메모리 제어기 (120)는 휘발성 메모리 (110)에게 자기-리프레시 모드 진입 이전에 추가적인 리프레시를 수행할 것을 지시하는 것이 더 이상 요청되지 않는다. 메모리 제어기 (120) 및 휘발성 메모리 (110)를 동기화하는 무결절성 리프레시 방법을 이용하지 않고, 자기-리프레시 모드에 진입 및 종료하는 경우에 각각의 뱅크 (520)에 대해 선행하는 리프레시가 필요하기 때문에, 휘발성 메모리 (110)가 자기-리프레시 모드에 진입하기 이전에 추가적으로 선행하는 리프레시가 각 뱅크에 필요할 것이다.
- <69> 다른 실시형태에서, 액시트 행 어드레스 래치 (230, 도 6 참조)는 도 5에 도시된 바와 같은 휘발성 메모리 (110)와 함께 이용될 수도 있다. 휘발성 메모리 (110)는 리프레시 행 카운터 (510) 중 하나로부터의 행 어드레스를 액시트 행 어드레스 래치 (230)에 더 로드할 수도 있다. 행 어드레스는 휘발성 메모리 (110)가 자기-리프레시 모드를 종료하기 이전에 리프레시된 최종 행을 나타낸다. 액시트 뱅크 어드레스 래치 (220) 및 액시트 행 어드레스 래치 (230)의 컨텐츠는 메모리 제어기 (120, 도 1 참조)에 이용가능하다. 결과적으로, 메모리 제어기 (120)는 최종 리프레시된 뱅크 및 행에 관련된 정보를 미래 동작에 대해 이용할 수도 있다.
- <70> 여기에 개시된 실시형태와 관련하여 설명된 방법 또는 알고리즘은 제어 로직, 프로그래밍 명령, 또는 다른 방향의 형태로, 하드웨어, 프로세서에 의해 실행 가능한 소프트웨어 모듈, 또는 이 둘의 조합에 직접 수록될 수도 있다. 소프트웨어 모듈은 RAM 메모리, 플래시 메모리, ROM 메모리, EPROM 메모리, EEPROM 메모리, 레지스터, 하드 디스크, 착탈식 디스크, CD-ROM, 또는 당업계에 알려진 임의의 다른 형태의 저장 매체 내에 상주할 수도 있다. 저장 매체는 프로세서가 저장 매체로부터/로 정보를 판독/기입할 수 있도록 프로세서에 결합될 수도

있다. 다른 방법으로는, 저장 매체는 프로세서에 필수 불가결한 것일 수도 있다.

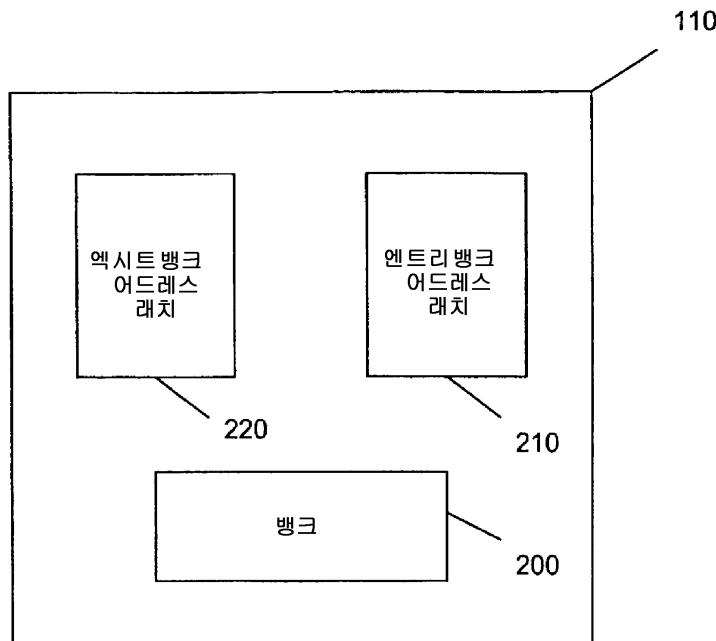
<71> 개시된 실시형태의 이전의 설명은 당업자가 본 발명을 제조 또는 이용할 수 있도록 제공된다. 이를 실시형태의 다른 변형은 당업자에게 명백할 것이며, 여기에 정의된 일반 원리는 본 발명의 범위 및 사상을 벗어나지 않고 다른 실시형태에 적용가능할 수도 있다. 따라서, 본 발명은 여기에 도시된 실시형태에 제한되려는 의도는 아니며, 청구항에 일관된 전법위에 따른 것이고, 단수인 엘리먼트에 대한 참조는 명확하게 그렇게 명시되지 않으면, "하나 및 오직 하나"를 의미하는 것이 아니라, "하나 이상"을 의미하는 것으로 의도된다. 당업자에게 알려지고 또는 이후에 알려지게 될 본 명세서를 통해 설명된 다양한 실시형태의 엘리먼트에 대한 모든 구조 및 기능적인 균등률은 참조로서 여기에 통합되고, 청구항에 포함되도록 의도된다. 또한, 여기에 설명된 어느 것도 본 명세서가 청구항에 명백하게 기술하였는지 여부와 상관 없이 공중에 전용하도록 의도된다. 어떠한 청구항 엘리먼트도 방법 청구항의 경우에 "하는 수단"이라는 문구를 이용하여 명시적으로 기술되거나, "하는 단계"라는 문구를 이용하여 기술되면, 35 U.S.C. § 112, 6번째 문단 조항하에서 구성된다.

## 도면

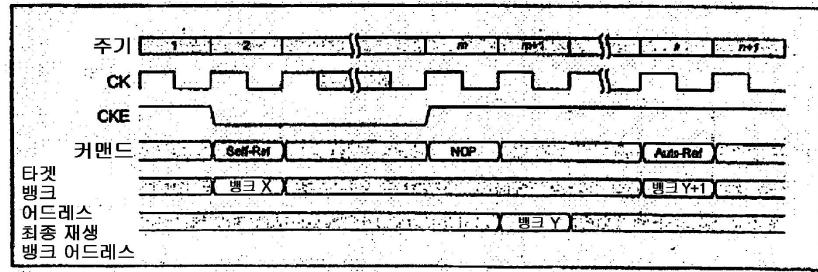
### 도면1



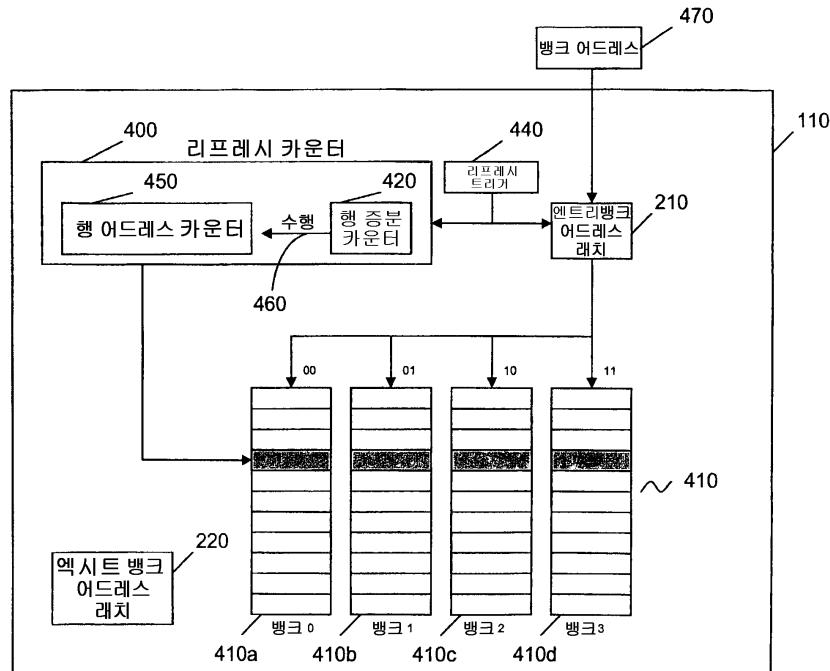
### 도면2



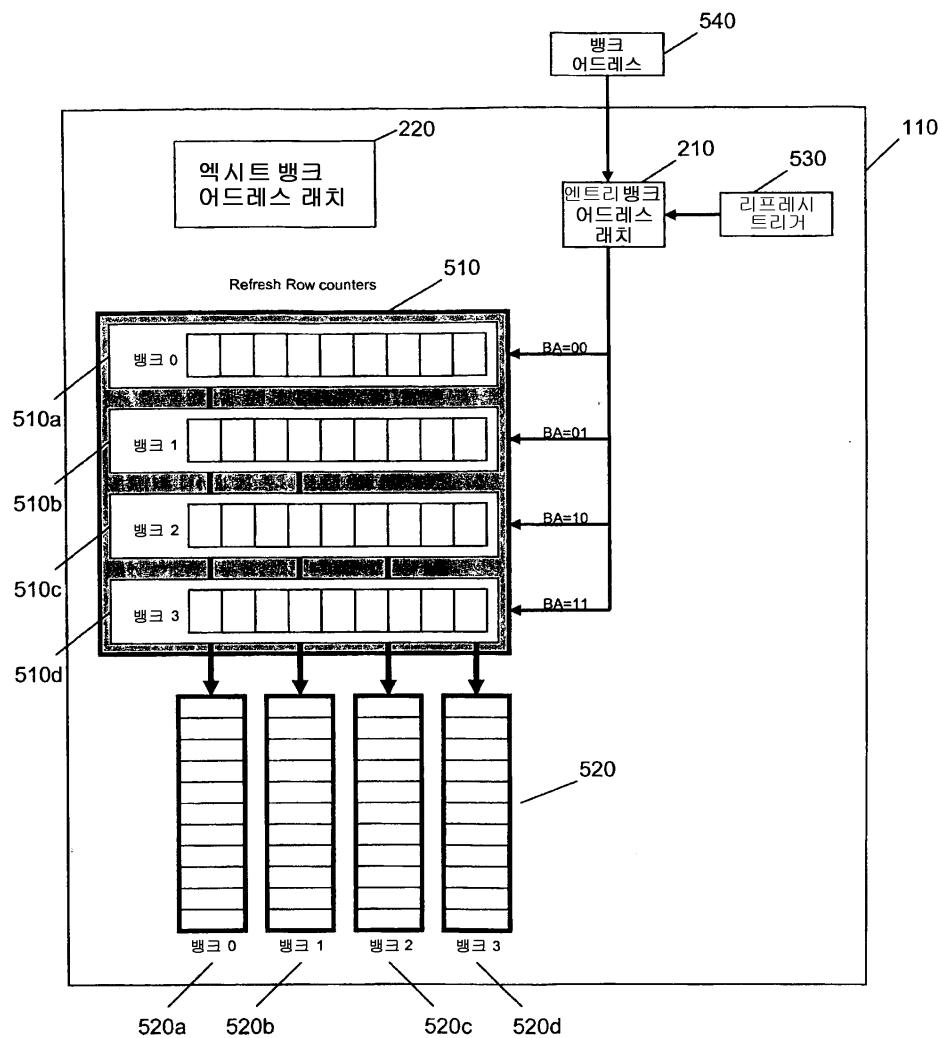
## 도면3



도면4



도면5



도면6

