

(12) 특허협력조약에 의하여 공개된 국제출원

(19) 세계지식재산권기구
국제사무국

(43) 국제공개일
2014년 11월 20일 (20.11.2014)



(10) 국제공개번호
WO 2014/185707 A2

- (51) 국제특허분류: 미분류
(21) 국제출원번호: PCT/KR2014/004324
(22) 국제출원일: 2014년 5월 14일 (14.05.2014)
(25) 출원언어: 한국어
(26) 공개언어: 한국어
(30) 우선권정보: 10-2013-0054497 2013년 5월 14일 (14.05.2013) KR
(71) 출원인: 고려대학교 산학협력단 (KOREA UNIVERSITY RESEARCH AND BUSINESS FOUNDATION) [KR/KR]; 136-701 서울시 성북구 안암로 145, 고려대학교 (안암동 5가), Seoul (KR).
(72) 발명자: 박종선 (PARK, Jong Sun); 136-797 서울시 성북구 인촌로 17가길 64, 106동 405호 (안암동 1가, 래미안안암아파트), Seoul (KR). 최웅 (CHOI, Woong); 422-707 경기도 부천시 소사구 소사로 170번길 81, 108동 607호 (소사본동, 한신아파트), Gyeonggi-do (KR).

(74) 대리인: 특허법인 엠에이피에스 (MAPS INTELLECTUAL PROPERTY LAW FIRM); 137-810 서울시 서초구 사평대로 343, 4층(반포동, 제일약품빌딩), Seoul (KR).

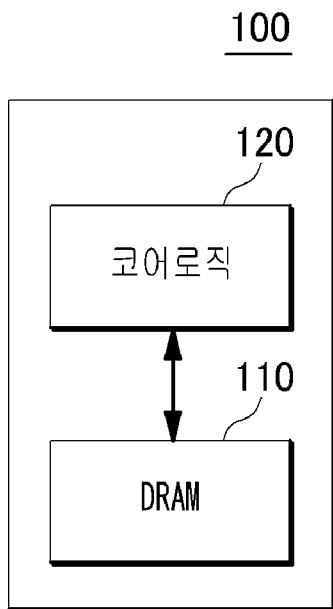
(81) 지정국 (별도의 표시가 없는 한, 가능한 모든 종류의 국내 권리의 보호를 위하여): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

(84) 지정국 (별도의 표시가 없는 한, 가능한 모든 종류의 역내 권리의 보호를 위하여): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), 유라시아 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 유럽 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE,

[다음 쪽 계속]

(54) Title: DIGITAL SIGNAL PROCESSING PROCESSOR AND DATA INPUT/OUTPUT METHOD

(54) 발명의 명칭: 디지털 신호처리 프로세서 및 데이터 입출력 방법



110 ... DRAM
120 ... Core logic

(57) Abstract: A digital signal processing processor according to the present invention comprises: a DRAM including multiple memory cells for storing data in a parasitic capacitor; and a core logic for performing a data recording operation, a data read operation, or a data update operation on the DRAM on the basis of a preset digital signal processing algorithm, wherein, after recording input data in a memory cell of the DRAM, the core logic reads the recorded input data and outputs the recorded input data to the outside before elapse of a retention time period, or stores the recorded input data in another memory cell of the DRAM.

(57) 요약서: 본 발명에 따른 디지털 신호처리 프로세서는 기생 커패시터에 데이터를 저장하는 복수의 메모리 셀을 포함하는 DRAM 및 미리 설정된 디지털 신호처리 알고리즘에 기초하여 상기 DRAM에 대하여 데이터 기록, 독출 또는 갱신 동작을 수행하는 코어 로직을 포함하되, 상기 코어 로직은 상기 DRAM의 메모리 셀에 대하여 입력 데이터를 기록한 후, 리텐션 시간의 경과 전에 기록된 상기 입력 데이터를 독출하여 외부로 출력하거나, 상기 DRAM의 다른 메모리 셀에 저장한다.



ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

공개:

— 국제조사보고서 없이 공개하며 보고서 접수 후 이를 별도 공개함 (규칙 48.2(g))

명세서

발명의 명칭: 디지털 신호처리 프로세서 및 데이터 입출력 방법 기술분야

- [1] 본 발명은 디지털 신호처리 프로세서 및 데이터 입출력 방법에 관한 것이다.

배경기술

- [2] 일반적인 디지털 신호처리 프로세서 모듈(Digital Signal Processor, DSP)은 Viterbi(비터비) 디코더, FFT(Fast Fourier Transform) LDPC(Low-density Parity-check Codes) 등 특화된 신호처리 알고리즘을 수행하며, 일반적으로 알고리즘을 수행하기 위하여 내장형 메모리가 사용된다. 이때, 내장형 메모리는 로직 프로세서 즉, 일반적인 공정으로 구현이 가능한 SRAM이 주로 사용된다.
- [3] 한편, DSP에 사용되는 내장 메모리는 읽기 및 쓰기의 액세스 형태가 알고리즘에 의해 정해진다는 특징이 있다. 이와 같은 알고리즘 분석을 통하여 정확한 읽기 및 쓰기의 타이밍을 예측할 수 있다. 도 1 내지 도 2를 참조하여 DSP모듈의 메모리 액세스 형태를 설명하면 다음과 같다.
- [4] 도 1은 비터비 디코더의 메모리 액세스 형태의 일 예시를 도시한 도면이며, 도 2는 FFT의 메모리 액세스 형태의 일 예시를 도시한 도면이다
- [5] DSP 모듈 중 비터비 디코더는 도 1과 같이 메모리 액세스 형태가 일정한 규칙을 갖고 있으며, 쓰기 동작 후 마지막 읽기 동작까지 일정한 주기를 갖는다. 즉, 데이터의 입출력이 완료될 때까지 소요되는 시간인 384 cycle주기로 메모리가 액세스 형태가 반복된다. 이와 같이 비터비 디코더는 일정한 메모리 액세스 형태를 갖는다.
- [6] 도 2에 도시된 FFT는 버터플라이(Butterfly) 구조에 따라 규칙적으로 메모리의 읽기 및 쓰기 동작이 수행된다. 쓰기 동작 후 마지막 읽기 동작까지 소요되는 시간 중 가장 긴 시간은 한 스테이지의 cycle 수 보다 항상 작은 값을 가지며, 도 2에서는 64 cycle에 해당한다. 이밖에도, LDPC 역시 메모리의 액세스 형태가 알고리즘에 의하여 일정한 주기를 갖는다.
- [7] 이와 같이 일정한 규칙을 가지고 동작하는 DSP 모듈에서 SRAM을 사용할 경우 리프레쉬 동작이 필요하지 않으나, SRAM의 메모리 셀은 DRAM에 비하여 크기가 수배에 해당하여 집적회로를 구현하는데 어려움이 있다. 반면, DRAM을 사용할 경우 셀에 저장된 전하가 계속적으로 누설되므로 리프레쉬 동작이 추가로 필요하다. 그러나, 리프레쉬 동작을 수행할 경우 전력소모가 많다는 문제점이 있다. 따라서, 본 발명에서는 DSP 모듈에서 DRAM을 사용하면서도 리프레쉬 동작을 생략할 수 있는 구조를 제안하고자 한다.
- [8] 이와 관련하여, 한국공개특허 제10-2006-0097565호 (발명의 명칭: 다이내믹 랜덤 액세스 메모리 장치 및 그 검사방법)는 RAM에 있어서, 데이터 유지시간이 랜덤 · 텔레그래프 · 노이즈적으로 변화하여 리텐션(retention) 불량이 되는, 소위

가변 유지시간(Variable Retention Time)(VRT) 불량을 스크리닝할 수 있는 기술을 개시하고 있다.

- [9] 또한, 한국등록특허 제0505832호(발명의 명칭: 셀 누설 모니터링에 기초한 동적 DRAM 리프레쉬율 조정)는 칩이 자체-리프레쉬 사이클로 돌입될 때 미리 충전되도록(precharged) DRAM 누설모니터를 설계하며, 누설모니터셀을 측정하고, 셀에 남아있는 전하레벨정보를 다음 리프레쉬 사이클에 대한 리프레쉬율을 결정할 수 있는 디지털 출력 신호로 변환할 수 있는 기술을 개시하고 있다.

발명의 상세한 설명

기술적 과제

- [10] 본 발명은 전술한 종래 기술의 문제점을 해결하기 위한 것으로서, 본 발명의 일부 실시예는 DRAM의 메모리 셀에 대하여 입력 데이터를 기록한 후, 리텐션 시간이 경과하기 전에 데이터를 독출함으로써 리프레쉬 동작을 생략할 수 있는 디지털 신호처리 프로세서 및 데이터 디지털 신호처리 프로세서에서의 데이터 입출력 방법을 제공하는 것을 그 목적으로 한다.

과제 해결 수단

- [11] 상술한 기술적 과제를 달성하기 위한 기술적 수단으로서, 본 발명의 제 1 측면에 따른 디지털 신호처리 프로세서는 기생 커패시터에 데이터를 저장하는 복수의 메모리 셀을 포함하는 DRAM 및 미리 설정된 디지털 신호처리 알고리즘에 기초하여 상기 DRAM에 대하여 데이터 기록, 독출 또는 갱신 동작을 수행하는 코어 로직을 포함하되, 상기 코어 로직은 상기 DRAM의 메모리 셀에 대하여 입력 데이터를 기록한 후, 리텐션 시간의 경과 전에 기록된 상기 입력 데이터를 독출하여 외부로 출력하거나, 상기 DRAM의 다른 메모리 셀에 저장한다.
- [12] 또한, 본 발명의 제 2 측면에 따른 디지털 신호처리 프로세서에서의 데이터 입출력 방법은 기생 커패시터에 데이터를 저장하는 복수의 메모리 셀을 포함하는 DRAM에 대하여 입력 데이터를 기록하는 단계 및 상기 입력 데이터의 기록 후 상기 DRAM의 리텐션 시간 경과 전에 상기 기록된 입력 데이터를 독출하는 단계를 포함한다.

발명의 효과

- [13] 전술한 본 발명의 과제 해결 수단에 의하면, 리텐션 시간이 경과하기 전에 입력된 데이터를 독출하므로 리프레쉬 동작을 생략할 수 있다는 효과가 있다.
- [14] 이와 더불어, 디지털 신호처리 프로세서의 DRAM은 SRAM에 비하여 작은 메모리 셀 면적을 가지며 입력 포트 및 출력 포트를 모두 포함하고 있으므로 DSP 모듈의 면적을 감소시킬 수 있으며, 소비전력 또한 감소시킬 수 있다.

도면의 간단한 설명

- [15] 도 1은 비터비 디코더의 메모리 액세스 형태의 일 예시를 도시한 도면이다.

- [16] 도 2는 FFT의 메모리 액세스 형태의 일 예시를 도시한 도면이다.
- [17] 도 3은 본 발명의 일 실시예에 따른 디지털 신호처리 프로세서의 블록도이다.
- [18] 도 4는 본 발명에 따른 DRAM의 단면도를 도시한 도면이다.
- [19] 도 5는 본 발명에 따른 디지털 신호처리 프로세서에서의 전압 레벨의 그래프를 도시한 도면이다.
- [20] 도 6은 DRAM 메모리 셀의 일 예시를 도시한 도면이다.
- [21] 도 7은 본 발명의 일 실시예에 따른 디지털 신호처리 프로세서에서의 데이터 입출력 방법의 순서도이다.

발명의 실시를 위한 형태

- [22] 아래에서는 첨부한 도면을 참조하여 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자가 용이하게 실시할 수 있도록 본 발명의 실시예를 상세히 설명한다. 그러나 본 발명은 여러 가지 상이한 형태로 구현될 수 있으며 여기에서 설명하는 실시예에 한정되지 않는다. 그리고 도면에서 본 발명을 명확하게 설명하기 위해서 설명과 관계없는 부분은 생략하였으며, 명세서 전체를 통하여 유사한 부분에 대해서는 유사한 도면 부호를 붙였다.
- [23] 명세서 전체에서, 어떤 부분이 다른 부분과 "연결"되어 있다고 할 때, 이는 "직접적으로 연결"되어 있는 경우뿐 아니라, 그 중간에 다른 소자를 사이에 두고 "전기적으로 연결"되어 있는 경우도 포함한다. 또한 어떤 부분이 어떤 구성요소를 "포함"한다고 할 때, 이는 특별히 반대되는 기재가 없는 한 다른 구성요소를 제외하는 것이 아니라 다른 구성요소를 더 포함할 수 있는 것을 의미한다. 본원 명세서 전체에서 사용되는 정도의 용어 "~(하는) 단계" 또는 "~의 단계"는 "~를 위한 단계"를 의미하지 않는다.
- [24] 도 3은 본 발명의 일 실시예에 따른 디지털 신호처리 프로세서(100)의 블록도이다.
- [25] 본 발명에 따른 디지털 신호처리 프로세서(100)는 DRAM(110) 및 코어 로직(120)을 포함한다.
- [26] 참고로, 본 발명의 실시예에 따른 도 3에 도시된 구성 요소들은 소프트웨어 또는 FPGA(Field Programmable Gate Array) 또는 ASIC(Application Specific Integrated Circuit)와 같은 하드웨어 구성 요소를 의미하며, 소정의 역할들을 수행한다.
- [27] 그렇지만 '구성 요소들'은 소프트웨어 또는 하드웨어에 한정되는 의미는 아니며, 각 구성 요소는 어드레싱할 수 있는 저장 매체에 있도록 구성될 수도 있고 하나 또는 그 이상의 프로세서들을 재생시키도록 구성될 수도 있다.
- [28] 따라서, 일 예로서 구성 요소는 소프트웨어 구성 요소들, 객체지향 소프트웨어 구성 요소들, 클래스 구성 요소들 및 태스크 구성 요소들과 같은 구성 요소들과, 프로세스들, 함수들, 속성들, 프로시저들, 서브루틴들, 프로그램 코드의 세그먼트들, 드라이버들, 펌웨어, 마이크로 코드, 회로, 데이터, 데이터베이스,

- 데이터 구조들, 테이블들, 어레이들 및 변수들을 포함한다.
- [29] 구성 요소들과 해당 구성 요소들 안에서 제공되는 기능은 더 작은 수의 구성 요소들로 결합되거나 추가적인 구성 요소들로 더 분리될 수 있다.
- [30] DRAM(110)은 기생 커패시터에 데이터를 저장하는 복수의 메모리 셀을 포함하고 있다. 도 4를 참조하여 본 발명에 따른 디지털 신호처리 프로세서(100)에서 사용되는 DRAM(110)을 설명하면 다음과 같다.
- [31] 도 4는 본 발명에 따른 DRAM(110)의 단면도를 도시한 도면이다.
- [32] 일반적인 DRAM은 디바이스의 고밀도화를 도모하기 위하여 실리콘 기판 내에 깊은 홈을 파고, 그 양 측벽 사이의 커패시턴스를 이용하는 형태인 스택 커패시터(stacked capacitor) 또는 트렌치 커패시터(trench capacitor)를 주로 사용하였다. 따라서, DRAM의 제조시 스택 커패시터 또는 트렌치 커패시터를 삽입하는 공정 단계가 별도로 더 수행되어야 했다.
- [33] 그러나, 본 발명에 따른 DRAM(110)은 데이터를 저장하는 커패시터를 MOSFET의 기생 커패시터로 대체하여 사용하므로, 별도의 추가 공정 없이 일반적인 로직 공정 단계에서 구현이 가능하다는 장점이 있다.
- [34] 다시 도 3을 참조하면, 코어 로직(120)은 미리 설정된 디지털 신호처리 알고리즘에 기초하여 DRAM(110)에 대한 데이터의 기록, 독출 또는 갱신 동작을 수행한다. 이때, 코어 로직(120)은 Viterbi 디코더, FFT 또는 LDPC 등을 디지털 신호처리 알고리즘으로 미리 설정하여 데이터를 기록, 독출 또는 갱신할 수 있다. 한편, 본 발명에 따른 디지털 신호처리 프로세서(100)에서 사용되는 알고리즘은 이에 한정되지 않고, 위 기재된 알고리즘은 일 예시에 불과하며, 그밖에 다양한 형태의 알고리즘을 적용할 수 있다.
- [35] 또한, 코어 로직(120)은 DRAM(110)의 메모리 셀에 대하여 입력 데이터를 기록한 후, 리텐션 시간의 경과 전에 기록된 입력 데이터를 독출하여 외부로 출력하거나, DRAM(110)의 다른 메모리 셀에 저장할 수 있다. 이에 따라, 본 발명은 리프레쉬 동작을 생략할 수 있다는 효과가 있다. 도 5를 참조하여 리프레쉬 동작을 생략할 수 있는 효과에 대하여 구체적으로 설명하면 다음과 같다.
- [36] 도 5는 본 발명에 따른 디지털 신호처리 프로세서(100)에서의 전압 레벨의 그래프를 도시한 도면이다.
- [37] DRAM과 같은 동적 메모리 장치는 데이터를 전하의 형태로 저장하며, 저장된 전하는 누설 전류에 의하여 소멸되어 점점 0과 1 사이의 전압차가 줄어들게 된다. 이에 따라, 메모리 장치에 저장된 데이터가 소실될 수 있으며, 전압 레벨은 점점 VDD로 상승하게 된다.
- [38] 이와 같은 형상을 방지하기 위하여, 디지털 신호처리 프로세서는 데이터가 소실되기 전에 메모리 셀로부터 저장된 데이터를 읽고, 읽어낸 정보에 맞추어 메모리 셀을 초기의 전하량으로 재충전해주는 리프레쉬 동작을 수행해야 한다. 데이터를 재작성하는 리프레쉬 동작이 주기적으로 반복되어야 메모리 셀에

저장된 데이터가 유지될 수 있다.

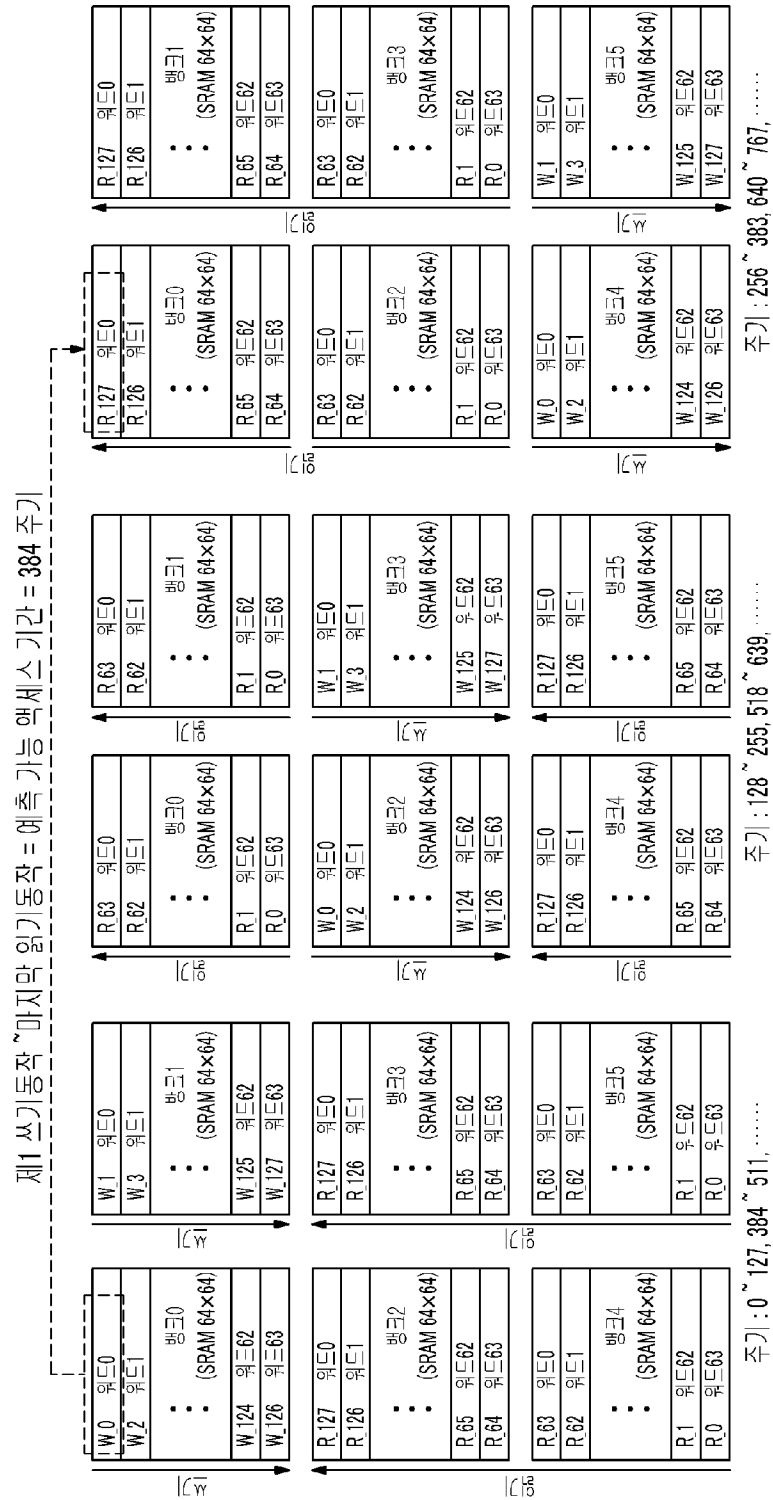
- [39] 이와 같이, DRAM은 일정 시간이 넘어가게 되면 위에서 설명한 바와 같이 메모리 셀에 저장된 전하가 점점 손실되기 때문에 더 이상 메모리 셀에 저장된 데이터를 신뢰할 수 없게 된다. 이때, 메모리 셀에 저장된 데이터를 신뢰할 수 있는 시간을 리텐션 시간이라 한다. 즉, 메모리 셀의 특성인 리텐션 시간에 따라 데이터가 손실되는 것이다.
- [40] 한편, DRAM(110)에서 요구되는 리텐션 시간은 디지털 신호처리 프로세서(100)의 알고리즘에 의하여 결정되며, 리텐션 시간은 역추적 깊이(Traceback depth) 및 클럭 주기(tclk)에 기초하여 산출된다. 예를 들어, 비터비 디코더에 사용되는 DSP용 메모리에서의 리텐션 시간은 아래와 같은 [수학식 1]에 의해 산출될 수 있다.
- [41] [수학식 1]
- [42] $3 \cdot \text{Traceback Depth}(128) \times \text{tclk}(1/54\text{Mbps}) = 7.12\mu\text{sec}$
- [43] 이와 같이, 요구되는 리텐션 시간인 $7.12\mu\text{sec}$ 가 경과하기 전에, 본 발명에 따른 디지털 신호처리 프로세서(100)는 입력된 데이터를 독출하여 외부로 출력하거나, DRAM(110)의 다른 메모리 셀에 저장한다. 이에 따라, 리프레쉬 동작을 생략할 수 있는 효과가 있다.
- [44] 한편, 본 발명에 따른 디지털 신호처리 프로세서(100)에서 포함하고 있는 DRAM(110)은 입력 포트 및 출력 포트를 모두 포함할 수 있다. 도 6을 참조하여 DRAM(110)의 메모리 셀을 설명하면 다음과 같다.
- [45] 도 6은 본 발명에 따른 DRAM(110) 메모리 셀의 일 예시를 도시한 도면이다.
- [46] 단일 포트 메모리 셀의 한 뱅크(Bank)는 읽기와 쓰기 동작을 동시에 수행할 수 없다. 따라서, 6 뱅크 또는 3 뱅크가 필요하며, 이때 메모리에는 부수적인 면적이 존재하므로 면적의 효율이 감소할 수 밖에 없다.
- [47] 이와 같은 문제를 해결하기 위하여, 본 발명에 따른 디지털 신호처리 프로세서(100)에의 DRAM(110)은 입력 포트와 출력 포트를 모두 포함하고 있어 듀얼 포트로 동작할 수 있으며, 이때 메모리의 한 뱅크는 읽기 및 쓰기 동작을 동시에 수행할 수 있다. 그 결과, 메모리의 부수적인 면적을 공유하게 되므로 디지털 신호처리 프로세서(100)의 면적 효율이 증가하게 되며, 또한 소모되는 전력도 감소시킬 수 있다.
- [48] 도 7은 본 발명의 일 실시예에 따른 디지털 신호처리 프로세서(100)에서의 데이터 입출력 방법의 순서도이다.
- [49] 먼저, 기생 커패시터에 데이터를 저장하는 복수의 메모리 셀을 포함하는 DRAM(110)에 대하여 입력 데이터를 기록한다. 일반적으로 DRAM은 스택 커패시터 또는 트랜치 커패시터를 주로 사용하였기 때문에 이와 같은 커패시터를 삽입하는 공정 단계가 별도로 더 수행되어야 했다.
- [50] 그러나, 본 발명에서 사용되는 DRAM(110)은 DRAM(110)에서 데이터를 저장하는 커패시터를 MOSFET의 기생 커패시터로 대체하여 사용하므로, 별도의

- 추가 공정 없이 일반적인 로직 공정 단계에서 구현이 가능하다는 장점이 있다.
- [51] 다음으로, 입력 데이터가 기록된 후 DRAM(110)의 리텐션 시간 경과 전에 기록된 입력 데이터를 독출한다. 이와 같은 동작은 코어 로직(120)에 의하여 수행될 수 있다. 코어 로직(120)은 미리 설정된 디지털 신호처리 알고리즘에 기초하여 DRAM(110)에 대한 데이터의 기록, 독출 또는 갱신 동작을 수행한다. 이때, 미리 설정된 디지털 신호처리 알고리즘은 Viaterbi 디코더, FFT 또는 LDPC 중 어느 하나일 수 있다.
- [52] 한편, 본 발명에 따른 디지털 신호처리 프로세서(100)에서의 데이터 입출력 방법에서 사용되는 알고리즘은 이에 한정되지 않고, 다양한 형태의 알고리즘을 적용할 수 있다. 한편, 리프레쉬 동작을 생략할 수 있다는 본 발명에 따른 효과는 도 3에서 구체적으로 설명하였으므로, 이하에서는 생략하도록 한다.
- [53] 본 발명에 따른 디지털 신호처리 프로세서(100)에서의 데이터 입출력 방법에서 사용되는 DRAM(110)은 입력 포트 및 출력 포트를 모두 포함하고 있다. 즉, 듀얼 포트로 동작할 수 있으며, 이로 인해 메모리의 한 뱅크는 읽기 및 쓰기 동작을 동시에 수행할 수 있다. 그 결과, 메모리의 부수적인 면적을 공유하게 되므로 디지털 신호처리 프로세서의 면적 효율이 증가하게 되며, 또한 소모되는 전력도 감소시킬 수 있다.
- [54] 전술한 본 발명의 설명은 예시를 위한 것이며, 본 발명이 속하는 기술분야의 통상의 지식을 가진 자는 본 발명의 기술적 사상이나 필수적인 특징을 변경하지 않고서 다른 구체적인 형태로 쉽게 변형이 가능하다는 것을 이해할 수 있을 것이다. 그러므로 이상에서 기술한 실시예들은 모든 면에서 예시적인 것이며 한정적이 아닌 것으로 이해해야만 한다. 예를 들어, 단일형으로 설명되어 있는 각 구성 요소는 분산되어 실시될 수도 있으며, 마찬가지로 분산된 것으로 설명되어 있는 구성 요소들도 결합된 형태로 실시될 수 있다.
- [55] 본 발명의 범위는 상기 상세한 설명보다는 후술하는 특허청구범위에 의하여 나타내어지며, 특허청구범위의 의미 및 범위 그리고 그 균등 개념으로부터 도출되는 모든 변경 또는 변형된 형태가 본 발명의 범위에 포함되는 것으로 해석되어야 한다.

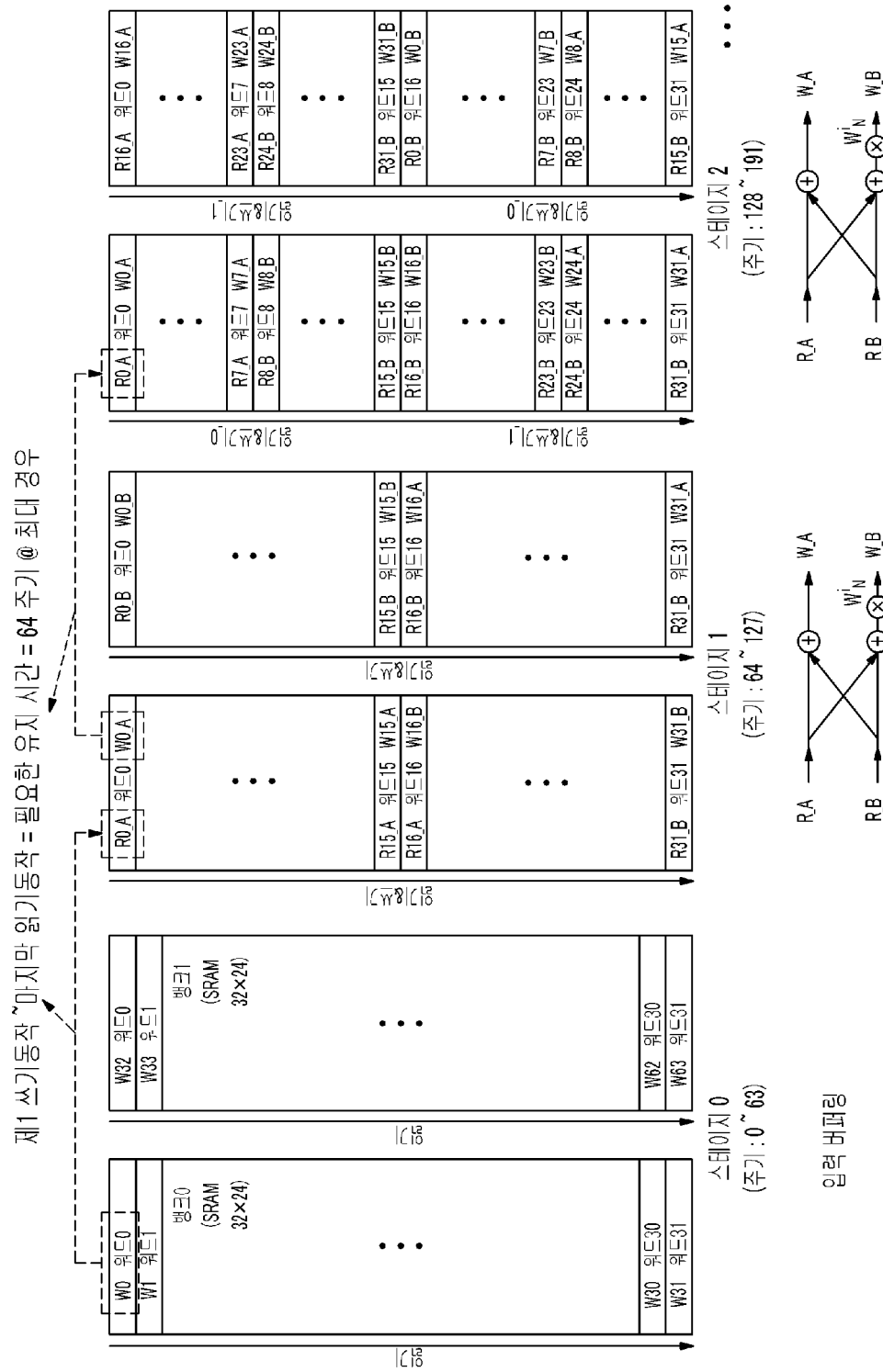
청구범위

- [청구항 1] 디지털 신호처리 프로세서에 있어서,
기생 커패시터에 데이터를 저장하는 복수의 메모리 셀을 포함하는 DRAM 및
미리 설정된 디지털 신호처리 알고리즘에 기초하여 상기 DRAM에
대하여 데이터 기록, 독출 또는 갱신 동작을 수행하는 코어 로직을
포함하되,
상기 코어 로직은 상기 DRAM의 메모리 셀에 대하여 입력
데이터를 기록한 후, 리텐션 시간의 경과 전에 기록된 상기 입력
데이터를 독출하여 외부로 출력하거나, 상기 DRAM의 다른
메모리 셀에 저장하는 디지털 신호처리 프로세서.
- [청구항 2] 제 1 항에 있어서,
상기 DRAM은 입력 포트 및 출력 포트를 모두 포함하고 있는 것인
디지털 신호처리 프로세서.
- [청구항 3] 제 1 항에 있어서,
상기 디지털 신호처리 알고리즘은 비터비 디코더, FFT 또는 LDPC
중 어느 하나인 것인 디지털 신호처리 프로세서.
- [청구항 4] 디지털 신호처리 프로세서에서의 데이터 입출력 방법에 있어서,
기생 커패시터에 데이터를 저장하는 복수의 메모리 셀을 포함하는
DRAM에 대하여 입력 데이터를 기록하는 단계 및
상기 입력 데이터의 기록 후 상기 DRAM의 리텐션 시간 경과 전에
상기 기록된 입력 데이터를 독출하는 단계를 포함하는 디지털
신호처리 프로세서에서의 데이터 입출력 방법.
- [청구항 5] 제 4 항에 있어서,
상기 DRAM은 입력 포트 및 출력 포트를 모두 포함하고 있는 것인
디지털 신호처리 프로세서에서의 데이터 입출력 방법.
- [청구항 6] 제 4 항에 있어서,
상기 디지털 신호처리 알고리즘은 비터비 디코더, FFT 또는 LDPC
중 어느 하나인 것인 디지털 신호처리 프로세서에서의 데이터
입출력 방법.

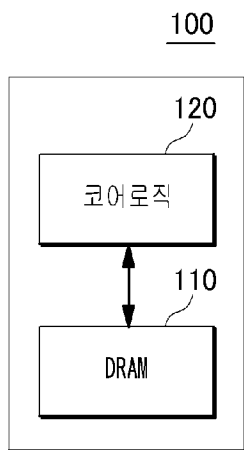
[Fig. 1]



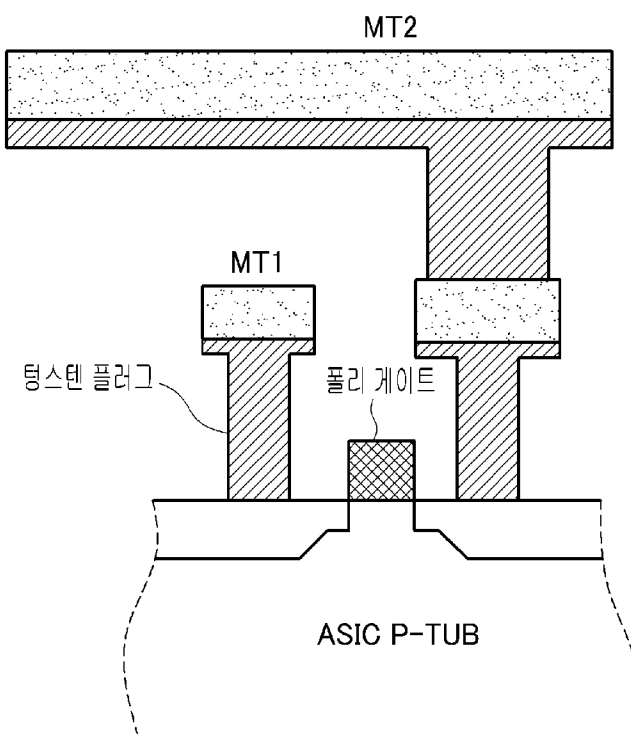
[Fig. 2]



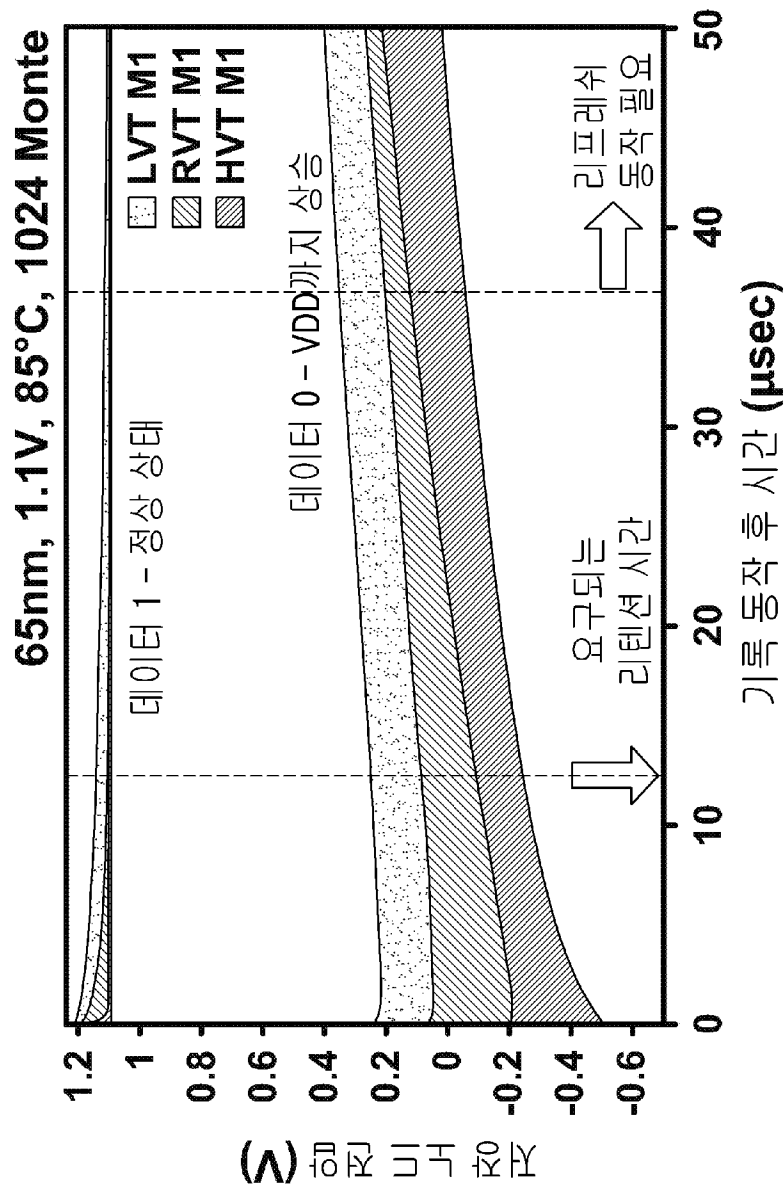
[Fig. 3]



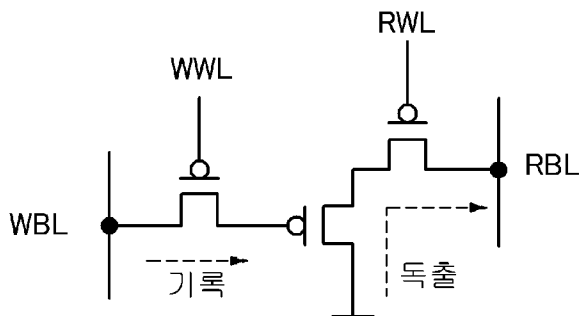
[Fig. 4]



[Fig. 5]



[Fig. 6]



[Fig. 7]

