

【特許請求の範囲】

【請求項 1】

第 1 の論理レベルが基準電位であり、第 2 の論理レベルが第 1 の電源電位である入力信号を、第 1 の論理レベルが前記基準電位であり、第 2 の論理レベルが第 2 の電源電位である出力信号に変換する電圧変換回路であって、

前記第 2 の電源電位と前記基準電位との間に、前記第 2 の電源電位側から順に直列に接続された、第 1、第 2 および第 3 の MOS トランジスタと、

前記第 2 の電源電位と前記基準電位との間に、前記第 2 の電源電位側から順に直列に接続された、第 4 および第 5 の MOS トランジスタと、

前記第 4 および第 5 の MOS トランジスタの接続ノードである第 2 のノードに接続され、前記入力信号が前記第 1 の論理レベルから、前記第 2 の論理レベルに変化する場合にオンして、前記第 2 のノードの電位を第 2 の電源電位に固定する第 6 のトランジスタと、

前記第 3 の MOS トランジスタのゲートに入力端が接続され、前記第 5 の MOS トランジスタのゲートに出力端が接続され、前記第 1 の電源電位で駆動する第 1 のインバータと

、

前記第 2 のノードに入力端が接続され、前記第 2 の電源電位で駆動する第 2 のインバータと、

前記第 2 のインバータの出力端に入力端が接続され、出力端が、前記出力信号を出力する出力端子となる前記第 2 の電源電位で駆動する第 3 のインバータとを、備え、

前記第 1、第 4 および第 6 の MOS トランジスタは第 1 導電型、前記第 2、第 3 および第 5 の MOS トランジスタは第 2 導電型であって、

前記第 6 のトランジスタのゲートは、前記第 2 のインバータの出力端に接続され、

前記入力信号が入力される入力端子は、前記第 1 のインバータの前記入力端に接続され

、

前記第 4 の MOS トランジスタのゲートである第 1 のノードは、前記第 1 の MOS トランジスタのドレインに接続され、

前記第 1 の MOS トランジスタのゲートには、少なくとも前記入力信号が前記第 1 の論理レベルである場合に、前記第 1 の MOS トランジスタをオン状態とする第 1 の信号が与えられ、

前記第 2 の MOS トランジスタのゲートには、前記入力信号が前記第 1 の論理レベルである場合に前記第 2 の MOS トランジスタをオン状態とする第 2 の信号が与えられる、電圧変換回路。

【請求項 2】

前記第 1 および第 2 導電型は、それぞれ P 型および N 型であって、

前記第 1 の MOS トランジスタのゲートは前記基準電位に接続され、前記第 1 の信号は、前記第 1 の論理レベルの信号である、請求項 1 記載の電圧変換回路。

【請求項 3】

前記第 1 および第 2 導電型は、それぞれ P 型および N 型であって、

前記第 1 の MOS トランジスタのゲートは前記入力端子に接続され、前記第 1 の信号は、前記入力信号である、請求項 1 記載の電圧変換回路。

【請求項 4】

前記第 1 および第 2 導電型は、それぞれ P 型および N 型であって、

前記第 2 の MOS トランジスタは前記第 2 導電型であって、

前記第 2 の MOS トランジスタに並列に接続された第 1 導電型の第 7 の MOS トランジスタをさらに備え、

前記第 2 の MOS トランジスタのゲートは、前記第 2 のインバータの前記出力端に接続され、前記第 2 の信号として前記第 2 のインバータの出力が与えられ、

前記第 7 の MOS トランジスタのゲートは、前記第 2 のインバータの前記入力端に接続される、請求項 1 記載の電圧変換回路。

【請求項 5】

10

20

30

40

50

前記第 1 および第 2 導電型は、それぞれ P 型および N 型であって、
 前記第 2 の MOS トランジスタは前記第 1 導電型であって、
 前記第 2 の MOS トランジスタのゲートは、前記出力端子に接続され、前記第 2 の信号
 として前記出力信号が与えられる、請求項 2 または請求項 3 に記載の電圧変換回路。

【請求項 6】

前記第 1 および第 2 導電型は、それぞれ P 型および N 型であって、
 前記第 2 の電源電位と、前記第 6 の MOS トランジスタのソースとの間に接続された、
 第 1 導電型の第 8 の MOS トランジスタをさらに備え、
 前記第 8 の MOS トランジスタのゲートは、前記第 1 のインバータの前記出力端に接続
 される、請求項 2 または請求項 3 に記載の電圧変換回路。

10

【請求項 7】

前記第 1 および第 2 導電型は、それぞれ P 型および N 型であって、
 前記第 2 の MOS トランジスタは前記第 1 導電型であって、
 前記第 2 の MOS トランジスタのゲートは、前記出力端子に接続され、前記第 2 の信号
 として前記出力信号が与えられ
 前記第 2 の電源電位と、前記第 6 の MOS トランジスタのソースとの間に接続された、
 第 1 導電型の第 8 の MOS トランジスタをさらに備え、
 前記第 8 の MOS トランジスタのゲートは、前記第 1 のインバータの前記出力端に接続
 される、請求項 2 または請求項 3 に記載の電圧変換回路。

【発明の詳細な説明】

20

【技術分野】

【0001】

本発明は、電圧振幅を変換する電圧変換回路に関する。

【背景技術】

【0002】

近年、半導体デバイスにおける高集積化、小型化、高速化、低消費電力化が要望されて
 いるが、特に、LSI（大規模集積回路）においては、小型化に伴って内部電源の低電圧
 化が要求され、外部電源の電圧との差が大きくなる傾向にある。

【0003】

従って、外部と内部とのインターフェース部分、また、LSI 内部で電源電圧が異なる
 回路間でのインターフェース部分には、電圧振幅の変換のための電圧変換回路（レベルシ
 フタ）が必要となる。

30

【0004】

このような電圧変換回路の一例としては、例えば、特許文献 1 の図 1 に示される構成が
 挙げられる。この電圧変換回路では、電圧変換動作の高速化、および低消費電力化が実現
 できるとともに、入力信号の電圧レベルが低速で変化する場合から高速で変化する場合ま
 で対応可能とされている。

【0005】

【特許文献 1】特開 2006 - 121654 号公報

【発明の開示】

40

【発明が解決しようとする課題】

【0006】

しかしながら、特許文献 1 の図 1 の構成では、入力信号の電圧レベルが「L」の場合、
 カレントミラーを構成する 2 つの P チャネル型 MOS トランジスタのゲート接続ノードの
 電位が、電源電位まで上がらず、上記 2 つの P チャネル型 MOS トランジスタのしきい値
 電圧（ V_{th} ）がずれている場合には、ミラートランジスタが完全にオフせずリーク電流
 が流れる可能性があった。

【0007】

また、上記ゲート接続ノードの電位を速く上げるには、カレントミラーを構成する P チ
 ャネル型 MOS トランジスタのトランジスタサイズを大きくする必要があるが、これを大

50

きくすると、上記ゲート接続ノードの電位を引き下げるためのNチャネル型MOSトランジスタのトランジスタサイズも大きくしなければならず、半導体デバイスの小型化に逆行するという問題があった。

【0008】

本発明は上記のような問題点を解消するためになされたもので、リーク電流を低減して低消費電力化を図るとともに、半導体デバイスの小型化を促進できる電圧変換回路を提供することを目的とする。

【課題を解決するための手段】

【0009】

本発明に係る1の実施の形態においては、電流源となる第2のPMOSトランジスタのゲートノードを、電流源となる第1のPMOSトランジスタのドレインに接続し、第1のPMOSトランジスタのゲートに基準電位を接続することで、第1のMOSトランジスタを常にオンした状態とするので、入力端子の入力信号が「L」レベルになった場合に、電流を供給する第2のPMOSトランジスタのゲートノードの電位を電源電位まで上昇させる構成を開示している。

10

【発明の効果】

【0010】

上記実施の形態によれば、第2のPMOSトランジスタのゲートノードの電位を電源電位まで上昇させることで、第1および第2のPMOSトランジスタのしきい値電圧がずれている場合でも、第2のPMOSトランジスタをオフすることができ、第2のPMOSトランジスタを介しての電流リークを防止することができ、低消費電力化を達成できる。

20

【発明を実施するための最良の形態】

【0011】

<比較例>

発明の実施の形態の説明に先立って、比較例として特許文献1の図1に記載された電圧変換回路について説明する。

【0012】

まず、図1を用いて特許文献1の電圧変換回路の構成を示す。

図1に示す電圧変換回路は、「L」レベル(第1の論理レベル)が基準電位 V_{SS} (0V)であり、「H」レベル(第2の論理レベル)が電源電位 V_{DD} (第1の電源電位:例えば1.5V)である入力信号を、「L」レベルが基準電位 V_{SS} (0V)であり、「H」レベルが電源電位 V_{PP} (第2の電源電位:例えば5.0V)である出力信号に変換する電圧変換回路である。

30

【0013】

図1において、電源電位 V_{PP} と基準電位 V_{SS} との間に、電源電位 V_{PP} 側から順にPチャネル型MOSトランジスタ(PMOSトランジスタ)P3、Nチャネル型MOSトランジスタ(NMOSトランジスタ)N6およびN7が直列に接続され、これと並列に、電源電位 V_{PP} 側から順に直列に接続された、PMOSトランジスタP4およびNMOSトランジスタN8が配設されている。NMOSトランジスタN6とN7との接続ノードをノードND3と呼称する。

40

【0014】

PMOSトランジスタP3およびP4のゲートは、共通してPMOSトランジスタP3のドレインに接続されている。なお、PMOSトランジスタP4のゲートノードをノードND1とする。

【0015】

また、NMOSトランジスタN7のゲートは、入力端子INに接続されるとともに、インバータIV9の入力端に接続され、インバータIV9の出力端はNMOSトランジスタN8のゲートに接続されている。なお、インバータIV9は電源電位 V_{DD} を「H」レベルとするインバータである。

【0016】

50

PMOSトランジスタP4とNMOSトランジスタN8との接続ノード（ノードND2と呼称）は出力ノードであり、その出力は、直列に接続されたインバータIV10およびIV11を介して出力端子OUTに与えられ出力信号となる。なお、インバータIV10およびIV11は電源電位VPPを「H」レベルとするインバータである。

【0017】

ノードND2と電源電位VPPの間には、PMOSトランジスタP5（第6のMOSトランジスタ）が接続され、そのゲートは、NMOSトランジスタN6のゲートと共通して、インバータIV11の入力端に接続されている。

【0018】

このような構成の電圧変換回路では、入力端子INの信号（入力信号）が「L」レベルの場合、NMOSトランジスタN7がオフして、ノードND1はPMOSトランジスタP3により充電されるが、PMOSトランジスタP3がオンする条件は、ゲート・ソース間電圧Vgsが、PMOSトランジスタP3のしきい値電圧Vthp3よりも大きい場合（ $|Vgs| > |Vthp3|$ ）である。従って、ノードND1の電位、すなわちPMOSトランジスタP3のゲート電圧Vgが、 $VPP - |Vthp3|$ まで上がると、 $|Vgs| = |Vthp3|$ となって、PMOSトランジスタP3がオフし、ノードND1の電位は上昇しなくなる。

【0019】

一方、PMOSトランジスタP4のしきい値電圧Vthp4が、Vthp3よりも小さい場合は、上記の状態でもPMOSトランジスタP4はオン状態を維持する。

【0020】

例えば、 $VPP = 5.0V$ 、 $Vthp3 = -0.9V$ 、 $Vthp4 = -0.8V$ の場合、ノードND1の電位は、 $VPP - |Vthp3| = 4.1V$ まで上昇する。このとき、PMOSトランジスタP4のゲート・ソース間電圧Vgsは、 $VPP - ND1 = 0.9V$ となり、 $|Vgs| (0.9V) > |Vthp4| (0.8V)$ なので、PMOSトランジスタP4はオン状態を維持する。

【0021】

この時点で、入力端子INの信号の反転レベル（「H」レベル）を受けたNMOSトランジスタN8はオンしているので、電源電位VPPから、PMOSトランジスタP4を介して電流リークが発生する。

【0022】

ここで、図2には、上述したノードND1の電位の時間変化を表した電圧波形を示す。

図2においては、縦軸に電圧（任意単位）を、横軸に時間（任意単位）を示し、上段には入力端子INおよび出力端子OUTの信号電位の時間変化を示し、下段にはノードND1およびND2の電位の時間変化を示している。

【0023】

図2に示されるように、入力信号が「L」レベルの場合、ノードND1の電位は電源電位VPPには達せず、また、入力信号が「H」に切り替わった後も、ノードND1の電位は、電源電位VPPには達せず、電位の上昇速度も遅いことが判る。

【0024】

< A . 実施の形態 1 >

以下、図3および図4を用いて、本発明に係る実施の形態1の電圧変換回路について説明する。

【0025】

< A - 1 . 装置構成 >

図3に実施の形態1の電圧変換回路10の構成を示す。

図3に示すように電圧変換回路10は、「L」レベル（第1の論理レベル）が基準電位VSS（0V）であり、「H」レベル（第2の論理レベル）が電源電位VDD（第1の電源電位：例えば1.5V）である入力信号を、「L」レベルが基準電位VSS（0V）であり、「H」レベルが電源電位VPP（第2の電源電位：例えば5.0V）である出力信

10

20

30

40

50

号に変換する電圧変換回路である。

【0026】

図3において、電源電位 V_{PP} と基準電位 V_{SS} との間に、電源電位 V_{PP} 側から順にPMOSトランジスタP3（第1のMOSトランジスタ）、NMOSトランジスタN6およびN7（第2、第3のMOSトランジスタ）が直列に接続され、これと並列に、電源電位 V_{PP} 側から順に直列に接続された、PMOSトランジスタP4（第4のMOSトランジスタ）およびNMOSトランジスタN8（第5のMOSトランジスタ）が配設されている。NMOSトランジスタN6とN7との接続ノードをノードND3と呼称する。

【0027】

PMOSトランジスタP3およびP4のゲートは、共通してPMOSトランジスタP3のドレインに接続されている。なお、PMOSトランジスタP4のゲートノードをノードND1とする。そしてノードND1と電源電位 V_{PP} の間には、PMOSトランジスタP12が接続され、PMOSトランジスタP12のゲートは、入力端子INに接続されている。

10

【0028】

また、NMOSトランジスタN7のゲートは、入力端子INに接続されるとともに、インバータIV9の入力端に接続され、インバータIV9の出力端はNMOSトランジスタN8のゲートに接続されている。なお、インバータIV9は電源電位 V_{DD} を「H」レベルとするインバータである。

【0029】

PMOSトランジスタP4とNMOSトランジスタN8との接続ノード（ノードND2と呼称）は出力ノードであり、その出力は、直列に接続されたインバータIV10およびIV11を介して出力端子OUTに与えられる。なお、インバータIV10およびIV11は電源電位 V_{PP} を「H」レベルとするインバータである。

20

【0030】

ノードND2と電源電位 V_{PP} の間には、PMOSトランジスタP5が接続され、そのゲートは、NMOSトランジスタN6のゲートと共通して、インバータIV11の入力端に接続されている。

【0031】

< A - 2 . 装置動作 >

電圧変換回路10では、入力端子INの入力信号が「L」レベルになると、NMOSトランジスタN7がオフし、NMOSトランジスタN8がオンするが、ノードND1の電位が $V_{PP} - |V_{thp3}|$ よりも低い期間はPMOSトランジスタP3がオンしているため、ノードND1はPMOSトランジスタP3により充電される。しかし、入力信号がゲートに与えられるPMOSトランジスタP12もオンするので、ノードND1の電位上昇は $V_{PP} - |V_{thp3}|$ で止まらずに、電源電位 V_{PP} まで上昇する。

30

【0032】

これは、PMOSトランジスタP12のゲート・ソース間電圧 V_{gs} が、しきい値電圧 V_{thp12} よりも十分に大きいためである。例えば、 $V_{PP} = 5.0V$ 、 $V_{thp12} = -0.8V$ の場合、PMOSトランジスタP12のゲート・ソース間電圧 V_{gs} は、 $V_{PP} - IN = 5.0V - 0V = 5.0V$ であり、 $|V_{gs}| > |V_{thp12}|$ であるので、PMOSトランジスタP12のソース・ドレイン間電圧 V_{ds} が0VになるまでノードND1が充電される。なお、 $V_{ds} = 0V$ となるのは、ノードND1の電位が電源電位 V_{PP} になったときであり、ノードND1の電位は電源電位 V_{PP} まで充電されることになる。

40

【0033】

この場合、PMOSトランジスタP4のしきい値電圧 V_{thp4} が、 V_{thp3} よりも小さくても、PMOSトランジスタP4はオフする。

【0034】

例えば、 $V_{PP} = 5.0V$ 、 $V_{thp3} = -0.9V$ 、 $V_{thp4} = -0.8V$ の場合

50

、ノードND1の電位は5.0Vまで上昇するので、PMOSトランジスタP4のゲート・ソース間電圧 V_{gs} は、 $V_{PP} - ND1 = 0V$ となり、 $|V_{gs}| (0V) < |V_{thp4}| (0.8V)$ なので、PMOSトランジスタP4はオフとなる。

【0035】

このため、NMOSトランジスタN8はオンしていても、電源電位 V_{PP} から、PMOSトランジスタP4を介して電流リークが発生することはない。

【0036】

図4には、上述したノードND1の電位の時間変化を表した電圧波形を示す。

図4においては、縦軸に電圧(任意単位)を、横軸に時間(任意単位)を示し、上段には入力端子INおよび出力端子OUTの信号電位の時間変化を示し、下段にはノードND1およびND2の電位の時間変化を示している。

10

【0037】

図4に示されるように、入力信号が「L」レベルの場合、ノードND1の電位は電源電位 V_{PP} に達し、また、入力信号が「H」に切り替わった後も、ノードND1の電位は、電源電位 V_{PP} に達し、電位の上昇速度も速いことが判る。これは、PMOSトランジスタP3は、ノードND1の電位の上昇に伴って流れる電流が小さくなるが、PMOSトランジスタP12はそのような状態にはならないためである。

【0038】

< A - 3 . 効果 >

以上説明したように、電圧変換回路10においては、PMOSトランジスタP12を備えることで、入力端子INの入力信号が「L」レベルになった場合に、ノードND1の電位を電源電位 V_{PP} にまで高めることができ、PMOSトランジスタP3およびP4のしきい値電圧がずれている場合でも、PMOSトランジスタP4をオフすることができて、PMOSトランジスタP4を介しての電流リークを防止できる。このため、低消費電力化を達成できる。

20

【0039】

< A - 4 . 変形例1 >

以上説明した実施の形態1の変形例1として、図5に電圧変換回路10Aの構成を示す。なお、図3に示した電圧変換回路10と同一の構成については同一の符号を付し、重複する説明は省略する。

30

【0040】

電圧変換回路10Aにおいては、電圧変換回路10のNMOSトランジスタN6の代わりに、PMOSトランジスタP6を接続し、そのゲートがインバータIV11の出力端に接続された構成となっている。この構成によっても、電圧変換回路10と同様の効果を得ることができる。

【0041】

< A - 5 . 変形例2 >

以上説明した実施の形態1の変形例2として、図6に電圧変換回路10Bの構成を示す。なお、図3に示した電圧変換回路10と同一の構成については同一の符号を付し、重複する説明は省略する。

40

【0042】

電圧変換回路10Bにおいては、PMOSトランジスタP5のソースと、電源電位 V_{PP} との間に、PMOSトランジスタP13(第8のMOSトランジスタ)を介挿し、そのゲートがインバータIV9の出力端に接続された構成となっている。

【0043】

このような構成を採ることで、入力信号が「H」レベルから「L」レベルに変化する際に、PMOSトランジスタP5からノードND2に流れる電流を低減でき、より一層の動作の高速化および低消費電力化を図るとともに、NMOSトランジスタN8のトランジスタサイズの縮小も可能となる。

【0044】

50

すなわち、入力信号が「H」レベルから「L」レベルに変化する際には、NMOSトランジスタN8がオン状態となり、ノードND2の電荷を引き抜くことになるが、PMOSトランジスタP5はオン状態であるので、PMOSトランジスタP5からの充電電流に打ち勝つ必要があるが、NMOSトランジスタN8のゲートには、電源電位VPPよりも低い電源電位VDDが与えられるので、PMOSトランジスタP5よりも駆動能力が低い。このため、ノードND2の電荷を引き抜くには時間がかかり、時間短縮をするには、NMOSトランジスタN8のトランジスタサイズを大きくしなければならない。

【0045】

ここで、PMOSトランジスタP5は、入力信号が「L」レベルから「H」レベルに変化する場合に、PMOSトランジスタP5がオンすることで、ノードND2の電位を「H」レベル(VPP)に固定して、ノードND2の電位を安定させるため設けられている。PMOSトランジスタP13のゲート電圧Vgは入力信号の反転信号が与えられるので、入力信号が「L」レベルの時、そのゲート・ソース間電圧VgsはVPP - VDDとなり、PMOSトランジスタP13に流れる電流が低減して、結果的にPMOSトランジスタP5からノードND2に流れる電流を低減できる。このため、NMOSトランジスタN8のトランジスタサイズを大きくせずとも、比較的短時間でノードND2の電荷を引き抜くことが可能となり、動作の高速化、低消費電力化およびNMOSトランジスタN8のトランジスタサイズの縮小も可能となる。

10

【0046】

< A - 6 . 変形例 3 >

20

以上説明した実施の形態1の変形例3として、図7に電圧変換回路10Cの構成を示す。なお、図3、図5および図6に示した電圧変換回路10、10Aおよび10Bと同一の構成については同一の符号を付し、重複する説明は省略する。

【0047】

電圧変換回路10Cは、電圧変換回路10のNMOSトランジスタN6の代わりに、PMOSトランジスタP6を接続し、そのゲートがインバータIV11の出力端に接続された構成と、PMOSトランジスタP5のソースと、電源電位VPPとの間に、PMOSトランジスタP13を介挿し、そのゲートがインバータIV9の出力端に接続された構成の両方を採用している。

30

【0048】

< B . 実施の形態 2 >

次に、図8を用いて、本発明に係る実施の形態2の電圧変換回路について説明する。

【0049】

< B - 1 . 装置構成 >

図8に実施の形態2の電圧変換回路20の構成を示す。なお、図3に示した電圧変換回路10と同一の構成については同一の符号を付し、重複する説明は省略する。

【0050】

図8に示すように電圧変換回路20は、PMOSトランジスタP3のゲートをノードND1に接続する代わりに、基準電位VSS(0V)に接続し、ノードND1はPMOSトランジスタP3のドレインに接続された構成となっている。

40

【0051】

< B - 2 . 装置動作 >

電圧変換回路20では、PMOSトランジスタP3のゲートには常に基準電位VSSが与えられているので、PMOSトランジスタP3が常にオンしている。このため、入力端子INの入力信号が「L」レベルになってNMOSトランジスタN7がオフすると、ノードND1の電位は電源電位VPPまで上昇する。

【0052】

この場合、PMOSトランジスタP4のしきい値電圧Vthp4が、Vthp3よりも小さくても、PMOSトランジスタP4はオフすることは先に説明した通りである。

【0053】

50

このため、NMOSトランジスタN8はオンしていても、電源電位VPPから、PMOSトランジスタP4を介して電流リークが発生することはない。

【0054】

< B - 3 . 効果 >

以上説明したように、電圧変換回路20においては、PMOSトランジスタP3のゲートを基準電位VSSに接続することで、入力端子INの入力信号が「L」レベルになった場合に、ノードND1の電位を電源電位VPPにまで高めることができ、PMOSトランジスタP3およびP4のしきい値電圧がずれている場合でも、PMOSトランジスタP4をオフすることができて、PMOSトランジスタP4を介しての電流リークを防止することができる。このため、低消費電力化を達成できる。

10

【0055】

また、PMOSトランジスタP3のゲートを基準電位VSSに接続するだけであるので、新たなトランジスタ等を加える必要がなく、装置構成が複雑になることを防止できる。

【0056】

なお、PMOSトランジスタP3が常時オン状態となっても、NMOSトランジスタN6およびN7のトランジスタサイズを、PMOSトランジスタP3のトランジスタサイズよりも大きくして、PMOSトランジスタP3の電流駆動能力よりも大きくすれば、ノードND1の電荷を引き抜いて電位を下げるができるので、PMOSトランジスタP4をオン動作に支障は生じない。

20

【0057】

< B - 4 . 変形例 1 >

以上説明した実施の形態2の変形例1として、図9に電圧変換回路20Aの構成を示す。なお、図8に示した電圧変換回路20と同一の構成については同一の符号を付し、重複する説明は省略する。

【0058】

電圧変換回路20Aにおいては、電圧変換回路20のNMOSトランジスタN6の代わりに、PMOSトランジスタP6を接続し、そのゲートがインバータIV11の出力端に接続された構成となっている。この構成によっても、電圧変換回路20と同様の効果を得ることができる。

30

【0059】

< B - 5 . 変形例 2 >

以上説明した実施の形態2の変形例2として、図10に電圧変換回路20Bの構成を示す。なお、図8に示した電圧変換回路20と同一の構成については同一の符号を付し、重複する説明は省略する。

【0060】

電圧変換回路20Bにおいては、PMOSトランジスタP5のソースと、電源電位VPPとの間に、PMOSトランジスタP13を介挿し、そのゲートがインバータIV9の出力端に接続された構成となっている。

【0061】

このような構成を採ることで、入力信号が「H」レベルから「L」レベルに変化する際に、PMOSトランジスタP5からノードND2に流れる電流を低減でき、より一層の動作の高速化および低消費電力化を図るとともに、NMOSトランジスタN8のトランジスタサイズの縮小も可能となる。

40

【0062】

< B - 6 . 変形例 3 >

以上説明した実施の形態2の変形例3として、図11に電圧変換回路20Cの構成を示す。なお、図8、図9および図10に示した電圧変換回路20、20Aおよび20Bと同一の構成については同一の符号を付し、重複する説明は省略する。

【0063】

電圧変換回路20Cは、電圧変換回路20のNMOSトランジスタN6の代わりに、P

50

M O S トランジスタ P 6 を接続し、そのゲートがインバータ I V 1 1 の出力端に接続された構成と、P M O S トランジスタ P 5 のソースと、電源電位 V P P との間に、P M O S トランジスタ P 1 3 を介挿し、そのゲートがインバータ I V 9 の出力端に接続された構成の両方を採用している。

【 0 0 6 4 】

このような構成を採ることによって、電圧変換回路 2 0 B と同様の効果を得ることができる。

【 0 0 6 5 】

< C . 実施の形態 3 >

次に、図 1 2 を用いて、本発明に係る実施の形態 3 の電圧変換回路について説明する。

10

【 0 0 6 6 】

< C - 1 . 装置構成 >

図 1 2 に実施の形態 3 の電圧変換回路 3 0 の構成を示す。なお、図 3 に示した電圧変換回路 1 0 と同一の構成については同一の符号を付し、重複する説明は省略する。

【 0 0 6 7 】

図 1 2 に示すように電圧変換回路 3 0 は、P M O S トランジスタ P 3 のゲートをノード N D 1 に接続する代わりに、入力端子 I N に接続し、ノード N D 1 は P M O S トランジスタ P 3 のドレインに接続される構成となっている。

【 0 0 6 8 】

< C - 2 . 装置動作 >

20

電圧変換回路 3 0 では、P M O S トランジスタ P 3 のゲートには入力端子 I N の信号が与えられるので、入力端子 I N の入力信号が「 L 」レベルになると N M O S トランジスタ N 7 がオフするとともに、P M O S トランジスタ P 3 がオン状態となる。そのため、ノード N D 1 の電位は電源電位 V P P まで上昇する。

【 0 0 6 9 】

この場合、P M O S トランジスタ P 4 のしきい値電圧 V_{thp4} が、 V_{thp3} よりも小さくても、P M O S トランジスタ P 4 はオフすることは先に説明した通りである。

【 0 0 7 0 】

このため、N M O S トランジスタ N 8 はオンしていても、電源電位 V P P から、P M O S トランジスタ P 4 を介して電流リークが発生することはない。

30

【 0 0 7 1 】

< C - 3 . 効果 >

以上説明したように、電圧変換回路 3 0 においては、入力端子 I N の入力信号が「 L 」レベルになった場合に、ノード N D 1 の電位を電源電位 V P P にまで高めることができ、P M O S トランジスタ P 3 および P 4 のしきい値電圧がずれている場合でも、P M O S トランジスタ P 4 をオフすることができて、P M O S トランジスタ P 4 を介しての電流リークを防止することができる。このため、低消費電力化を達成できる。

【 0 0 7 2 】

また、P M O S トランジスタ P 3 のゲートを入力端子 I N に接続するだけであるので、新たなトランジスタ等を加える必要がなく、装置構成が複雑になることを防止できる。

40

【 0 0 7 3 】

また、入力信号が「 L 」レベルから「 H 」レベルが変わるときに、P M O S トランジスタ P 3 からノード N D 1 に流れる電流を低減できるので、動作の高速化および低消費電力化を促進するとともに、N M O S トランジスタ N 6 および N 7 のトランジスタサイズの大規模化の抑制が可能となる。

【 0 0 7 4 】

すなわち、例えば、 $V_{PP} = 5.0V$ 、 $V_{DD} = 1.5V$ の場合、P M O S トランジスタ P 3 のゲート・ソース間電圧 V_{gs} は、入力信号が「 L 」レベルの場合は $5.0V$ 、「 H 」レベルの場合は $3.5V$ となり、しきい値電圧 V_{thp3} が $-0.8V$ の場合、入力信号が「 L 」でも「 H 」でも P M O S トランジスタ P 3 はオンすることになる。

50

【0075】

入力信号が「L」レベルの場合の動作は上述した通りであるが、入力信号が「L」レベルから「H」レベルに変化した場合、NMOSトランジスタN7がオン状態となり、ノードND1の電荷を基準電位VSS側に放電して電位を下げようとするが、そのときのPMOSトランジスタP3のゲート・ソース間電圧Vgsは3.5Vであるので、入力信号が「L」レベルの場合に比べてPMOSトランジスタP3が流す電流は低減する。従って、NMOSトランジスタN6およびN7のトランジスタサイズは、そのときのPMOSトランジスタP3の電流駆動能力に合わせて設定すれば良く、NMOSトランジスタN6およびN7の大型化を抑制できる。

【0076】

< C - 4 . 変形例 1 >

以上説明した実施の形態3の変形例1として、図13に電圧変換回路30Aの構成を示す。なお、図12に示した電圧変換回路30と同一の構成については同一の符号を付し、重複する説明は省略する。

【0077】

電圧変換回路30Aにおいては、電圧変換回路30のNMOSトランジスタN6の代わりに、PMOSトランジスタP6を接続し、そのゲートがインバータIV11の出力端に接続された構成となっている。この構成によっても、電圧変換回路30と同様の効果を得ることができる。

【0078】

< C - 5 . 変形例 2 >

以上説明した実施の形態3の変形例2として、図14に電圧変換回路30Bの構成を示す。なお、図13に示した電圧変換回路30と同一の構成については同一の符号を付し、重複する説明は省略する。

【0079】

電圧変換回路30Bにおいては、PMOSトランジスタP5のソースと、電源電位VPPとの間に、PMOSトランジスタP13を介挿し、そのゲートがインバータIV9の出力端に接続された構成となっている。

【0080】

このような構成を採ることで、入力信号が「H」レベルから「L」レベルに変化する際に、PMOSトランジスタP5からノードND2に流れる電流を低減でき、より一層の動作の高速化および低消費電力化を図るとともに、NMOSトランジスタN8のトランジスタサイズの縮小も可能となる。

【0081】

< C - 6 . 変形例 3 >

以上説明した実施の形態3の変形例3として、図15に電圧変換回路30Cの構成を示す。なお、図12、図13および図14に示した電圧変換回路30、30Aおよび30Bと同一の構成については同一の符号を付し、重複する説明は省略する。

【0082】

電圧変換回路30Cは、電圧変換回路30のNMOSトランジスタN6の代わりに、PMOSトランジスタP6を接続し、そのゲートがインバータIV11の出力端に接続された構成と、PMOSトランジスタP5のソースと、電源電位VPPとの間に、PMOSトランジスタP13を介挿し、そのゲートがインバータIV9の出力端に接続された構成の両方を採用している。

【0083】

このような構成を採ることによって、電圧変換回路30Bと同様の効果を得ることができる。

【0084】

< D . 実施の形態 4 >

次に、図16を用いて、本発明に係る実施の形態4の電圧変換回路について説明する。

10

20

30

40

50

【 0 0 8 5 】

< D - 1 . 装置構成 >

図 1 6 に実施の形態 4 の電圧変換回路 4 0 の構成を示す。なお、図 1 2 に示した電圧変換回路 3 0 と同一の構成については同一の符号を付し、重複する説明は省略する。

【 0 0 8 6 】

図 1 6 に示すように電圧変換回路 4 0 においては、N M O S トランジスタ N 6 に並列に P M O S トランジスタ P 1 4 (第 7 の M O S トランジスタ) が接続され、そのゲートをノード N D 2 に接続した構成となっている。

【 0 0 8 7 】

< D - 2 . 装置動作 >

電圧変換回路 4 0 では、P M O S トランジスタ P 3 のゲートには入力端子 I N の信号が与えられるので、入力端子 I N の入力信号が「 L 」レベルになると N M O S トランジスタ N 7 がオフするとともに、P M O S トランジスタ P 3 がオン状態となる。そのため、ノード N D 1 の電位は電源電位 V P P まで上昇する。

【 0 0 8 8 】

この場合、P M O S トランジスタ P 4 のしきい値電圧 V_{thp4} が、 V_{thp3} よりも小さくても、P M O S トランジスタ P 4 はオフすることは先に説明した通りである。

【 0 0 8 9 】

このため、N M O S トランジスタ N 8 はオンしていても、電源電位 V P P から、P M O S トランジスタ P 4 を介して電流リークが発生することはない。

【 0 0 9 0 】

また、N M O S トランジスタ N 6 は、入力信号が「 L 」レベルから「 H 」レベルに変化した場合に非導通となって、P M O S トランジスタ P 3 からの電流リークを防止するために設けられているが、例えば、フラッシュメモリでは電源電位 V P P の値を切り替えて使用することがあり、その場合には N M O S トランジスタ N 6 と N 7 との間のノード N D 3 に電荷が蓄積され、高電圧状態となることがある。しかし、N M O S トランジスタ N 6 に並列に P M O S トランジスタ P 1 4 を接続することで、C M O S 的な動作をすることになり、電荷の蓄積を防止できる。

【 0 0 9 1 】

すなわち、例えば、図 1 2 に示した電圧変換回路 3 0 においては、入力信号が「 L 」レベルの場合に、電源電位 V P P を 5 V から 1 0 V に切り替えた場合、ノード N D 1 の電位は 1 0 V となる。このとき、N M O S トランジスタ N 6 はオン状態、N M O S トランジスタ N 7 はオフ状態となっている。

【 0 0 9 2 】

ノード N D 3 の電位は、N M O S トランジスタ N 6 がオンしているので、ノード N D 1 の電位から N M O S トランジスタ N 6 のしきい値電圧 V_{thn6} を引いた値にまで上昇する。例えば、 $V_{thn6} = 0.8 V$ の場合、ノード N D 3 の電位 = N D 1 電位 - $V_{thn6} = 9.2 V$ に達する。

【 0 0 9 3 】

その後、電源電位 V P P が 5 V に戻ると、ノード N D 1 の電位は 5 V まで引き下げられる。このとき、N M O S トランジスタ N 6 のゲート電圧 V_g は電源電位 V P P のレベル (5 V) まで下がり、N M O S トランジスタ N 6 のゲート・ソース間電圧 V_{gs} は 0 V となって、ソースがノード N D 1 側となる。ここで、 $V_{gs} < V_{thn6}$ となるため N M O S トランジスタ N 6 がオフして、ノード N D 3 には電位 9.2 V が保持されてしまう。

【 0 0 9 4 】

その後、入力信号が「 L 」レベルから「 H 」レベルに変化すると、N M O S トランジスタ N 7 がオンするが、ノード N D 3 の電位が 9.2 V であるので、ソース・ドレイン間には 9.2 V が印加されて、N M O S トランジスタ N 7 のオン耐圧を越えてしまい (耐圧違反)、N M O S トランジスタ N 7 に不具合が発生する可能性がある。

【 0 0 9 5 】

10

20

30

40

50

しかし、NMOSトランジスタN6に並列にPMOSトランジスタP14を接続することで、入力信号が「L」レベルの場合には、PMOSトランジスタP14のゲートが接続されるノードND2が0Vとなり、PMOSトランジスタP14がオンするので、この状態で電源電位VPPが5Vから10Vに変化すると、PMOSトランジスタP14が、ノードND3の電位をノードND1と同電位にするので、電位は5Vに低下する。従って、ノードND3が高電圧状態となることが防止され、その後のスイッチング動作で耐圧違反が発生することが防止される。

【0096】

また、図13および図15に示した電圧変換回路30Aおよび30Cにおいては、NMOSトランジスタN6の代わりにPMOSトランジスタP6を接続し、そのゲートがインバータIV11の出力端に接続された構成を採っている。この場合も、入力信号が「L」レベルの場合には、PMOSトランジスタP6のゲートが接続されるインバータIV11の出力は0Vとなり、PMOSトランジスタP6のゲート・ソース間電圧VgsはND1電位 - 0Vとなって、PMOSトランジスタP6がオンし、ノードND3が高電圧状態となることを防止する効果を有している。これは、図5、図7、図9および図11に示す、電圧変換回路10A、10C、20Aおよび20Cにおいても同様である。

10

【0097】

< D - 3 . 効果 >

以上説明したように、電圧変換回路40においては、入力端子INの入力信号が「L」レベルになった場合に、ノードND1の電位を電源電位VPPにまで高めることができ、PMOSトランジスタP3およびP4のしきい値電圧がずれている場合でも、PMOSトランジスタP4をオフすることができて、PMOSトランジスタP4を介しての電流リークを防止することができる。このため、低消費電力化を達成できる。

20

【0098】

また、フラッシュメモリなどに適用する場合に、電源電位VPPの値を切り替えて使用する場合でも、NMOSトランジスタN6とN7との間のノードND3に電荷が蓄積され、高電圧状態となることが防止され、その後のスイッチング動作でNMOSトランジスタN7に耐圧違反が発生することが防止される。

【図面の簡単な説明】

【0099】

30

【図1】本発明に対する比較例の電圧変換回路の構成を示す図である。

【図2】本発明に対する比較例の電圧変換回路の動作を説明する信号波形図である。

【図3】本発明に係る実施の形態1の電圧変換回路の構成を示す図である。

【図4】本発明に係る実施の形態1の電圧変換回路の動作を説明する信号波形図である。

【図5】本発明に係る実施の形態1の変形例1の電圧変換回路の構成を示す図である。

【図6】本発明に係る実施の形態1の変形例2の電圧変換回路の構成を示す図である。

【図7】本発明に係る実施の形態1の変形例3の電圧変換回路の構成を示す図である。

【図8】本発明に係る実施の形態2の電圧変換回路の構成を示す図である。

【図9】本発明に係る実施の形態2の変形例1の電圧変換回路の構成を示す図である。

【図10】本発明に係る実施の形態2の変形例2の電圧変換回路の構成を示す図である。

40

【図11】本発明に係る実施の形態2の変形例3の電圧変換回路の構成を示す図である。

【図12】本発明に係る実施の形態3の電圧変換回路の構成を示す図である。

【図13】本発明に係る実施の形態3の変形例1の電圧変換回路の構成を示す図である。

【図14】本発明に係る実施の形態3の変形例2の電圧変換回路の構成を示す図である。

【図15】本発明に係る実施の形態3の変形例3の電圧変換回路の構成を示す図である。

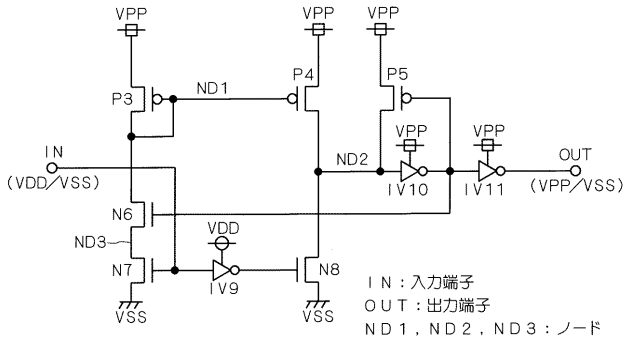
【図16】本発明に係る実施の形態4の電圧変換回路の構成を示す図である。

【符号の説明】

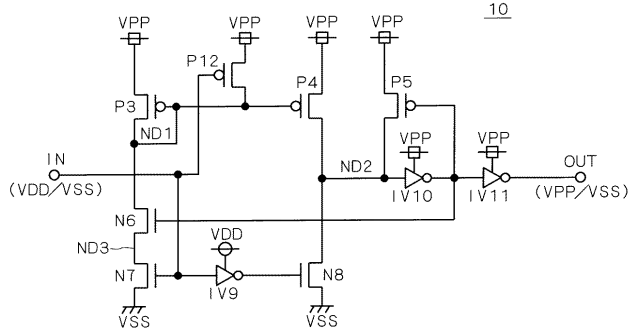
【0100】

IN 入力端子、OUT 出力端子、ND1, ND2, ND3 ノード。

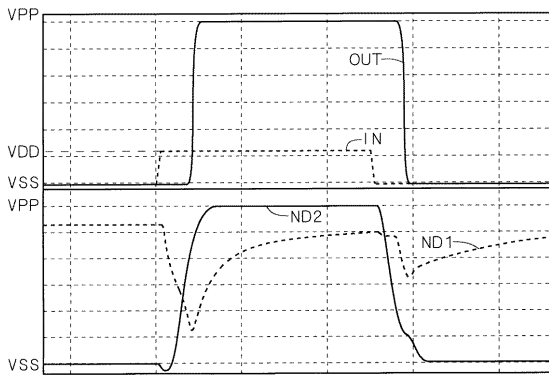
【 図 1 】



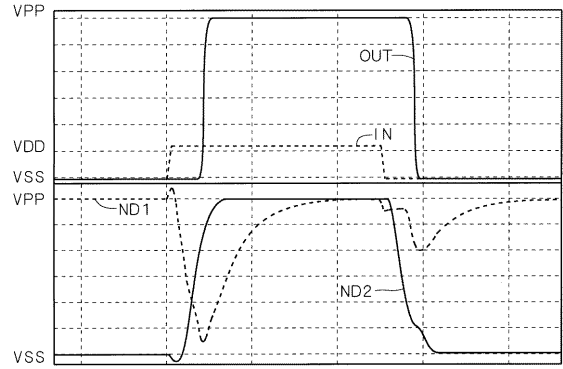
【 図 3 】



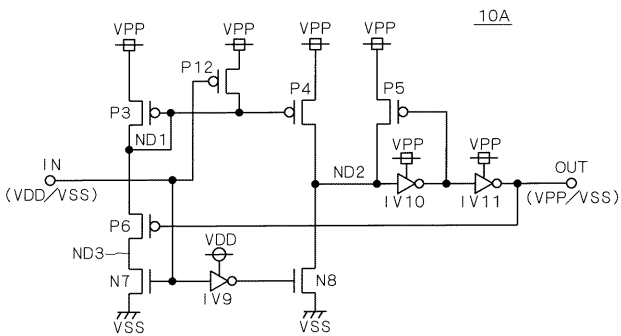
【 図 2 】



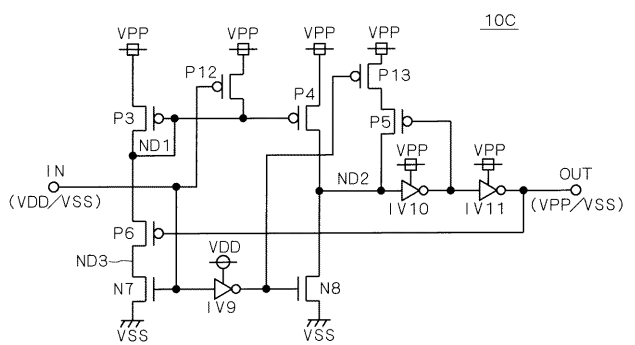
【 図 4 】



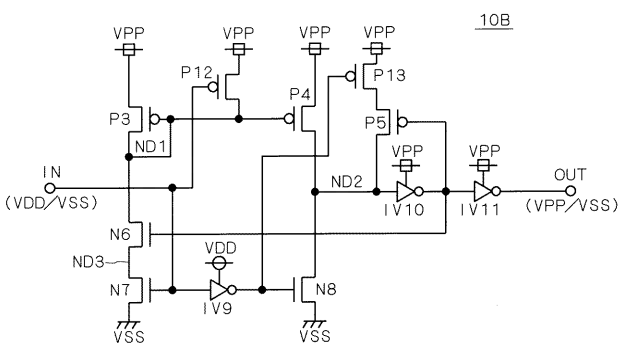
【 図 5 】



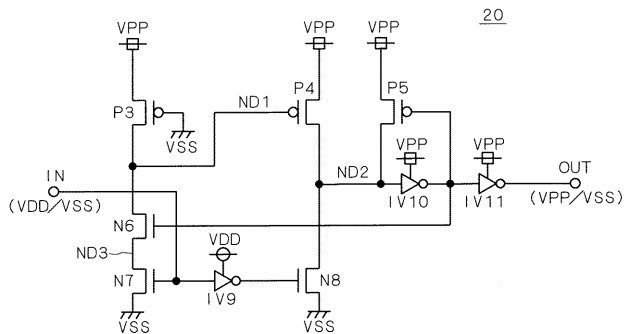
【 図 7 】



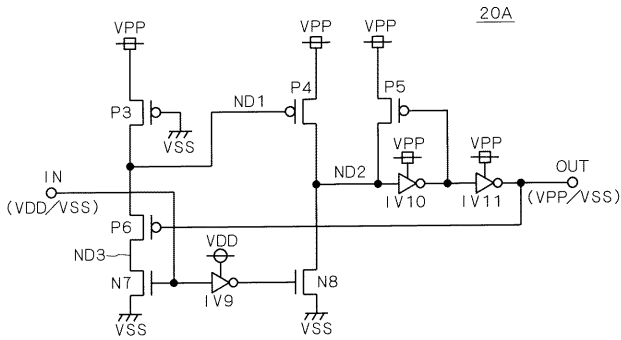
【 図 6 】



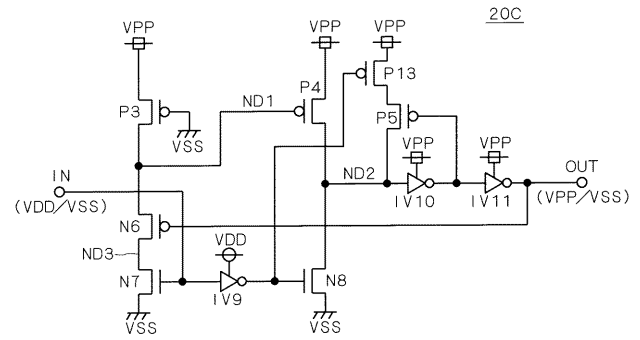
【 図 8 】



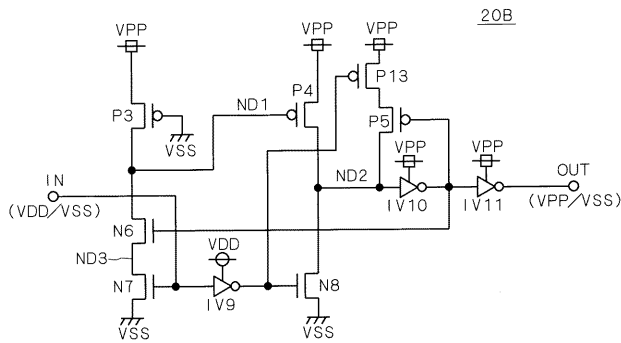
【 図 9 】



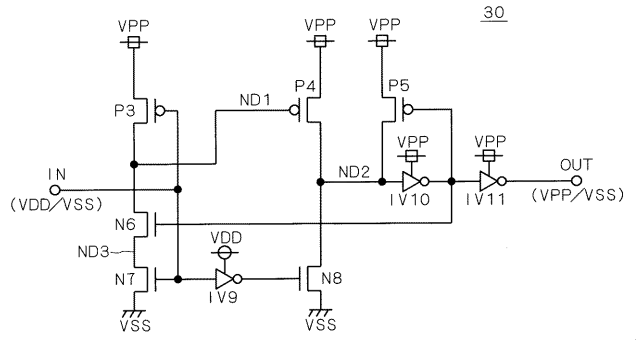
【 図 1 1 】



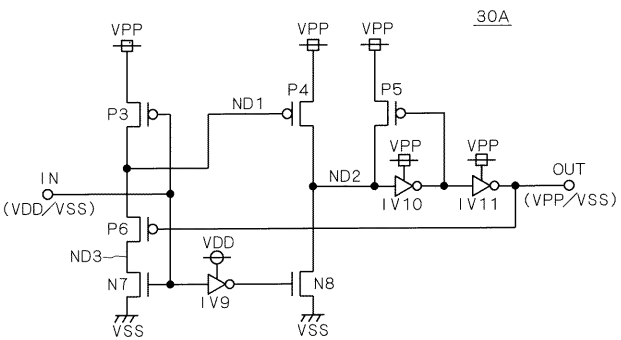
【 図 1 0 】



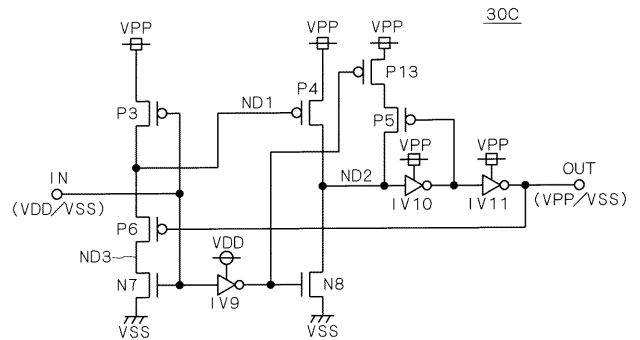
【 図 1 2 】



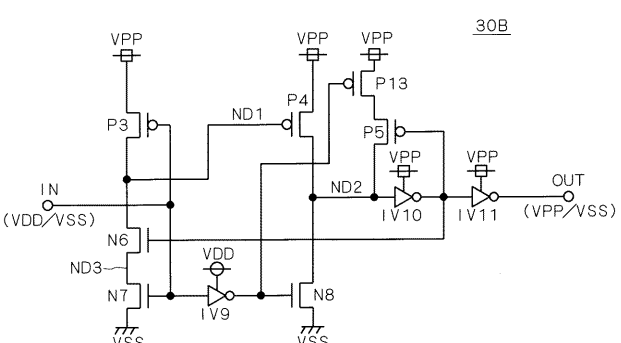
【 図 1 3 】



【 図 1 5 】



【 図 1 4 】



【 図 1 6 】

