



(12) **Patentschrift**

(21) Aktenzeichen: **10 2019 122 665.1**
(22) Anmeldetag: **22.08.2019**
(43) Offenlegungstag: **25.06.2020**
(45) Veröffentlichungstag
der Patenterteilung: **04.04.2024**

(51) Int Cl.: **H01L 25/065 (2023.01)**
H01L 23/50 (2006.01)
H01L 21/768 (2006.01)
H01L 27/105 (2023.01)

Innerhalb von neun Monaten nach Veröffentlichung der Patenterteilung kann nach § 59 Patentgesetz gegen das Patent Einspruch erhoben werden. Der Einspruch ist schriftlich zu erklären und zu begründen. Innerhalb der Einspruchsfrist ist eine Einspruchsgebühr in Höhe von 200 Euro zu entrichten (§ 6 Patentkostengesetz in Verbindung mit der Anlage zu § 2 Abs. 1 Patentkostengesetz).

(30) Unionspriorität:
10-2018-0167170 21.12.2018 KR

(73) Patentinhaber:
**Samsung Electronics Co., Ltd., Suwon-si,
Gyeonggi-do, KR**

(74) Vertreter:
**KUHLEN & WACKER Patent- und
Rechtsanwaltsbüro PartG mbB, 85354 Freising,
DE**

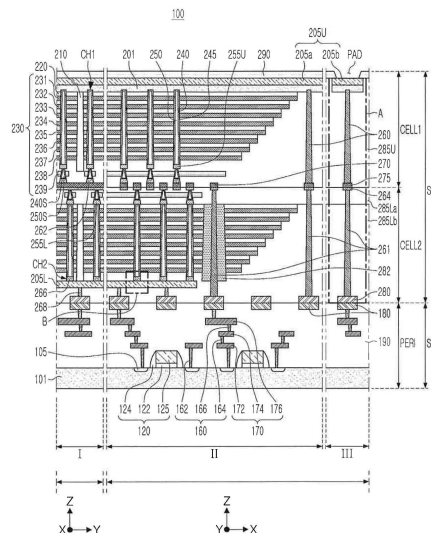
(72) Erfinder:
**Kanamori, Kohji, Suwon-si, Gyeonggi-do, KR;
Park, Hyun Mog, Suwon-si, Gyeonggi-do, KR;
Kim, Yong Seok, Suwon-si, Gyeonggi-do, KR; Lee,
Kyung Hwan, Suwon-si, Gyeonggi-do, KR; Lim,
Jun Hee, Suwon-si, Gyeonggi-do, KR; Han, Jee
Hoon, Suwon-si, Gyeonggi-do, KR**

(56) Ermittelter Stand der Technik:
US 2017 / 0 103 994 A1
US 2018 / 0 277 497 A1

(54) Bezeichnung: **Halbleitervorrichtung**

(57) Hauptanspruch: Halbleitervorrichtung, aufweisend:
eine erste Halbleiterstruktur (S1), die ein Substrat (101), Schaltungsvorrichtungen (120), die auf dem Substrat (101) angeordnet sind, und erste Bondpads (180), die auf den Schaltungsvorrichtungen (120) angeordnet sind, enthält; und
eine zweite Halbleiterstruktur (S2), die mit der ersten Halbleiterstruktur (S1) verbunden ist, wobei die zweite Halbleiterstruktur (S2) enthält:
eine Grundschrift (201), die eine erste Oberfläche, die der ersten Halbleiterstruktur (S1) zugewandt ist, und eine zweite Oberfläche, die der ersten Oberfläche gegenüberliegt, aufweist;
eine erste Speicherzellenstruktur, die erste Gate-Elektroden (230), die voneinander beabstandet und in eine Richtung senkrecht zu der ersten Oberfläche der Grundschrift (201) gestapelt sind, und erste Kanäle (CH1), die zumindest Abschnitte der ersten Gate-Elektroden (230) durchdringen, enthält;
eine zweite Speicherzellenstruktur, die zweite Gate-Elektroden (230), die voneinander beabstandet und in die Richtung senkrecht zu der ersten Oberfläche gestapelt sind, und zweite Kanäle (CH2), die zumindest Abschnitte der zweiten Gate-Elektroden (230) durchdringen, enthält;
Bit-Leitungen (270), die zwischen der ersten Speicherzellenstruktur und der zweiten Speicherzellenstruktur angeordnet sind, und mit den ersten und zweiten Kanälen (CH1, CH2) gemeinsam elektrisch verbunden sind;
eine erste und zweite leitfähige Schicht (205a, 205b), die

voneinander beabstandet und auf der zweiten Oberfläche der Grundschrift (201) angeordnet sind;
eine Pad-Isolierschicht (290), die auf der ersten und zweiten leitfähigen Schicht (205a, 205b) angeordnet ist und eine Öffnung aufweist, die einen Abschnitt der zweiten leitfähigen Schicht (205b) freilegt; und
zweite Bondpads (280), die in einem unteren Abschnitt der zweiten Speicherzellenstruktur angeordnet sind, um den ersten Bondpads (180) zu entsprechen.



Beschreibung

Hintergrund

1. Gebiet

[0001] Ausführungsbeispiele des vorliegenden erfinderischen Konzepts beziehen sich auf eine Halbleitervorrichtung.

2. Beschreibung des Stands der Technik

[0002] Halbleitervorrichtungen werden fortwährend in ihrer Größe verringert und entwickelt, um Daten mit hoher Kapazität zu verarbeiten. Dementsprechend ist es notwendig, die Integrationsdichte einer in einer Halbleitervorrichtung enthaltenen Halbleiterstruktur zu erhöhen. Um die Integrationsdichte zu verbessern, wurde eine Halbleitervorrichtung mit einer vertikalen Transistorstruktur anstatt einer planaren Transistorstruktur entwickelt.

[0003] Die US 2018 / 0 277 497 A1 offenbart eine Halbleitervorrichtung und ein Verfahren zu deren Herstellung.

[0004] Die US 2017 / 0 103 994 A1 offenbart eine Halbleiterspeichervorrichtung und ein Verfahren zu deren Herstellung.

Kurzfassung

[0005] Ausführungsbeispiele des vorliegenden erfinderischen Konzepts sehen eine Halbleitervorrichtung mit verbesserter Integrationsdichte und Zuverlässigkeit vor.

[0006] Nach einigen Ausführungsbeispielen des vorliegenden erfinderischen Konzepts enthält eine Halbleitervorrichtung eine erste Halbleiterstruktur, die ein Substrat, Schaltungsvorrichtungen, die auf dem Substrat angeordnet sind, und erste Bondpads, die auf den Schaltungsvorrichtungen angeordnet sind, enthält; und eine zweite Halbleiterstruktur, die mit der ersten Halbleiterstruktur verbunden ist, wobei die zweite Halbleiterstruktur eine Grundschrift, die eine erste Oberfläche, die der ersten Halbleiterstruktur zugewandt ist, und eine zweite Oberfläche, die der ersten Oberfläche gegenüberliegt, aufweist; eine erste Speicherzellenstruktur, die erste Gate-Elektroden, die voneinander beabstandet und in eine Richtung senkrecht zu der ersten Oberfläche gestapelt sind, und erste Kanäle, die zumindest Abschnitte der ersten Gate-Elektroden durchdringen, enthält; eine zweite Speicherzellenstruktur, die zweite Gate-Elektroden, die voneinander beabstandet und in die Richtung senkrecht zu der ersten Oberfläche in unteren Abschnitten der ersten Gate-Elektroden gestapelt sind, und zweite Kanäle, die

zumindest Abschnitte der zweiten Gate-Elektroden durchdringen, enthält; Bit-Leitungen, die zwischen der ersten Speicherzellenstruktur und der zweiten Speicherzellenstruktur angeordnet sind, und mit den ersten und zweiten Kanälen gemeinsam elektrisch verbunden sind; eine erste und zweite leitfähige Schicht, die voneinander beabstandet und auf der zweiten Oberfläche der Grundschrift angeordnet sind; eine Pad-Isolierschicht, die auf der ersten und zweiten leitfähigen Schicht angeordnet ist und eine Öffnung aufweist, die einen Abschnitt der zweiten leitfähigen Schicht freilegt; und zweite Bondpads, die in einem unteren Abschnitt der zweiten Speicherzellenstruktur angeordnet sind, um den ersten Bondpads zu entsprechen, enthält.

[0007] Nach einigen Ausführungsbeispielen des vorliegenden erfinderischen Konzepts enthält eine Halbleitervorrichtung eine erste Halbleiterstruktur, die ein Substrat, Schaltungsvorrichtungen, die auf dem Substrat angeordnet sind, und erste Bondpads, die auf den Schaltungsvorrichtungen angeordnet sind, enthält; und eine zweite Halbleiterstruktur, die auf der ersten Halbleiterstruktur mit der ersten Halbleiterstruktur verbunden ist, wobei die zweite Halbleiterstruktur eine Grundschrift; Speicherzellenstrukturen, die in eine Richtung senkrecht zu einer Unterseite der Grundschrift auf der Unterseite gestapelt sind; mindestens eine Verdrahtungsleitung, die zwischen den Speicherzellenstrukturen angeordnet ist und von den Speicherzellenstrukturen, die aufwärts und abwärts angeordnet sind, gemeinsam genutzt wird; eine erste und zweite leitfähige Schicht, die voneinander beabstandet und auf einer Deckfläche der Grundschrift angeordnet sind; eine Pad-Isolierschicht, die auf der ersten und zweiten leitfähigen Schicht angeordnet ist und eine Öffnung aufweist, die einen Abschnitt der zweiten leitfähigen Schicht freilegt; ein Verbindungspad, das parallel zu der mindestens einen Verdrahtungsleitung in einem unteren Abschnitt der zweiten leitfähigen Schicht angeordnet ist und mit der zweiten leitfähigen Schicht elektrisch verbunden ist; und zweite Bondpads, die in unteren Abschnitten der Speicherzellenstrukturen angeordnet sind, um den ersten Bondpads zu entsprechen, enthält.

[0008] Nach einigen Ausführungsbeispielen des vorliegenden erfinderischen Konzepts enthält eine Halbleitervorrichtung eine erste Halbleiterstruktur, die ein Substrat, Schaltungsvorrichtungen, die auf dem Substrat angeordnet sind, und erste Bondpads, die auf den Schaltungsvorrichtungen angeordnet sind, enthält; und eine zweite Halbleiterstruktur, die auf der ersten Halbleiterstruktur mit der ersten Halbleiterstruktur verbunden ist, wobei die zweite Halbleiterstruktur eine Grundschrift; Speicherzellenstrukturen, die in eine Richtung senkrecht zu einer Unterseite der Grundschrift auf der Unterseite gestapelt sind, und Gate-Elektroden enthalten, die

vertikal gestapelt sind; mindestens eine Verdrahtungsleitung, die zwischen den Speicherzellenstrukturen angeordnet ist und von den Speicherzellenstrukturen, die aufwärts und abwärts angeordnet sind, gemeinsam genutzt wird; eine erste leitfähige Schicht, die auf der Grundschrift in oberen Abschnitten der Gate-Elektroden angeordnet ist; eine zweite leitfähige Schicht, die von der ersten leitfähigen Schicht in einer horizontalen Richtung beabstandet ist und für eine elektrische Verbindung mit einer externen Vorrichtung vorgesehen ist; eine Pad-Isolierschicht, die auf der ersten und zweiten leitfähigen Schicht angeordnet ist und eine Öffnung aufweist, die einen Abschnitt der zweiten leitfähigen Schicht freilegt; ein Verbindungspad, das parallel zu der mindestens einen Verdrahtungsleitung in einem unteren Abschnitt der zweiten leitfähigen Schicht angeordnet ist und mit der zweiten leitfähigen Schicht elektrisch verbunden ist; und zweite Bondpads, die in unteren Abschnitten der Speicherzellenstrukturen angeordnet sind, um den ersten Bondpads zu entsprechen, enthält.

Kurze Beschreibung der Zeichnungen

[0009] Für ein deutlicheres Verständnis oben genannter und anderer Aspekte, Merkmale und Vorteile einiger Ausführungsbeispiele des vorliegenden erfinderischen Konzepts sorgt die folgende, detaillierte Beschreibung in Verbindung mit den beigefügten Zeichnungen, wobei:

Fig. 1 ein schematisches Blockdiagramm ist, das eine Halbleitervorrichtung nach einigen Ausführungsbeispielen des vorliegenden erfinderischen Konzepts darstellt;

Fig. 2 ein Ersatzschaltbild eines Zellenarrays einer Halbleitervorrichtung nach einigen Ausführungsbeispielen des vorliegenden erfinderischen Konzepts ist;

Fig. 3 eine schematische Darstellung ist, die ein Layout einer Anordnung einer Halbleitervorrichtung nach einigen Ausführungsbeispielen des vorliegenden erfinderischen Konzepts darstellt;

Fig. 4 eine schematische Querschnitts-Darstellung ist, die eine Halbleitervorrichtung nach einigen Ausführungsbeispielen des vorliegenden erfinderischen Konzepts darstellt;

Fig. 5A und **5B** schematische Querschnitts-Darstellungen sind, die Teilelemente einer Halbleitervorrichtung nach einigen Ausführungsbeispielen des vorliegenden erfinderischen Konzepts aufzeigen;

Fig. 6A und **6B** schematische Querschnitts-Darstellungen sind, die Teilelemente einer Halbleitervorrichtung nach einigen Ausführungsbeispielen des vorliegenden erfinderischen Konzepts aufzeigen;

Fig. 7A und **7B** schematische Darstellungen sind, die ein Layout von Teilelementen einer Halbleitervorrichtung nach einigen Ausführungsbeispielen des vorliegenden erfinderischen Konzepts aufzeigen;

Fig. 8A bis **8C** schematische Querschnitts-Darstellungen sind, die eine Halbleitervorrichtung nach einigen Ausführungsbeispielen des vorliegenden erfinderischen Konzepts aufzeigen;

Fig. 9 eine schematische Querschnitts-Darstellung ist, die eine Halbleitervorrichtung nach einigen Ausführungsbeispielen des vorliegenden erfinderischen Konzepts darstellt;

Fig. 10A bis **10J** schematische Querschnitts-Darstellungen sind, die ein Verfahren zur Herstellung einer Halbleitervorrichtung nach einigen Ausführungsbeispielen des vorliegenden erfinderischen Konzepts aufzeigen;

Fig. 11 eine schematische Querschnitts-Darstellung ist, die ein Halbleiterpackage nach einigen Ausführungsbeispielen des vorliegenden erfinderischen Konzepts darstellt; und

Fig. 12 ein Blockdiagramm ist, das eine elektronische Vorrichtung darstellt, die eine Halbleitervorrichtung nach einigen Ausführungsbeispielen des vorliegenden erfinderischen Konzepts enthält.

Detaillierte Beschreibung

[0010] Nachfolgend werden einige Ausführungsbeispiele des vorliegenden erfinderischen Konzepts wie folgt mit Bezug auf die beigefügten Zeichnungen beschrieben.

[0011] In den unten stehenden Beschreibungen werden Begriffe wie „ober“, „oberer Abschnitt“, „Deckfläche“, „unter“, „unterer Abschnitt“, „Unterseite“, „Seitenfläche“ und Ähnliches, wenn nicht anders angegeben, mit Bezug auf die Diagramme verwendet.

[0012] **Fig. 1** ist ein schematisches Blockdiagramm, das eine Halbleitervorrichtung nach einigen Ausführungsbeispielen darstellt.

[0013] Bezugnehmend auf **Fig. 1** kann eine Halbleitervorrichtung 10 ein Speicherzellenarray 20 und eine Peripherieschaltung 30 enthalten. Die Peripherieschaltung 30 kann einen Reihendecoder 32, einen Seitenpuffer 34, einen Eingangs- und Ausgangspuffer 35, eine Steuerlogik 36 und einen Spannungsgenerator 37 enthalten.

[0014] Das Speicherzellenarray 20 kann eine Mehrzahl an Speicherblöcken enthalten und die Speicherblöcke können jeweils eine Mehrzahl an Speicherzellen enthalten. Die Mehrzahl an Speicherzellen kann

durch eine String-Auswahlleitung SSL, Wortleitungen WL und eine Masse-Auswahlleitung GSL mit dem Reihendecoder 32 verbunden sein und kann durch Bit-Leitungen BL mit dem Seitenpuffer 34 verbunden sein. In einigen Ausführungsbeispielen kann eine Mehrzahl an Speicherzellen, die in der gleichen Reihe angeordnet sind, mit der gleichen Wortleitung WL verbunden sein, und eine Mehrzahl an Speicherzellen, die in der gleichen Spalte angeordnet sind, kann mit der gleichen Bit-Leitung BL verbunden sein.

[0015] Der Reihendecoder 32 kann eine Eingangsadresse ADDR dekodieren und kann Antriebssignale der Wortleitung WL erzeugen und übertragen. Der Reihendecoder 32 kann als Reaktion auf die Steuerung der Steuerlogik 36 eine vom Spannungsgenerator 37 erzeugte Wortleitungsspannung an eine ausgewählte Wortleitung WL und nicht-ausgewählte Wortleitung WL übermitteln.

[0016] Der Seitenpuffer 34 kann durch die Bit-Leitungen BL mit dem Speicherzellenarray 20 verbunden sein und kann in den Speicherzellen gespeicherte Informationen lesen. Der Seitenpuffer 34 kann in den Speicherzellen zu speichernde Daten vorübergehend speichern und/oder kann in den Speicherzellen gespeicherte Daten in Übereinstimmung mit einem Betriebsmodus erfassen. Der Seitenpuffer 34 kann einen Spaltendecoder und einen Erfassungsverstärker enthalten. Der Spaltendecoder kann die Bit-Leitungen BL des Speicherzellenarrays 20 wahlweise aktivieren und der Erfassungsverstärker kann die Spannung einer durch den Spaltendecoder ausgewählten Bit-Leitung erfassen und/oder kann Daten, die in einer ausgewählten Speicherzelle gespeichert sind, während eines Lesevorgangs lesen.

[0017] Der Eingangs- und Ausgangspuffer 35 kann Daten DATA empfangen und kann die Daten an den Seitenpuffer 34 übertragen, wenn ein Programm arbeitet, und der Eingangs- und Ausgangspuffer 35 kann die vom Seitenpuffer 34 empfangenen Daten DATA in einem Lesevorgang an eine externe Einheit (nicht gezeigt) ausgeben. Der Eingangs- und Ausgangspuffer 35 kann eine Eingangsadresse und/oder einen Eingangsbefehl an die Steuerlogik 36 übertragen.

[0018] Die Steuerlogik 36 kann die Vorgänge des Reihendecoders 32 und des Seitenpuffers 34 steuern. Die Steuerlogik 36 kann ein Steuersignal und eine externe Spannung, die von einer externen Einheit (nicht gezeigt) übertragen werden, empfangen und kann in Übereinstimmung mit dem empfangenen Steuersignal arbeiten. Die Steuerlogik 36 kann als Reaktion auf die Steuersignale einen Lesevorgang, einen Schreibvorgang und/oder einen Löschvorgang steuern.

[0019] Der Spannungsgenerator 37 kann für interne Vorgänge erforderliche Spannungen, wie zum Beispiel eine Programmspannung, eine Lesevorgangsspannung, eine Löschvorgangsspannung und Ähnliches zum Beispiel unter Verwendung einer externen Spannung erzeugen. Die im Spannungsgenerator 37 erzeugten Spannungen können durch den Reihendecoder 32 an das Speicherzellenarray 20 übertragen werden.

[0020] Fig. 2 ist ein Ersatzschaltbild eines Zellenarrays einer Halbleitervorrichtung nach einigen Ausführungsbeispielen.

[0021] Bezugnehmend auf Fig. 2 kann ein Speicherzellenarray 20A eine Mehrzahl an ersten Speicherzellenketten ST1, die erste Speicherzellen MC1 enthalten, die in Reihe miteinander verbunden sind, einen ersten Masse-Auswahltransistor GST1, der mit ersten Enden der ersten Speicherzellen MC1 verbunden ist, und erste String-Auswahltransistoren SST1_1 und SST1_2, die mit zweiten Enden der ersten Speicherzellen MC1 und miteinander in Reihe verbunden sind, enthalten. Die Mehrzahl an ersten Speicherzellenketten ST1 kann mit jeweiligen gemeinsamen Bit-Leitungen BL0 bis BL2 parallel verbunden sein. Die Mehrzahl an ersten Speicherzellenketten ST1 kann mit einer ersten gemeinsamen Sourceleitung CSL1 gemeinsam verbunden sein. Mit anderen Worten kann die Mehrzahl an ersten Speicherzellenketten ST1 zwischen der Mehrzahl an gemeinsamen Bit-Leitungen BL0 bis BL2 und einer einzelnen ersten gemeinsamen Sourceleitung CSL1 angeordnet sein. In einigen Ausführungsbeispielen kann eine Mehrzahl an ersten gemeinsamen Sourceleitungen CSL1 zweidimensional angeordnet sein.

[0022] Das Speicherzellenarray 20A kann eine Mehrzahl an zweiten Speicherzellenketten ST2, die zweite Speicherzellen MC2 enthalten, die in oberen Abschnitten der gemeinsamen Bit-Leitungen BL0 bis BL2 angeordnet und in Reihe miteinander verbunden sind, einen zweiten Masse-Auswahltransistor GST2, der mit ersten Enden der zweiten Speicherzellen MC2 verbunden ist, und zweite String-Auswahltransistoren SST2_1 und SST2_2, die mit zweiten Enden der zweiten Speicherzellen MC2 und miteinander in Reihe verbunden sind, enthalten. Die Mehrzahl an zweiten Speicherzellenketten ST2 kann mit jeweiligen gemeinsamen Bit-Leitungen BL0 bis BL2 parallel verbunden sein. Die Mehrzahl an zweiten Speicherzellenketten ST2 kann mit einer zweiten gemeinsamen Sourceleitung CSL2 gemeinsam verbunden sein. Mit anderen Worten kann die Mehrzahl an zweiten Speicherzellenketten ST2 zwischen der Mehrzahl an gemeinsamen Bit-Leitungen BL0 bis BL2 und einer einzelnen zweiten gemeinsamen Sourceleitung CSL2 angeordnet sein. In einigen Ausführungsbeispielen kann eine Mehrzahl an zwei-

ten gemeinsamen Sourceleitungen CSL2 zweidimensional angeordnet sein.

[0023] Die gemeinsamen Bit-Leitungen BL0 bis BL2 können in einem mittleren Abschnitt des Speicherzellenarrays 20A angeordnet sein und können mit den ersten und zweiten Speicherzellenketten ST1 und ST2, die aufwärts und abwärts angeordnet sind, elektrisch verbunden sein. Die ersten und zweiten Speicherzellenketten ST1 und ST2 können nahezu die gleiche Schaltungsstruktur mit Bezug auf die gemeinsamen Bit-Leitungen BL0 bis BL2 aufweisen. In der unten stehenden Beschreibung werden gemeinsame Aspekte der ersten und zweiten Speicherzellenketten ST1 und ST2 beschrieben, ohne dabei die ersten und zweiten Speicherzellenketten ST1 und ST2 voneinander zu unterscheiden.

[0024] Die Speicherzellen MC1 und MC2, die in Reihe miteinander verbunden sind, können von den Wortleitungen WL1_0-WL1_n und WL2_0-WL2_n zur Auswahl der Speicherzellen MC1 und MC2 gesteuert werden. Die Speicherzellen MC1 und MC2 können jeweils ein Datenspeicherelement enthalten. Gate-Elektroden der Speicherzellen MC1 und MC2, die in nahezu der gleichen Entfernung zu den gemeinsamen Sourceleitungen CSL1 und CSL2 angeordnet sind, können mit einer der Wortleitungen WL1_0-WL1_n und WL2_0-WL2_n gemeinsam verbunden sein und können in einem Zustand gleichen Potentials sein. Alternativ können die Gate-Elektroden, die in verschiedenen Reihen und Spalten angeordnet sind, unabhängig gesteuert werden, selbst wenn die Gate-Elektroden der Speicherzellen MC1 und MC2 in nahezu der gleichen Entfernung zu den gemeinsamen Sourceleitungen CSL1 und CSL2 angeordnet sind.

[0025] Die Masse-Auswahltransistoren GST1 und GST2 können von den Masse-Auswahlleitungen GSL1 und GSL2 gesteuert werden und können mit den gemeinsamen Sourceleitungen CSL1 und CSL2 verbunden sein. Die String-Auswahltransistoren SST1_1, SST1_2, SST2_1 und SST2_2 können von den String-Auswahlleitungen SSL1_1a, SSL1_1b, SSL1_1c, SSL1_2a, SSL1_2b, SSL1_2c, SSL2_1a, SSL2_1b, SSL2_1c und SSL2_2a, SSL2_2b, SSL2_2c gesteuert werden und können mit den gemeinsamen Bit-Leitungen BL0 bis BL2 verbunden sein. **Fig. 2** zeigt ein Beispiel auf, in dem ein Masse-Auswahltransistor GST1 und GST2 und zwei String-Auswahltransistoren SST1_1, SST1_2, SST2_1 und SST2_2 jeweils mit der Mehrzahl an Speicherzellen MC1 und MC2, die in Reihe miteinander verbunden sind, verbunden werden kann, allerdings sind einige andere Ausführungsbeispiele davon nicht darauf beschränkt. Zum Beispiel können ein einzelner String-Auswahltransistor und/oder eine Mehrzahl an Masse-Auswahltransistoren mit der Mehrzahl an Speicherzellen MC1 und MC2 verbun-

den sein. Eine oder mehrere Dummy-Wortleitungen DWL1 und DWL2 oder eine Pufferleitung können auch zwischen den obersten Wortleitungen WL1_n und WL2_n aus den Wortleitungen WL1_0-WL1_n und WL2_0-WL2_n und den String-Auswahlleitungen SSL1_1a, SSL1_1b, SSL1_1c, SSL1_2a, SSL1_2b, SSL1_2c, SSL2_1a, SSL2_1b, SSL2_1c und SSL2_2a, SSL2_2b, SSL2_2c angeordnet sein. In einigen Ausführungsbeispielen können eine oder mehrere Dummy-Wortleitungen auch zwischen den untersten Wortleitungen WL1_0 und WL2_0 und den Masse-Auswahlleitungen GSL1 und GSL2 angeordnet sein. In einigen Ausführungsbeispielen kann sich der Begriff „Dummy“ auf ein Element beziehen, das eine Struktur und eine Form aufweist, die gleich oder ähnlich sind wie Strukturen und Formen anderer Elemente, das jedoch in der Vorrichtung nicht einwandfrei funktionieren kann.

[0026] Wenn den String-Auswahltransistoren SST1_1, SST1_2, SST2_1 und SST2_2 durch die String-Auswahlleitungen SSL1_1a, SSL1_1b, SSL1_1c, SSL1_2a, SSL1_2b, SSL1_2c, SSL2_1a, SSL2_1b, SSL2_1c und SSL2_2a, SSL2_2b, SSL2_2c ein Signal zugeführt wird, kann ein durch die gemeinsamen Bit-Leitungen BL0 bis BL2 zugeführtes Signal an die Speicherzellen MC1 und MC2, die in Reihe miteinander verbunden sind, übertragen werden, und Vorgänge zum Lesen und/oder Schreiben von Daten können dementsprechend durchgeführt werden. Außerdem kann ein Vorgang zum Löschen von in den Speicherzellen MC1 und MC2 verzeichneten Daten durchgeführt werden, wenn ein gewisses Maß an Löschspannung durch ein Substrat zugeführt wird. In einigen Ausführungsbeispielen kann das Speicherzellenarray 20A ferner mindestens eine Dummy-Speicherzellenkette enthalten, die von den gemeinsamen Bit-Leitungen BL0 bis BL2 elektrisch getrennt ist.

[0027] **Fig. 3** ist eine schematische Darstellung, die ein Layout einer Anordnung einer Halbleitervorrichtung nach einigen Ausführungsbeispielen darstellt.

[0028] Bezugnehmend auf **Fig. 3** kann eine Halbleitervorrichtung 10A erste und zweite Halbleiterstrukturen S1 und S2 enthalten, die in eine vertikale Richtung gestapelt sind. Die erste Halbleiterstruktur S1 kann in der in **Fig. 1** aufgezeigten Peripherieschaltung 30 enthalten sein und die zweite Halbleiterstruktur S2 kann in dem in **Fig. 1** aufgezeigten Speicherzellenarray 20 enthalten sein.

[0029] Die erste Halbleiterstruktur S1 kann Reihendecoder DEC, Seitenpuffer PB und weitere Peripherieschaltungen PERI enthalten. Die Reihendecoder DEC können sich auf den mit Bezug auf **Fig. 1** beschriebenen Reihendecoder 32 beziehen und die Seitenpuffer PB können sich auf einen Bereich des Seitenpuffers 34 beziehen. Die weiteren Peripheries-

chaltungen PERI können ein Bereich sein, der die in **Fig. 1** aufgezeigte Steuerlogik 36 und den Spannungsgenerator 37 enthält, und können zum Beispiel eine Latch-Schaltung, eine Cache-Schaltung und/oder einen Erfassungsverstärker enthalten. Die weiteren Peripherieschaltungen PERI können auch den in **Fig. 1** aufgezeigten Eingangs- und Ausgangspuffer 35 enthalten und können eine elektrostatische Entladungs(ESD)-Vorrichtung und/oder eine Dateneingangs- und Datenausgangsschaltung enthalten. In einigen Ausführungsbeispielen kann der Eingangs- und Ausgangspuffer 35 angeordnet sein, um einen separaten Bereich in einem Umfang der weiteren Peripherieschaltungen PERI zu formen.

[0030] Mindestens ein Abschnitt der verschiedenen Schaltungsbereiche DEC, PB und PERI in der oben beschriebenen ersten Halbleiterstruktur S 1 kann in unteren Abschnitten der Speicherzellenarrays MCA1 und MCA2 der zweiten Halbleiterstruktur S2 angeordnet sein. Zum Beispiel können der Seitenpuffer PB und die weiteren Peripherieschaltungen PERI angeordnet sein, um die Speicherzellenarrays MCA1 und MCA2 in unteren Abschnitten der Speicherzellenarrays MCA1 und MCA2 zu überlappen. In einigen anderen Ausführungsbeispielen können die Schaltungen, die in der ersten Halbleiterstruktur S1 enthalten sind, und die Anordnungsform der Schaltungen allerdings variieren und die Schaltungen, welche die Speicherzellenarrays MCA1 und MCA2 überlappen, können ebenfalls auf verschiedene Weise variieren. In einigen Ausführungsbeispielen können die Schaltungsbereiche DEC, PB und PERI außerdem Formen aufweisen, in denen die in **Fig. 3** aufgezeigte Anordnungsform in Abhängigkeit der Anzahl und Größen der Speicherzellenarrays MCA1 und MCA2 wiederholt und nacheinander angeordnet ist.

[0031] Die zweite Halbleiterstruktur S2 kann Speicherzellenarrays MCA1 und MCA2 und Pad-Bereiche PAD enthalten. Die Speicherzellenarrays MCA1 und MCA2 können erste und zweite Speicherzellenarrays MCA1 und MCA2 enthalten, die vertikal gestapelt sind, und jedes der ersten und zweiten Speicherzellenarrays MCA1 und MCA2 kann voneinander beabstandet und auf der gleichen Ebene angeordnet sein. In einigen anderen Ausführungsformen können die Anzahl an Schichten und/oder die Anordnungsform der in der zweiten Halbleiterstruktur S2 angeordneten Speicherzellenarrays MCA1 und MCA2 allerdings variieren. Die Pad-Bereiche PAD können auf mindestens einer Seite der Speicherzellenarrays MCA1 und MCA2 angeordnet sein und können entlang mindestens einer Kante der zweiten Halbleiterstruktur angeordnet sein, während sie Spalten bilden. Alternativ können die Pad-Bereiche PAD zwischen den ersten und zweiten Speicherzellenarrays MCA1 und MCA2 angeordnet sein, während sie Spalten bilden. Die Pad-Bereiche PAD kön-

nen konfiguriert sein, um ein elektrisches Signal zu übertragen und/oder um ein elektrisches Signal von einer externen Vorrichtung zu empfangen. In der Halbleitervorrichtung 10A können die Pad-Bereiche PAD Bereiche sein, die mit einer Eingangs- und Ausgangsschaltung, dem in **Fig. 1** aufgezeigten Eingangs- und Ausgangspuffer 35 unter den in den weiteren Peripherieschaltungen PERI der ersten Halbleiterstruktur S1 vorgesehenen Schaltungen elektrisch verbunden sind.

[0032] **Fig. 4** ist eine schematische Querschnittsdarstellung, die eine Halbleitervorrichtung nach einigen Ausführungsbeispielen darstellt.

[0033] Bezugnehmend auf **Fig. 4** kann eine Halbleitervorrichtung 100 eine erste Halbleiterstruktur S1 und eine zweite Halbleiterstruktur S2 aufweisen, die aufwärts und abwärts gestapelt sind. Die erste Halbleiterstruktur S 1 kann wie in der in **Fig. 3** aufgezeigten ersten Halbleiterstruktur S1 einen Peripherieschaltungs-Bereich PERI enthalten. Die zweite Halbleiterstruktur S2 kann wie in der in **Fig. 3** aufgezeigten zweiten Halbleiterstruktur S2 Speicherzellenbereiche CELL1 und CELL2 enthalten. Die Halbleitervorrichtung 100 kann erste bis dritte Bereiche I, II und III enthalten, und der erste und zweite Bereich I und II können Bereiche sein, die in Richtungen senkrecht zueinander geschnitten sind, und der dritte Bereich III kann einen Bereich enthalten, in dem ein Pad-Bereich PAD angeordnet ist, der dem in **Fig. 3** aufgezeigten Pad-Bereich PAD entspricht, und kann auf einer externen Seite des ersten und zweiten Bereichs I und II angeordnet sein.

[0034] Die erste Halbleiterstruktur S1 kann ein Substrat 101, Schaltungsvorrichtungen 120, die auf dem Substrat 101 angeordnet sind, Schaltungs-Kontaktstopfen 160, Schaltungs-Verdrahtungsleitungen 170 und erste Bondpads 180 enthalten.

[0035] Das Substrat 101 kann eine Deckfläche aufweisen, die sich in eine x-Richtung und eine y-Richtung erstreckt. Das Substrat 101 kann Vorrichtungsisolationsschichten aufweisen, sodass ein aktiver Bereich definiert werden kann. Source-/Drain-Bereiche 105, welche Verunreinigungen enthalten, können in einem Abschnitt des aktiven Bereichs angeordnet sein. Das Substrat 101 kann ein Halbleitermaterial enthalten, wie zum Beispiel einen Halbleiter der Gruppe IV, einen Verbindungshalbleiter der Gruppe III-V oder einen Verbindungshalbleiter der Gruppe II-VI. Zum Beispiel kann das Substrat 101 als ein monokristalliner Bulk-Wafer vorgesehen sein.

[0036] Die Schaltungsvorrichtungen 120 können einen planaren Transistor enthalten. Die Schaltungsvorrichtungen 120 können jeweils eine dielektrische Schaltungs-Gate-Schicht 122, eine Abstandsschicht

124 und eine Schaltungs-Gate-Elektrode 125 enthalten. Die Source-/Drain-Bereiche 105 können in dem Substrat 101 auf beiden Seiten der Schaltungs-Gate-Elektrode 125 angeordnet sein.

[0037] Eine Peripheriebereichs-Isolierschicht 190 kann auf der Schaltungsvorrichtung 120 auf dem Substrat 101 angeordnet sein. Die Schaltungs-Kontaktstopfen 160 können die Peripheriebereichs-Isolierschicht 190 durchdringen und können mit den Source-/Drain-Bereichen 105 verbunden sein und können erste bis dritte Schaltungs-Kontaktstopfen 162, 164 und 166 enthalten, die in Reihenfolge vom Substrat 101 aus angeordnet sind. Ein elektrisches Signal kann der Schaltungsvorrichtung 120 von den Schaltungs-Kontaktstopfen 160 zugeführt werden. In einem nicht aufgezeigten Bereich können die Schaltungs-Kontaktstopfen 160 auch mit der Schaltungs-Gate-Elektrode 125 verbunden sein. Die Schaltungs-Verdrahtungsleitungen 170 können mit den Schaltungs-Kontaktstopfen 160 verbunden sein und können erste bis dritte Schaltungs-Verdrahtungsleitungen 172, 174 und 176 enthalten und eine Mehrzahl an Schichten bilden.

[0038] Die ersten Bondpads 180 können angeordnet sein, um mit dem dritten Schaltungs-Kontaktstopfen 166 verbunden zu werden, und Deckflächen der ersten Bondpads 180 können durch die Peripheriebereichs-Isolierschicht 190 in Richtung einer Deckfläche der ersten Halbleiterstruktur S 1 freigelegt werden. Die in der ersten Halbleiterstruktur S1 enthaltenen ersten Bondpads 180 können zusammen mit den in der zweiten Halbleiterstruktur S2 enthaltenen zweiten Bondpads 280 als eine Bondschicht zum Bonding der ersten Halbleiterstruktur S1 und der zweiten Halbleiterstruktur S2 fungieren. Die ersten Bondpads 180 können eine relativ große planare Fläche im Vergleich zu den Flächen der anderen Verdrahtungsstrukturen aufweisen, um mit (den zweiten Bondpads 280) der zweiten Halbleiterstruktur S2 verbunden zu werden, und um einen elektrischen Verbindungspfad dementsprechend vorzusehen. Die ersten Bondpads 180 können an einer Position angeordnet sein, die den zweiten Bondpads 280 entspricht, und können Größen aufweisen, die gleich oder ähnlich sind wie Größen der zweiten Bondpads 280. Die ersten Bondpads 180 können ein leitfähiges Material, wie zum Beispiel Kupfer (Cu), enthalten.

[0039] Die zweite Halbleiterstruktur S2 kann eine Grundschrift 201 und erste und zweite Speicherzellenbereiche CELL1 und CELL2 enthalten, die aufwärts und abwärts auf der Grundschrift 201 gestapelt sind. Der erste Speicherzellenbereich CELL1 kann Gate-Elektroden 230 (z.B. Gate-Elektroden 231 bis 239), die auf einer Unterseite der Grundschrift 201 gestapelt sind, Zwischenschicht-Isolierschichten 220, die wechselweise mit den Gate-Elektroden 230 gestapelt sind, eine Isolations-

Isolierschicht 210, welche die Gate-Elektroden 230 durchdringt, erste Kanäle CH1, welche die Gate-Elektroden 230 durchdringen, String-Auswahlkanäle 240S, die in unteren Abschnitten der ersten Kanäle CH1 angeordnet sind, erste Verbindungsabschnitte 262, die in unteren Abschnitten der String-Auswahlkanäle 240S angeordnet sind, gemeinsame Bit-Leitungen 270, die in unteren Abschnitten der ersten Verbindungsabschnitte 262 angeordnet sind, und eine obere Zellenbereichs-Isolierschicht 285U, welche die Gate-Elektroden 230 bedeckt, enthalten. Der erste Speicherzellenbereich CELL1 kann ferner eine obere leitfähige Schicht 205U und eine Pad-Isolierschicht 290 enthalten, die in Reihenfolge gestapelt und auf einer Deckfläche der Grundschrift 201 angeordnet sind. Der erste Speicherzellenbereich CELL1 kann ferner Kanalbereiche 240, dielektrische Gate-Schichten 245, Kanal-Isolierschichten 250 und erste Kanalpads 255U enthalten, die in den ersten Kanälen CH1 vorgesehen sind.

[0040] Der zweite Speicherzellenbereich CELL2 kann zweite Verbindungsabschnitte 264, die auf Unterseiten der gemeinsamen Bit-Leitungen 270 angeordnet sind, String-Auswahlkanäle 240S, die in unteren Abschnitten der zweiten Verbindungsabschnitte 264 angeordnet sind, zweite Kanalpads 255L, die in unteren Abschnitten der String-Auswahlkanäle 240S angeordnet sind, zweite Kanäle CH2, die in unteren Abschnitten der zweiten Kanalpads 255L angeordnet sind, dritte Verbindungsabschnitte 266, die in unteren Abschnitten der zweiten Kanäle CH2 angeordnet sind, eine untere leitfähige Schicht 205L, die in unteren Abschnitten der dritten Verbindungsabschnitte 266 angeordnet ist, vierte Verbindungsabschnitte 268, die in einem unteren Abschnitt der unteren leitfähigen Schicht 205L angeordnet sind, und zweite Bondpads 280, die mit den vierten Verbindungsabschnitten 268 verbunden sind, enthalten. Der zweite Speicherzellenbereich CELL2 kann ferner Gate-Elektroden 230, welche die zweiten Kanäle CH2 umschließen und voneinander beabstandet sind und in eine z-Richtung gestapelt sind, Zwischenschicht-Isolierschichten 220, die wechselweise mit den Gate-Elektroden 230 gestapelt sind, eine Isolations-Isolierschicht 210, welche die Gate-Elektroden 230 durchdringt, und untere Zellenbereichs-Isolierschichten 285La und 285Lb, welche die Gate-Elektroden 230 bedecken, enthalten.

[0041] Die zweite Halbleiterstruktur S2 kann ferner erste Kontaktstopfen 260, die der oberen leitfähigen Schicht 205U ein Signal zuführen, Verbindungspads 275, die parallel zu den gemeinsamen Bit-Leitungen 270 angeordnet sind, zweite Verbindungsabschnitte 264, die in unteren Abschnitten der Verbindungspads 275 angeordnet sind, und zweite Kontaktstopfen 261, welche die zweiten Verbindungsabschnitte 264 mit den zweiten Bondpads 280 verbinden, als Verdrahtungsstrukturen enthalten.

[0042] Die Grundschrift 201 kann eine Unterseite aufweisen, die sich in eine x-Richtung und eine y-Richtung erstreckt. Die Grundschrift 201 kann ein Halbleitermaterial enthalten. Die Grundschrift 201 kann zum Beispiel als eine polykristalline Siliziumschicht oder eine Epitaxialschicht vorgesehen sein. Die Grundschrift 201 kann einen Dotierungsbereich enthalten, der Verunreinigungen enthält.

[0043] Die Gate-Elektroden 230 können voneinander beabstandet und auf einer Unterseite der Grundschrift 201 gestapelt sein und können zusammen mit den Zwischenschicht-Isolierschichten 220 eine Stapelstruktur bilden. Die Gate-Elektroden 230 können eine untere Gate-Elektrode 231, die in einem Gate des in **Fig. 2** aufgezeigten Masse-Auswahltransistors GST enthalten ist, Speicher-Gate-Elektroden 232 bis 238, die in einer Mehrzahl an Speicherzellen MC enthalten sind, und eine obere Gate-Elektrode 239, die in Gates des String-Auswahltransistors SST1 und SST2 enthalten ist, enthalten. Die Anzahl der in der Speicherzelle MC enthaltenen Speicher-Gate-Elektroden 232 bis 238 kann in Abhängigkeit der Kapazität der Halbleitervorrichtung 100 bestimmt werden. In Abhängigkeit von Ausführungsbeispielen kann die Anzahl der oberen und unteren Gate-Elektrode 231 und 239 des String-Auswahltransistors SST1 und SST2 und des Masse-Auswahltransistors GST1 jeweils eins oder zwei oder mehr sein. Der von der unteren Gate-Elektrode 231 vorgesehene Masse-Auswahltransistor GST kann eine Struktur aufweisen, die gleich oder anders ist als Strukturen der Speicherzellen MC, und die von der oberen Gate-Elektrode 239 vorgesehenen String-Auswahltransistoren SST1 und SST2 können eine Struktur aufweisen, die anders ist als Strukturen der Speicherzellen MC. Die obere Gate-Elektrode 239 kann geteilt und zwischen jeweils benachbarten Kanälen CH1 und CH2 auf einer x-y-Ebene angeordnet werden, anders als die anderen Gate-Elektroden 231 bis 238. Abschnitte der Gate-Elektroden 230, wie zum Beispiel eine oder mehrere der Speicher-Gate-Elektroden 232 bis 238, die benachbart zu der oberen und unteren Gate-Elektrode 231 und 239 sind, können zum Beispiel Dummy-Gate-Elektroden sein.

[0044] Die Gate-Elektroden 230 können voneinander beabstandet und senkrecht zu einer Unterseite der Grundschrift 201 gestapelt sein und können sich mit verschiedenen Längen in eine Richtung erstrecken und können gestufte Abschnitte bilden, die eine Treppenform aufweisen. Die Gate-Elektroden 230 können wie in **Fig. 4** aufgezeigte gestufte Abschnitte in die x-Richtung bilden und können auch in die y-Richtung gestufte Abschnitte bilden. Die Gate-Elektroden 230 können durch die gestuften Abschnitte konfiguriert werden, sodass ein gewisser Bereich, der Enden der Gate-Elektroden 230 enthält, freigelegt werden kann. In einem nicht aufgezeigten Bereich können die Gate-Elektroden 230 mit ande-

ren Kontaktstopfen auf den gestuften Abschnitten verbunden sein.

[0045] Die Gate-Elektroden 230 können angeordnet sein, um durch die Isolations-Isolierschichten 210, die sich in die x-Richtung erstrecken, mit gewissen Einheiten voneinander getrennt zu werden. Die Gate-Elektroden 230 können einen einzelnen Speicherblock zwischen einem Paar an Isolations-Isolierschichten 210 bilden, allerdings ist eine Reichweite des Speicherblocks nicht darauf beschränkt. Abschnitte der Gate-Elektroden 230, wie zum Beispiel die Speicher-Gate-Elektroden 232 bis 238, können zum Beispiel eine einzelne Schicht in einem einzelnen Speicherblock bilden. Die Gate-Elektroden 230 können außerdem einen Durchgangs-Verdrahtungsbereich aufweisen, der durch eine Durchgangs-Isolierschicht 282 in mindestens einem Teilbereich definiert wird.

[0046] Die Zwischenschicht-Isolierschichten 220 können zwischen den Gate-Elektroden 230 angeordnet sein. Die Zwischenschicht-Isolierschichten 220 können außerdem in eine Richtung senkrecht zu einer Unterseite der Grundschrift 201 voneinander beabstandet sein und können sich, ähnlich wie die Gate-Elektroden 230, in die x-Richtung erstrecken. Die Zwischenschicht-Isolierschichten 220 können ein Isoliermaterial enthalten, wie zum Beispiel Siliziumoxid oder Siliziumnitrid.

[0047] Die ersten und zweiten Kanäle CH1 und CH2 können voneinander beabstandet sein und können Reihen und Spalten auf einer Unterseite der Grundschrift 201 bilden. Die ersten und zweiten Kanäle CH1 und CH2 können in Gitter- oder Zickzackform in eine Richtung angeordnet sein. Die ersten und zweiten Kanäle CH1 und CH2 können jeweils eine zylindrische Form aufweisen und können schräge Seitenflächen aufweisen, die sich in eine Richtung zu der Grundschrift 201 hin in Übereinstimmung mit einem Seitenverhältnis in der Breite verengen. Die ersten und zweiten Kanäle CH1 und CH2 können schräge Seitenflächen aufweisen, welche in die gleiche Richtung geneigt sind. Zum Beispiel können die ersten und zweiten Kanäle CH1 und CH2 jeweils schräge Seitenflächen aufweisen, sodass die Breiten der ersten und zweiten Kanäle CH1 und CH2 zu den oberen Abschnitten derselben hin abnehmen. In einigen Ausführungsbeispielen können Abschnitte der ersten und zweiten Kanäle CH1 und CH2 Dummy-Kanäle sein.

[0048] Ein Kanalbereich 240 kann in den ersten und zweiten Kanälen CH1 und CH2 angeordnet sein. Die Kanalbereiche 240 in den ersten und zweiten Kanälen CH1 und CH2 können eine Ringform aufweisen, welche die darin angeordnete Kanal-Isolierschicht 250 umschließt, allerdings ist eine Form des Kanalbereichs 240 nicht darauf beschränkt. In einigen

anderen Ausführungsbeispielen kann der Kanalbereich 240 eine Säulenform aufweisen, wie zum Beispiel eine Form eines Zylinders oder eines Prismas. Der Kanalbereich 240 kann ein Halbleitermaterial, wie zum Beispiel polykristallines Silizium oder monokristallines Silizium, enthalten und das Halbleitermaterial kann ein undotiertes Material sein oder ein Material, das p-Typ-Verunreinigungen oder n-Typ-Verunreinigungen enthält.

[0049] Erste und zweite Kanalpads 255U und 255L können auf Enden der Kanalbereiche 240, die benachbart zu den gemeinsamen Bit-Leitungen 270 in den ersten und zweiten Kanälen CH1 und CH2 sind, angeordnet sein. Die ersten und zweiten Kanalpads 255U und 255L können Oberflächen der Kanal-Isolierschichten 250 bedecken und können mit den Kanalbereichen 240 elektrisch verbunden sein. Die ersten und zweiten Kanalpads 255U und 255L können zum Beispiel undotiertes polykristallines Silizium enthalten.

[0050] Die dielektrische Gate-Schicht 245 kann zwischen den Gate-Elektroden 230 und der Kanalregion 240 angeordnet sein. Obwohl nicht detailliert aufgezeigt, kann die dielektrische Gate-Schicht 245 eine Tunnelschicht, eine Ladungsspeicherschicht und eine Sperrschicht enthalten, die in Reihenfolge vom Kanalbereich 240 aus gestapelt sind. Die Tunnelschicht kann elektrische Ladung zu der Ladungsspeicherschicht tunneln und kann zum Beispiel Siliziumoxid (SiO_2), Siliziumnitrid (Si_3N_4), Siliziumoxinitrid (SiON) oder eine Kombination daraus enthalten. Die Ladungsspeicherschicht kann eine Ladungseinfangschicht oder eine leitfähige Floating-Gate-Schicht sein. Die Sperrschicht kann Siliziumoxid (SiO_2), Siliziumnitrid (Si_3N_4), Siliziumoxinitrid (SiON), ein High-k-Material oder eine Kombination daraus enthalten. In einigen Ausführungsbeispielen kann sich mindestens ein Abschnitt der dielektrischen Gate-Schicht 245 in eine horizontale Richtung entlang der Gate-Elektroden 230 erstrecken.

[0051] Der Kanalbereich 240 kann mit der Grundschicht 201 oder dem dritten Verbindungsabschnitt 266 an Enden, auf denen die Kanalpads 255U und 255L nicht angeordnet sind, direkt verbunden sein.

[0052] Die String-Auswahlkanäle 240S können zwischen den ersten und zweiten Kanalpads 255U und 255L und den gemeinsamen Bit-Leitungen 270 angeordnet sein. Die String-Auswahlkanäle 240S können die obere Gate-Elektrode 239 durchdringen, sodass erste Enden der String-Auswahlkanäle 240S jeweils mit den Kanalpads 255U und 255L verbunden werden können und zweite Enden der String-Auswahlkanäle 240S jeweils mit den ersten und zweiten Verbindungsabschnitten 262 und 264 verbunden werden können. Die String-Auswahlkanäle

240S im ersten Speicherzellenbereich CELL1 können in einem einzelnen Durchgangsloch, das sich zu den ersten Verbindungsabschnitten 262 erstreckt, angeordnet sein, und die String-Auswahlkanäle 240S im zweiten Speicherzellenbereich CELL2 können in einem einzelnen Durchgangsloch, das sich zu den zweiten Kanalpads 255L erstreckt, angeordnet sein, allerdings sind einige andere Ausführungsbeispiele davon nicht darauf beschränkt. In einigen Ausführungsbeispielen können sich die Begriffe „erste Kanäle CH1 und zweite Kanäle CH2“ auch auf einen Bereich beziehen, der das Durchgangsloch im weiteren Sinne enthält. Der Kanalbereich 240 kann ein Halbleitermaterial wie polykristallines Silizium oder monokristallines Silizium enthalten und das Halbleitermaterial kann ein undotiertes Material sein oder ein Material, das p-Typ-Verunreinigungen oder n-Typ-Verunreinigungen enthält.

[0053] Eine String-Isolierschicht 250S, welche das Durchgangsloch füllt, kann in den String-Auswahlkanälen 240S angeordnet sein. In einigen anderen Ausführungsbeispielen können die String-Auswahlkanäle 240S das Durchgangsloch füllen. Die String-Isolierschicht 250S kann ein Isoliermaterial wie Siliziumoxid, Siliziumnitrid oder Ähnliches enthalten.

[0054] Die ersten Verbindungsabschnitte 262 können die String-Auswahlkanäle 240S, die in unteren Abschnitten der ersten Kanäle CH1 angeordnet sind, und die gemeinsamen Bit-Leitungen 270 miteinander verbinden. Die zweiten Verbindungsabschnitte 264 können die gemeinsamen Bit-Leitungen 270 und die String-Auswahlkanäle 240S in oberen Abschnitten der zweiten Kanäle CH2 in unteren Abschnitten der gemeinsamen Bit-Leitungen 270 verbinden. Die dritten Verbindungsabschnitte 266 können die zweiten Kanäle CH2 und die untere leitfähige Schicht 205L in unteren Abschnitten der zweiten Kanäle CH2 verbinden. Die vierten Verbindungsabschnitte 268 können Kontaktstopfen sein, welche die untere leitfähige Schicht 205L und die zweiten Bondpads 280 verbinden.

[0055] Die ersten bis vierten Verbindungsabschnitte 262, 264, 266 und 268 können jeweils leitfähige Materialien enthalten. Zum Beispiel können die ersten bis dritten Verbindungsabschnitte 262, 264 und 266 dotiertes polykristallines Silizium enthalten und die vierten Verbindungsabschnitte 268 können ein Metallmaterial enthalten, wie zum Beispiel Wolfram (W), Aluminium (Al), Kupfer (Cu), Wolframnitrid (WN), Tantalnitrid (TaN), Titanitrid (TiN) oder eine Kombination daraus.

[0056] Die gemeinsamen Bit-Leitungen 270 können zwischen den ersten Verbindungsabschnitten 262 und den zweiten Verbindungsabschnitten 264 auf unteren Enden der ersten Verbindungsabschnitte 262 angeordnet sein. Die gemeinsamen Bit-Leitun-

gen 270 können mit den ersten und zweiten Kanälen CH1 und CH2 gemeinsam verbunden sein und können die in **Fig. 2** aufgezeigten Bit-Leitungen BL0 bis BL2 sein. Die Halbleitervorrichtung 100 kann durch die gemeinsamen Bit-Leitungen 270 eine relativ hohe Integrationsdichte aufweisen. Die gemeinsamen Bit-Leitungen 270 können zum Beispiel ein Halbleitermaterial wie polykristallines Silizium oder ein Metallmaterial wie Wolfram (W), Aluminium (Al), Kupfer (Cu), Wolframnitrid (WN), Tantalnitrid (TaN), Titanitrid (TiN) oder eine Kombination daraus enthalten.

[0057] Die obere leitfähige Schicht 205U kann erste und zweite leitfähige Schichten 205a und 205b enthalten, die voneinander beabstandet sind. Die erste und zweite leitfähige Schicht 205a und 205b können im gleichen Prozess gebildet werden und können aus dem gleichen Material gebildet werden und können eine gleiche Dicke auf der gleichen Höhenlage aufweisen. Mit anderen Worten können die jeweiligen Deckflächen und Unterseiten der ersten und zweiten leitfähigen Schicht 205a und 205b koplanar zueinander sein. Die untere leitfähige Schicht 205L kann in unteren Abschnitten der zweiten Kanäle CH2 angeordnet sein. Obere und untere leitfähige Schichten 205U und 205L können ein Metallmaterial enthalten. Zum Beispiel können die obere und untere leitfähige Schicht 205U und 205L Wolfram (W), Aluminium (Al), Kupfer (Cu), Wolframnitrid (WN), Tantalnitrid (TaN), Titanitrid (TiN) oder eine Kombination daraus enthalten.

[0058] Eine erste leitfähige Schicht 205a der oberen leitfähigen Schicht 205U kann in oberen Abschnitten des ersten und zweiten Bereichs I und II der Grundsicht 201 angeordnet sein und kann die Gate-Elektroden 230 und die ersten Kanäle CH1 auf einer Ebene überlappen. Die erste leitfähige Schicht 205a kann eine Plattenform aufweisen und kann als die in der Halbleitervorrichtung 100 in **Fig. 2** aufgezeigte gemeinsame Sourceleitung CSL fungieren. Die erste leitfähige Schicht 205a kann durch die ersten Kontaktstopfen 260 und die Grundsicht 201 ein elektrisches Signal von einem Periphereschaltungsbereich PERI empfangen und die Grundsicht 201 kann in mindestens einem Abschnitt davon Dotierungselemente enthalten. Die erste leitfähige Schicht 205a kann in einigen Ausführungsbeispielen außerdem direkt mit den ersten Kontaktstopfen 260 verbunden sein.

[0059] Eine zweite leitfähige Schicht 205b kann von der ersten leitfähigen Schicht 205a physisch und elektrisch getrennt sein und kann parallel zu der ersten leitfähigen Schicht 205a in die x-Richtung angeordnet sein. Dementsprechend können die Grundsichten 201 im ersten und zweiten Bereich I und II und im dritten Bereich III der Grundsichten 201 zusammen mit der ersten und zweiten leitfähigen

Schicht 205a und 205b voneinander getrennt sein. Die zweite leitfähige Schicht 205b kann derart konfiguriert sein, dass sie die Gate-Elektroden 230 und die ersten Kanäle CH1 auf einer Ebene nicht überlappt. Die zweite leitfähige Schicht 205b kann in einem oberen Abschnitt des dritten Bereichs III der Grundsicht 201 angeordnet sein und kann die ersten Kontaktstopfen 260 auf einer Ebene überlappen. Die zweite leitfähige Schicht 205b kann durch eine Deckfläche mit einer elektrischen Verbindungsstruktur, einem Signalübertragungsmedium in einer Vorrichtung wie einem Package, in dem die Halbleitervorrichtung 100 angebracht ist, verbunden sein. Mit anderen Worten kann die zweite leitfähige Schicht 205b, die in Richtung eines oberen Abschnitts freigelegt ist, als ein Pad-Bereich PAD fungieren. Die zweite leitfähige Schicht 205b kann mit einer Eingangs- und Ausgangsschaltung des Periphereschaltungsbereichs PERI in der Halbleitervorrichtung 100 elektrisch verbunden sein. In der Halbleitervorrichtung 100 kann die zweite leitfähige Schicht 205b unter Verwendung eines Prozesses zum Bilden der ersten leitfähigen Schicht 205a, welche als die gemeinsame Sourceleitung CSL verwendet wird, gebildet werden und die zweite leitfähige Schicht 205b kann als ein Pad-Bereich PAD für Eingangs- und Ausgangsvorgänge im Zusammenhang mit einer externen Einheit verwendet werden, wodurch eine Gesamtdicke deutlich reduziert und die Prozesse vereinfacht werden. Die zweite leitfähige Schicht 205b kann eine Breite in einem Bereich von 50 µm bis 200 µm in eine Richtung aufweisen, allerdings sind einige andere Ausführungsbeispiele davon nicht darauf beschränkt.

[0060] Die untere leitfähige Schicht 205L kann in unteren Abschnitten der zweiten Kanäle CH2 im ersten und zweiten Bereich I und II der Grundsicht 201 angeordnet sein und kann die Gate-Elektroden 230 und die zweiten Kanäle CH2 auf einer Ebene überlappen. Die untere leitfähige Schicht 205L kann eine Plattenform aufweisen und kann zusammen mit der ersten leitfähigen Schicht 205a als die in der Halbleitervorrichtung 100 in **Fig. 2** aufgezeigte gemeinsame Sourceleitung CSL fungieren. Die untere leitfähige Schicht 205L kann durch die vierten Verbindungsabschnitte 268 und die zweiten Bondpads 280 ein elektrisches Signal von einem Periphereschaltungsbereich PERI empfangen.

[0061] Eine Pad-Isolierschicht 290 kann auf der oberen leitfähigen Schicht 205U angeordnet sein. Die Pad-Isolierschicht 290 kann eine Öffnung aufweisen, die konfiguriert ist, um einen Teilbereich der zweiten leitfähigen Schicht 205b zu öffnen, und die Öffnung kann der zweiten leitfähigen Schicht 205b erlauben, in Richtung eines oberen Abschnitts freigelegt zu werden. Mit anderen Worten kann die Pad-Isolierschicht 290 den Pad-Bereich PAD definieren. Zum Beispiel kann eine Mehrzahl der Öffnungen

angeordnet sein, um eine wie in **Fig. 3** aufgezeigte Säule zu bilden. Durch die Öffnungen kann eine Deckfläche der Halbleitervorrichtung 100 einen vertieften Bereich aufweisen. Die Pad-Isolierschicht 290 kann außerdem als eine Passivierungsschicht fungieren, welche die Halbleitervorrichtung 100 schützt.

[0062] Die Pad-Isolierschicht 290 kann mindestens eines von Siliziumoxid, Siliziumnitrid und Siliziumkarbid enthalten. In einigen Ausführungsbeispielen kann die Pad-Isolierschicht 290 eine Form aufweisen, in der eine Mehrzahl an Schichten gestapelt ist. In diesem Fall kann eine untere Schicht aus einem Material gebildet werden, das ein hervorragendes Haftvermögen gegenüber der oberen leitfähigen Schicht 205U aufweist, und eine obere Schicht kann aus einem Material gebildet werden, das ein hervorragendes Haftvermögen gegenüber Silizium (Si) aufweist. Zum Beispiel kann die untere Schicht Siliziumoxid enthalten und die obere Schicht kann Siliziumnitrid enthalten. In einigen Ausführungsbeispielen kann außerdem eine Passivierungsschicht (nicht gezeigt) auf der Pad-Isolierschicht 290 angeordnet sein, um die Halbleitervorrichtung 100 zu schützen. Die Passivierungsschicht kann aus einem lichtempfindlichen Harzmaterial wie einem lichtempfindlichen Polyimid (PSPI) gebildet werden, allerdings sind einige andere Ausführungsbeispiele des Materials nicht darauf beschränkt. Zum Beispiel kann die Passivierungsschicht ein Isoliermaterial wie Siliziumnitrid, Siliziumoxid und Ähnliches enthalten.

[0063] Die ersten Kontaktstopfen 260 können die obere Zellenbereichs-Isolierschicht 285U durchdringen und können mit der Grundsicht 201 oder der oberen leitfähigen Schicht 205U verbunden sein und können an den anderen Enden mit den Verbindungspads 275 verbunden sein. In einigen Ausführungsbeispielen können die ersten Kontaktstopfen 260 die Grundsicht 201 durchdringen und können mit der oberen leitfähigen Schicht 205U direkt verbunden sein. Die ersten Kontaktstopfen 260 können außerdem in einem nicht aufgezeigten Bereich mit den Gate-Elektroden 230 verbunden sein. Die zweiten Kontaktstopfen 261 können die unteren Zellenbereichs-Isolierschichten 285La und 285Lb durchdringen und können die zweiten Verbindungsabschnitte 264 und die zweiten Bondpads 280 verbinden. Abschnitte der zweiten Kontaktstopfen 261 können angeordnet sein, um eine Durchgangs-Isolierschicht 282, welche die Gate-Elektroden 230 durchdringt, zu durchdringen. Die Durchgangs-Isolierschicht 282 kann ein Isoliermaterial enthalten und kann Verdrahtungsstrukturen enthalten, welche die zweiten Kontaktstopfen 261 darin enthalten.

[0064] Die ersten und zweiten Kontaktstopfen 260 und 261 können jeweils eine zylindrische Form auf-

weisen. Die ersten und zweiten Kontaktstopfen 260 und 261 können außerdem schräge Seitenflächen aufweisen, die sich in eine Richtung zu der Grundsicht 201 hin in Übereinstimmung mit einem Seitenverhältnis in der Breite verengen. In einigen Ausführungsbeispielen können die ersten und zweiten Kontaktstopfen 260 und 261 verschiedene Durchmesser und/oder verschiedene Höhen im zweiten Bereich II und im dritten Bereich III aufweisen. In einigen Ausführungsbeispielen können Abschnitte der ersten und zweiten Kontaktstopfen 260 und 261 Dummy-Kontaktstopfen sein, denen kein elektrisches Signal zugeführt wird.

[0065] Die Verbindungspads 275 können im gleichen Prozess gebildet werden wie der Prozess zum Bilden der gemeinsamen Bit-Leitungen 270, sodass die Verbindungspads 275 und die gemeinsamen Bit-Leitungen 270 aus dem gleichen Material gebildet werden, können auf der gleichen Ebene angeordnet sein, und können die gleiche Dicke aufweisen. Mit anderen Worten können die jeweiligen Deckflächen und Unterseiten der Verbindungspads 275 und der gemeinsamen Bit-Leitungen 270 koplanar zueinander sein. Die Verbindungspads 275 sind womöglich nicht die in **Fig. 2** aufgezeigten Bit-Leitungen BL0 bis BL2, anders als die gemeinsamen Bit-Leitungen 270, und können als ein Verbindungsabschnitt fungieren, der die ersten und zweiten Kontaktstopfen 260 und 261 zusammen mit den zweiten Verbindungsabschnitten 264 auf Unterseiten der Verbindungspads 275 verbindet.

[0066] Im dritten Bereich III kann die im Pad-Bereich PAD enthaltene zweite leitfähige Schicht 205b durch den ersten Kontaktstopfen 260, das Verbindungspad 275, den zweiten Verbindungsabschnitt 264, den zweiten Kontaktstopfen 261 und das zweite Bondpad 280, in Reihenfolge, mit den Schaltungsvorrichtungen 120 im Peripherieschaltungs-Bereich PERI in einem unteren Abschnitt verbunden sein. Somit kann die zweite leitfähige Schicht 205b selbst in einem Fall, in dem Höhen der Zellenbereichs-Isolierschichten 285U, 285La und 285Lb relativ hoch sind, stabil mit dem Peripherieschaltungs-Bereich PERI verbunden werden.

[0067] Die zweiten Bondpads 280 können in unteren Abschnitten der vierten Verbindungsabschnitte 268 angeordnet sein und Unterseiten der zweiten Bondpads 280 können durch die zweite untere Zellenbereichs-Isolierschicht 285Lb in Richtung einer Unterseite der zweiten Halbleiterstruktur S2 freigelegt werden. Die in der zweiten Halbleiterstruktur S2 enthaltenen zweiten Bondpads 280 können zusammen mit den in der ersten Halbleiterstruktur enthaltenen ersten Bondpads 180 als eine Bondschicht zum Bonding der ersten Halbleiterstruktur S1 und der zweiten Halbleiterstruktur S2 fungieren. Die zweiten Bondpads 280 können eine relativ große Fläche im

Vergleich zu anderen Verdrahtungsstrukturen, die mit (den ersten Bondpads 180) der ersten Halbleiterstruktur S1 verbunden werden sollen, aufweisen, und um einen elektrischen Verbindungspfad dementsprechend vorzusehen.

[0068] Die zweiten Bondpads 280 können angeordnet sein, um gewisse Muster im ersten bis dritten Bereich I, II und III zu bilden. Die zweiten Bondpads 280 können im ersten bis dritten Bereich I, II und III auf der gleichen Ebene angeordnet sein und können die gleiche Größe oder verschiedene Größen aufweisen. Die zweiten Bondpads 280 können jeweils eine viereckige Form, eine Kreisform oder eine ovale Form auf einer Ebene aufweisen, allerdings sind die Formen der zweiten Bondpads 280 nicht darauf beschränkt. Die zweiten Bondpads 280 können zum Beispiel ein leitfähiges Material wie Kupfer (Cu) enthalten.

[0069] Die Zellenbereichs-Isolierschichten 285U, 285La und 285Lb können aus einem Isoliermaterial gebildet sein. Die Zellenbereichs-Isolierschichten 285U, 285La und 285Lb können jeweils eine Mehrzahl an Isolierschichten enthalten, die in verschiedenen Stufen des Prozesses gebildet werden. Somit kann die Teilung zwischen den Zellenbereichs-Isolierschichten 285U, 285La und 285Lb als ein Beispiel verstanden werden. In einigen Ausführungsbeispielen kann die zweite untere Zellenbereichs-Isolierschicht 285Lb eine dielektrische Bondschicht (nicht gezeigt) enthalten, die eine gewisse Dicke an einem unteren Ende, auf dem das zweite Bondpad 280 angeordnet ist, aufweist. Die dielektrische Bondschicht kann außerdem an einer Unterseite der ersten Halbleiterstruktur angeordnet sein, und ein Dielektrikum-zu-Dielektrikum-Bonding kann von der dielektrischen Bondschicht angewandt werden. Die dielektrische Bondschicht kann außerdem als eine Diffusionsbarrierenschicht des zweiten Bondpads 280 fungieren. Zum Beispiel kann die dielektrische Bondschicht mindestens eines von SiO, SiN, SiCN, SiOC, SiON und/oder SiOCN enthalten.

[0070] Die erste und zweite Halbleiterstruktur S1 und S2 können durch das Bonding zwischen den ersten und zweiten Bondpads 180 und 280, zum Beispiel durch Kupfer(Cu)-zu-Kupfer(Cu)-Bonding, miteinander verbunden sein. Die ersten und zweiten Bondpads 180 und 280 können relativ große Flächen aufweisen im Vergleich zu Flächen der anderen Elemente der Verdrahtungsstrukturen und somit kann die Zuverlässigkeit von elektrischen Verbindungen zwischen der ersten und zweiten Halbleiterstruktur S1 und S2 verbessert werden. In einigen Ausführungsbeispielen können die erste und zweite Halbleiterstruktur S1 und S2 außerdem durch ein Hybrid-Bonding miteinander verbunden sein, das durch Bonding zwischen den ersten und zweiten Bondpads 180 und 280 und einem Dielektrikum-zu-Dielektri-

kum-Bonding zwischen der Zellenbereichs-Isolierschicht 285 und der im Umfang der ersten und zweiten Bondpads 180 und 280 angeordneten Peripheriebereichs-Isolierschicht 190 angewendet wird.

[0071] Fig. 5A und 5B sind schematische Querschnitts-Darstellungen, die Teilelemente einer Halbleitervorrichtung nach einigen Ausführungsbeispielen aufzeigen. Fig. 5A und 5B zeigen einen Bereich auf, welcher dem in Fig. 4 aufgezeigten Bereich „A“ in vergrößerter Form entspricht.

[0072] Bezugnehmend auf Fig. 5A kann ein erster Verbindungsabschnitt 262a, anders als in dem Ausführungsbeispiel in Fig. 4, ferner auf einem ersten Kontaktstopfen 260a, der mit einem Pad-Bereich PAD verbunden ist, angeordnet sein. Der erste Verbindungsabschnitt 262a kann eine Form aufweisen, in welcher sich der erste Verbindungsabschnitt 262a in ein Durchgangsloch, das die String-Auswahlkanäle 240S bildet, erstrecken kann, und kann, anders als der Verbindungsabschnitt im ersten und zweiten Bereich I und II, die Gesamtheit des Durchgangslochs füllen. In einigen Ausführungsbeispielen können außerdem ferner ein Durchgangsabschnitt 256 und ein vierter Verbindungsabschnitt 268 aufwärts und abwärts eines zweiten Kontaktstopfens 261a, der mit dem Pad-Bereich PAD elektrisch verbunden ist, angeordnet sein. Der Durchgangsabschnitt 256 kann sich in das Durchgangsloch, welches die String-Auswahlkanäle 240S bildet, erstrecken und kann, anders als die zweiten Kanalpads 255L im ersten und zweiten Bereich I und II, die Gesamt-Durchgangslöcher füllen.

[0073] Somit kann eine zweite leitfähige Schicht 205b, die den Pad-Bereich PAD bildet, durch den ersten Kontaktstopfen 260a, den ersten Verbindungsabschnitt 262a, das Verbindungspad 275, den zweiten Verbindungsabschnitt 264, den Durchgangsabschnitt 256, den zweiten Kontaktstopfen 261a, den vierten Verbindungsabschnitt 268 und das zweite Bondpad 280, in Reihenfolge, mit einem Peripherieschaltungs-Bereich PERI in einem unteren Abschnitt verbunden sein. In einigen Ausführungsbeispielen können der erste und zweite Kontaktstopfen 260a und 261a eine relativ geringe Höhe aufweisen, während der erste Verbindungsabschnitt 262a, der Durchgangsabschnitt 256 und der vierte Verbindungsabschnitt 268 angeordnet werden, wodurch ein Prozess mühelos durchgeführt werden kann.

[0074] Bezugnehmend auf Fig. 5B kann ein Verbindungspad 275a, anders als das Ausführungsbeispiel in Fig. 5A, ferner einen Kontaktstopfenabschnitt enthalten, der sich aufwärts erstreckt. Somit kann das Verbindungspad 275a durch den Kontaktstopfenabschnitt mit dem ersten Verbindungsabschnitt 262a verbunden werden. Obwohl nicht aufgezeigt, können

die gemeinsamen Bit-Leitungen 270 jeweils solch einen Kontaktstopfenabschnitt im ersten und zweiten Bereich I und II enthalten.

[0075] Fig. 6A und 6B sind schematische Querschnitts-Darstellungen, die Teilelemente einer Halbleitervorrichtung nach einem Ausführungsbeispiel aufzeigen. Fig. 6A und 6B zeigen einen Bereich auf, welcher dem in Fig. 4 aufgezeigten Bereich „B“ in vergrößerter Form entspricht.

[0076] Bezugnehmend auf Fig. 6A kann sich in einigen Ausführungsbeispielen, anders als in dem Ausführungsbeispiel in Fig. 4, ein dritter Verbindungsabschnitt 266a auf einer Deckfläche einer unteren leitfähigen Schicht 205L aus einem zweiten Kanal CH2 erstrecken. Dementsprechend kann ein dritter Verbindungsabschnitt 266a zusammen mit der unteren leitfähigen Schicht 205L in einem unteren Abschnitt in Plattenform angeordnet werden.

[0077] Bezugnehmend auf Fig. 6B können sich ein Kanalbereich 240a eines zweiten Kanals CH2 und eine dielektrische Gate-Schicht 245a zusammen mit dem dritten Verbindungsabschnitt 266a ebenfalls auf einer Deckfläche der unteren leitfähigen Schicht 205L erstrecken.

[0078] Fig. 7A und 7B sind schematische Darstellungen, die ein Layout von Teilelementen einer Halbleitervorrichtung nach einigen Ausführungsbeispielen aufzeigen.

[0079] Fig. 7A und 7B zeigen eine Anordnung einer zweiten leitfähigen Schicht 205b und ersten Kontaktstopfen 260 auf einer Ebene im Pad-Bereich in Fig. 4 auf. Die zweite leitfähige Schicht 205b kann durch eine Öffnung der in Fig. 4 aufgezeigten Pad-Isolierschicht 290 freigelegt werden und ein Bereich, der einen einzelnen Pad-Bereich PAD bildet, wird in einer Draufsicht aufgezeigt.

[0080] Die zweite leitfähige Schicht 205b kann eine viereckige Form im Pad-Bereich PAD aufweisen und kann eine erste Länge L1 in eine x-Richtung aufweisen und kann eine zweite Länge L2 in eine y-Richtung aufweisen. Die erste und zweite Länge L1 und L2 können gleich oder verschieden sein und können zum Beispiel einen Bereich von 20 μm bis 100 μm aufweisen. In einigen anderen Ausführungsbeispielen ist eine Form der zweiten leitfähigen Schicht 205b, welche durch die Öffnung freigelegt ist, nicht auf eine viereckige Form beschränkt und kann verschiedene Formen aufweisen, wie zum Beispiel eine Kreisform, eine ovale Form, eine polygonale Form und Ähnliches.

[0081] Wie in Fig. 7A aufgezeigt, kann ein einzelner erster Kontaktstopfen 260 mit einer zweiten leitfähigen Schicht 205b, die einen einzelnen Pad-Bereich

PAD in einem unteren Abschnitt bildet, verbunden sein. Ein erster Durchmesser D1 oder eine maximale Breite des ersten Kontaktstopfens 260 kann in einem Bereich von 100 nm bis 10 μm sein. In diesem Fall kann der erste Kontaktstopfen 260 in einem mittleren Abschnitt der zweiten leitfähigen Schicht 205b angeordnet sein, allerdings sind einige andere Ausführungsbeispiele davon nicht darauf beschränkt.

[0082] Wie in Fig. 7B aufgezeigt, kann eine Mehrzahl an ersten Kontaktstopfen 260 mit der zweiten leitfähigen Schicht 205b, die einen einzelnen Pad-Bereich PAD in einem unteren Abschnitt bildet, verbunden sein. In diesem Fall, wenn ein Draht mit dem Pad-Bereich PAD verbunden ist, kann sich die Stützkraft verbessern und dementsprechend kann eine auf die Halbleitervorrichtung ausgeübte Belastung gemildert werden. Die ersten Kontaktstopfen 260 können angeordnet sein, um eine Spalte und eine Reihe zu bilden. Ein zweiter Durchmesser D2 oder eine maximale Breite eines jeden der ersten Kontaktstopfen 260 kann zum Beispiel in einem Bereich von 100 nm bis 500 nm sein und der zweite Durchmesser D2 oder die maximale Breite kann gleich oder geringer sein als der in Fig. 7A aufgezeigte erste Durchmesser D1.

[0083] Fig. 8A bis 8C sind schematische Querschnitts-Darstellungen, die eine Halbleitervorrichtung nach einigen Ausführungsbeispielen aufzeigen.

[0084] Bezugnehmend auf Fig. 8A kann eine zweite Halbleiterstruktur S2 einer Halbleitervorrichtung 100a ferner eine Verbindungsschicht 295 enthalten, die auf der zweiten leitfähigen Schicht 205b eines Pad-Bereichs PAD angeordnet ist.

[0085] Die Verbindungsschicht 295 kann auf einer Deckfläche der zweiten leitfähigen Schicht 205b, die durch eine Öffnung der Pad-Isolierschicht 290 freigelegt ist, angeordnet sein und kann sich auf einen Abschnitt einer Deckfläche der Pad-Isolierschicht 290 entlang Seitenflächen der Pad-Isolierschicht 290 von einer Deckfläche der zweiten leitfähigen Schicht 205b aus erstrecken. In einigen anderen Ausführungsbeispielen kann die Verbindungsschicht 295 allerdings auch nur auf der freigelegten Deckfläche der zweiten leitfähigen Schicht 205b angeordnet sein. In diesem Fall kann die Verbindungsschicht 295 eine Oberflächenbehandlungsschicht sein. Die Verbindungsschicht 295 kann ein Material enthalten, das anders ist als ein Material der zweiten leitfähigen Schicht 205b, und kann eine Metallschicht, wie zum Beispiel Aluminium (Al), sein. Die Verbindungsschicht 295 kann aus einem Metallmaterial gebildet sein, das hervorragende Interdiffusion und hervorragende Kohäsionskraft gegenüber einer externen elektrischen Verbindungsstruktur, welche mit der freigelegten zweiten leitfähigen

Schicht 205b verbunden ist, aufweist, ein Drahtmaterial zum Beispiel.

[0086] Bezugnehmend auf **Fig. 8B** kann eine Verbindungsschicht 295a einer Halbleitervorrichtung 100b eine Öffnung der Pad-Isolierschicht 290 füllen und kann auf einem Abschnitt einer Deckfläche der Pad-Isolierschicht 290 angeordnet sein. Dementsprechend kann die Verbindungsschicht 295a aus einer Deckfläche der Halbleitervorrichtung 100b hervorstehen. Die Verbindungsschicht 295a kann aus einer einzelnen Schicht gebildet sein oder kann aus einer Mehrzahl an Schichten gebildet sein.

[0087] Bezugnehmend auf **Fig. 8C** kann die zweite leitfähige Schicht 205b des Pad-Bereichs PAD in der zweiten Halbleiterstruktur S2 einer Halbleitervorrichtung 100c ferner einen erweiterten Abschnitt 205E enthalten, der sich erstreckt, um die Pad-Isolierschicht 290 zu durchdringen. Die Halbleitervorrichtung 100c kann, anders als das Ausführungsbeispiel in **Fig. 4**, eine Form aufweisen, in welcher der erweiterte Abschnitt 205E der zweiten leitfähigen Schicht 205b die Pad-Isolierschicht 290 durchdringt und in Richtung eines oberen Abschnitts freigelegt ist, anstatt einer Form, in der ein Abschnitt der zweiten leitfähigen Schicht 205b durch eine Öffnung der Pad-Isolierschicht 290 freigelegt ist. Eine Unterseite der zweiten leitfähigen Schicht 205b kann einen konkaven Abschnitt in einem Bereich aufweisen, der dem erweiterten Abschnitt 205E entspricht, allerdings sind einige andere Ausführungsbeispiele davon nicht darauf beschränkt. Der konkave Abschnitt kann durch Füllen eines leitfähigen Materials, das den erweiterten Abschnitt 205E bildet, gebildet werden, wenn die zweite leitfähige Schicht 205b gebildet wird. Im Pad-Bereich PAD kann eine Breite der zweiten leitfähigen Schicht 205b in dem in **Fig. 8C** aufgezeigten Ausführungsbeispiel geringer sein als die Breite der zweiten leitfähigen Schicht 205b in dem in **Fig. 4** aufgezeigten Ausführungsbeispiel. Eine Breite der zweiten leitfähigen Schicht 205b kann relativ kleiner sein als das oben genannte Ausführungsbeispiel von **Fig. 4**, da, nachdem der erweiterte Abschnitt 205E gebildet wird, bevor die Öffnung der Pad-Isolierschicht 290 gebildet wird, eine Prozessspanne in dem Ausführungsbeispiel aus **Fig. 8C** anders sein kann als das in **Fig. 4** aufgezeigte Ausführungsbeispiel, sodass die zweite leitfähige Schicht 05b kleiner gebildet werden kann.

[0088] In einigen Ausführungsbeispielen kann der erweiterte Abschnitt 205E der zweiten leitfähigen Schicht 205b bis auf eine gewisse Höhe aus einer Deckfläche der Pad-Isolierschicht 290 hervorstehen. In einigen Ausführungsbeispielen kann der erweiterte Abschnitt 205E der zweiten leitfähigen Schicht 205b außerdem eine schräge Seitenwand aufweisen und kann eine verjüngte Form aufweisen, bei der eine Breite einer Deckfläche enger ist als eine Breite

einer Unterseite, zum Beispiel. Der erweiterte Abschnitt 205E kann eine Form wie zum Beispiel eine zylindrische Form, eine verjüngte zylindrische Form, eine Grabenform und Ähnliches aufweisen, allerdings ist eine Form des erweiterten Abschnitts 205E nicht darauf beschränkt. In einigen Ausführungsbeispielen kann eine Verbindungsschicht (nicht gezeigt) ferner auf dem erweiterten Abschnitt 205E angeordnet sein, ähnlich wie die im in **Fig. 8A** aufgezeigten Ausführungsbeispiel gezeigte Verbindungsschicht 295.

[0089] **Fig. 9** ist eine schematische Querschnittsdarstellung, die eine Halbleitervorrichtung nach einigen Ausführungsbeispielen darstellt.

[0090] Bezugnehmend auf **Fig. 9** kann eine zweite Halbleiterstruktur S2 einer Halbleitervorrichtung 100d ferner einen dritten Speicherzellenbereich CELL3 enthalten. Der dritte Speicherzellenbereich CELL3 kann in einem unteren Abschnitt eines zweiten Speicherzellenbereichs CELL2 angeordnet sein und kann ein unteres Substrat 201L, das auf einer Unterseite einer unteren leitfähigen Schicht 205L angeordnet ist, dritte Kanäle CH3, die auf dem unteren Substrat 201L angeordnet sind, Gate-Elektroden 230, welche die dritten Kanäle CH3 umschließen und voneinander beabstandet und in eine z-Richtung gestapelt sind, Zwischenschicht-Isolierschichten 220, eine Isolations-Isolierschicht 210, welche die Gate-Elektroden 230 durchdringt, und eine untere Zellenbereichs-Isolierschicht 285Lc, welche die Gate-Elektroden 230 bedeckt, enthalten.

[0091] Die dritten Kanäle CH3 können eine Struktur aufweisen, in der sich die dritten Kanäle CH3 eine gemeinsame Sourceleitung CSL (siehe **Fig. 2**), die an die untere leitfähige Schicht 205L übermittelt wird, mit den oberen zweiten Kanälen CH2 teilen. Die dritten Kanäle CH3 können in einem unteren Abschnitt, der von den gemeinsamen Bit-Leitungen 270 der ersten und zweiten Kanäle CH1 und CH2 getrennt ist, mit Bit-Leitungen 270 verbunden sein. In einigen Ausführungsbeispielen kann die in der zweiten Halbleiterstruktur S2 angeordnete Anzahl an Speicherzellenbereichen variieren. In einem Fall, in dem eine Mehrzahl an Speicherzellenbereichen vorgesehen ist, können die gemeinsamen Bit-Leitungen 270 oder die gemeinsamen Sourceleitungen CSL von den Speicherzellenbereichen, die benachbart zueinander aufwärts und abwärts angeordnet sind, gemeinsam genutzt werden.

[0092] Der dritte Speicherzellenbereich CELL3 kann ferner die String-Auswahlkanäle 240S, die auf einer Unterseite der dritten Kanäle CH3 angeordnet sind, die ersten Verbindungsabschnitte 262, die in einem unteren Abschnitt der String-Auswahlkanäle 240S angeordnet sind, die Bit-Leitungen 270, die in einem unteren Abschnitt der ersten Verbindungsab-

schnitte 262 angeordnet sind, die vierten Verbindungsabschnitte 268, die in einem unteren Abschnitt der Bit-Leitungen 270' angeordnet sind, und die zweiten Bondpads 280, die in einem unteren Abschnitt der vierten Verbindungsabschnitte 268 angeordnet sind, enthalten.

[0093] Der zweite Speicherzellenbereich CELL2 kann ferner ein leitfähiges Pad 207 enthalten, das auf der gleichen Höhenlage wie die Ebene der unteren leitfähigen Schicht 205L im dritten Bereich III angeordnet ist, und kann ferner ein Halbleiterpad 202, das auf der gleichen Höhenlage wie die Ebene des unteren Substrats 201L angeordnet ist, einen dritten Kontaktstopfen 269, und ein unteres Verbindungspad 275', das auf der gleichen Höhenlage wie die Ebene der Bit-Leitungen 270' angeordnet ist, enthalten. Das leitfähige Pad 207 kann in dem gleichen Prozessschritt gebildet werden wie jener der unteren leitfähigen Schicht 205L und das Halbleiterpad 202 kann in dem gleichen Prozessschritt gebildet werden wie jener des unteren Substrats 201L. Somit können das leitfähige Pad 207 und das Halbleiterpad 202 jeweils aus Materialien gebildet werden, die den Materialien der unteren leitfähigen Schicht 205L und des unteren Substrats 201L gleich sind, und können jeweils Dicken aufweisen, die den Dicken der unteren leitfähigen Schicht 205L und des unteren Substrats 201L gleich sind. Der dritte Kontaktstopfen 269 kann die untere Zellenbereichs-Isolierschicht 285Lc durchdringen und kann das Halbleiterpad 202 mit dem unteren Verbindungspad 275' verbinden.

[0094] Im dritten Bereich III können der Pad-Bereich PAD, die zweite leitfähige Schicht 205b durch den ersten Kontaktstopfen 260, das Verbindungspad 275, den zweiten Verbindungsabschnitt 264, den zweiten Kontaktstopfen 261, das leitfähige Pad 207, das Halbleiterpad 202, den dritten Kontaktstopfen 269, das untere Verbindungspad 275', den vierten Verbindungsabschnitt 268 und das zweite Bondpad 280, in Reihenfolge, mit Schaltungsvorrichtungen 120 in einem Peripherieschaltungs-Bereich PERI elektrisch verbunden sein.

[0095] Fig. 10A bis 10J sind schematische Querschnitts-Darstellungen, die ein Verfahren zur Herstellung einer Halbleitervorrichtung nach einigen Ausführungsbeispielen aufzeigen. Fig. 10A bis 10J zeigen einen Bereich auf, der dem in Fig. 4 aufgezeigten Bereich entspricht.

[0096] Bezugnehmend auf Fig. 10A kann eine in Fig. 4 aufgezeigte zweite Halbleiterstruktur S2 gebildet werden. Zu diesem Zweck kann eine Pad-Isolierschicht 290, eine obere leitfähige Schicht 205U und eine Grundsicht 201, in Reihenfolge, auf einem Grundsubstrat SUB gebildet werden.

[0097] Das Grundsubstrat SUB kann durch einen nachfolgenden Prozess entfernt werden und kann ein Halbleitersubstrat wie zum Beispiel Silizium (Si) sein. In Fig. 4 können die auf der Grundsicht 201 angeordneten Schichten in umgekehrter Reihenfolge auf dem Grundsubstrat SUB gebildet werden.

[0098] Die obere leitfähige Schicht 205U und die Grundsicht 201 können derart gebildet und gemustert werden, dass die obere leitfähige Schicht 205U und die Grundsicht 201 durch eine Zellenbereichs-Isolierschicht 285U zwischen dem ersten und zweiten Bereich I und II und einem dritten Bereich III getrennt sind. Dementsprechend kann die obere leitfähige Schicht 205U erste und zweite leitfähige Schichten 205a und 205b enthalten, die voneinander beabstandet sind. Die Zellenbereichs-Isolierschicht 285U kann eine Schicht sein, die zusammen mit einer Isolierschicht, die in einem nachfolgenden Prozess gebildet wird, eine in Fig. 4 aufgezeigte obere Zellenbereichs-Isolierschicht 285U bildet.

[0099] In dem Ausführungsbeispiel in Fig. 8C kann eine entsprechende Struktur hergestellt werden, indem eine Öffnung durch Mustern der Pad-Isolierschicht 290 und Bilden eines erweiterten Abschnitts 205E durch Füllen der Öffnung, wenn die obere leitfähige Schicht 205U gebildet wird, gebildet wird.

[0100] Bezugnehmend auf Fig. 10B können Opferschichten 225 und Zwischenschicht-Isolierschichten 220 wechselweise auf der Grundsicht 201 geschichtet sein und die Opferschichten 225 und die Zwischenschicht-Isolierschicht 220 können teilweise entfernt werden, sodass sich die Opferschichten 225 mit verschiedenen Längen erstrecken können.

[0101] Die Opferschichten 225 können Schichten sein, die durch einen nachfolgenden Prozess durch Gate-Elektroden 230 ersetzt werden können. Die Opferschichten 225 können aus einem Material mit Ätzselektivität gebildet sein und im Zusammenhang mit den Zwischenschicht-Isolierschichten 220 geätzt sein. Zum Beispiel können die Zwischenschicht-Isolierschichten 220 aus mindestens einem von Siliziumoxid und/oder Siliziumnitrid gebildet sein und die Opferschichten 225 können aus einem Material gebildet sein, das anders ist als ein Material der Zwischenschicht-Isolierschichten 220, ausgewählt aus Silizium, Siliziumoxid, Siliziumkarbid und/oder Siliziumnitrid. In einigen Ausführungsbeispielen gleichen sich Dicken der Zwischenschicht-Isolierschichten 220 womöglich nicht.

[0102] Ein fotolithographischer Prozess und ein Ätzprozess können wiederholt an der Opferschicht 225 und den Zwischenschicht-Isolierschichten 220 durchgeführt werden, sodass sich die obere Opferschicht 225 mit einer Länge erstreckt, die kürzer ist

als eine Länge der erweiterten unteren Opferschicht 225. Dementsprechend kann die Opferschicht 225 eine Treppenform bilden. In einigen Ausführungsbeispielen kann die Opferschicht 225 an einem Ende eine Dicke aufweisen, die relativ größer ist als eine Dicke des anderen Abschnitts davon, und ein zusätzlicher Prozess kann dementsprechend durchgeführt werden. Eine obere Zellenbereichs-Isolierschicht 285U kann durch Ablegen eines Isoliermaterials, das einen oberen Abschnitt einer Stapelstruktur der Opferschichten 225 und die Zwischenschicht-Isolierschichten 220 bedeckt, gebildet werden.

[0103] Bezugnehmend auf **Fig. 10C** können erste Kanäle CH1 eine Stapelstruktur der Opferschicht 225 durchdringen und die Zwischenschicht-Isolierschichten 220 können gebildet werden.

[0104] Um die ersten Kanäle CH1 zu bilden, können Kanallöcher durch anisotropes Ätzen der Stapelstruktur gebildet werden. Aufgrund einer Höhe der Stapelstruktur sind Seitenwände der Kanallöcher womöglich nicht senkrecht zu einer Deckfläche der Grundsicht 201. In einigen Ausführungsbeispielen können die Kanallöcher derart gebildet sein, dass die Grundsicht 201 teilweise vertieft sein kann. Allerdings erstrecken sich die Kanallöcher womöglich nicht in Richtung einer oberen leitfähigen Schicht 205U.

[0105] Die ersten Kanäle CH1 können durch Bilden einer Kanalregion 240, einer dielektrischen Gate-Schicht 245, einer Kanal-Isolierschicht 250 und erster Kanalpads 255U in den Kanallöchern gebildet werden. Die dielektrische Gate-Schicht 245 kann durch einen Atomschichtabscheidungs(ALD)-Verfahren oder einen chemischen Gasphasenabscheidungs(CVD)-Prozess eine einheitliche Dicke aufweisen. Auf dieser Stufe kann mindestens ein Abschnitt der dielektrischen Gate-Schicht 245 konfiguriert sein, um sich vertikal entlang des Kanalbereichs 240 zu erstrecken. Der Kanalbereich 240 kann auf der dielektrischen Gate-Schicht 245 in den ersten Kanälen CH1 gebildet sein. Die ersten Kanäle CH1 sind mit einer Kanal-Isolierschicht 250 gefüllt. In einigen anderen Ausführungsbeispielen kann ein Raum zwischen den Kanalbereichen 240 allerdings mit einem leitfähigen Material anstatt der Kanal-Isolierschicht 250 gefüllt sein. Erste Kanalpads 255U können aus einem leitfähigen Material, wie zum Beispiel polykristallines Silizium, gebildet sein.

[0106] Bezugnehmend auf **Fig. 10D** können Öffnungen OP, welche eine Stapelstruktur der Opferschichten 225 und der Zwischenschicht-Isolierschichten 220 durchdringen, gebildet werden und die Opferschichten 225 können durch die Öffnungen OP entfernt werden.

[0107] Die Öffnungen OP sind in einem ersten Bereich I aufgezeigt und können in einer Grabenform gebildet sein und sich in eine x-Richtung erstrecken. Die Opferschicht 225 kann im Zusammenhang mit den Zwischenschicht-Isolierschichten 220 unter Verwendung eines Nassätzprozesses wahlweise entfernt werden. Dementsprechend können Seitenwände der ersten Kanäle CH1 teilweise zwischen den Zwischenschicht-Isolierschichten 220 freigelegt werden.

[0108] Bezugnehmend auf **Fig. 10E** können Abschnitte der Gate-Elektroden 231 bis 238 in einem Bereich gebildet werden, in dem die Opferschichten 225 entfernt sind.

[0109] Die Gate-Elektroden 231 bis 238 können durch Füllen eines leitfähigen Materials in einen Bereich, in dem die Opferschichten 225 entfernt sind, gebildet werden. Die Gate-Elektroden 231 bis 238 können Metall, polykristallines Silizium oder ein Metallsilizid-Material enthalten. In einigen Ausführungsbeispielen, bevor die Gate-Elektroden 231 bis 238 gebildet werden, in dem Fall, in dem dielektrischen Gate-Schichten 245 einen Bereich aufweisen, der sich horizontal entlang der Gate-Elektroden 231 bis 238 erstreckt, kann der Bereich zuerst gebildet werden. In einem nicht aufgezeigten Bereich kann eine Isolations-Isolierschicht 210 durch Füllen eines Isoliermaterials in eine Öffnung OP gebildet werden.

[0110] Bezugnehmend auf **Fig. 10F** können eine obere Gate-Elektrode 239, String-Auswahlkanäle 240S, String-Isolierschichten 250S, erste Verbindungsabschnitte 262, erste Kontaktstopfen 260, gemeinsame Bit-Leitungen 280 und Verbindungspads 275 gebildet werden.

[0111] Die obere Gate-Elektrode 239 kann durch Ablegen eines leitfähigen Materials, wie zum Beispiel polykristallines Silizium, auf den ersten Kanälen CH1 gebildet werden. Ein Material für die obere Zellenbereichs-Isolierschicht 285U kann zusätzlich gestapelt werden und erste Durchgangslöcher TH1, welche die obere Zellenbereichs-Isolierschicht 285U durchdringen, können gebildet werden. Die String-Auswahlkanäle 240S und die String-Isolierschichten 250S können in die ersten Durchgangslöcher TH1 gefüllt werden und ein oberer Abschnitt kann mit einem leitfähigen Material gefüllt werden, wodurch die ersten Verbindungsabschnitte 262 gebildet werden. Durchgangslöcher, welche die obere Zellenbereichs-Isolierschicht 285U durchdringen, können gebildet werden, erste Kontaktstopfen 260 können durch Füllen eines leitfähigen Material gebildet werden, und gemeinsame Bit-Leitungen 270 und Verbindungspads 275 können jeweils auf den ersten Verbindungsabschnitten 262 und den ersten Kontaktstopfen 260 gebildet werden. Die gemeinsamen Bit-Leitungen 270 und die Verbindungspads

275 können durch Ablegen eines leitfähigen Materials und durch einen Musterprozess gebildet werden oder können durch teilweises Mustern der oberen Zellenbereichs-Isolierschicht 285U und durch Ablegen eines leitfähigen Materials gebildet werden. Dementsprechend kann ein erster Speicherzellenbereich CELL1 gebildet werden.

[0112] Bezugnehmend auf **Fig. 10G** können zweite Verbindungsabschnitte 264, eine obere Gate-Elektrode 239, String-Auswahlkanäle 240S, String-Isolierschichten 250S, zweite Kanalpads 255L, Gate-Elektroden 230, zweite Kanäle CH2 und dritte Verbindungsabschnitte 266 eines zweiten Speicherzellenbereichs CELL2 gebildet werden.

[0113] Der zweite Speicherzellenbereich CELL2 kann durch ein Verfahren ähnlich dem Verfahren zur Bildung des ersten Speicherzellenbereichs CELL1 gebildet werden. Zweite Verbindungsabschnitte 264 können auf den gemeinsamen Bit-Leitungen 270 und den Verbindungspads 275 gebildet werden. Die zweiten Verbindungsabschnitte 264 können zusammen mit den gemeinsamen Bit-Leitungen 270 und den Verbindungspads 275 gemustert werden. Ein Abschnitt einer unteren Zellenbereichs-Isolierschicht 285La kann auf den zweiten Verbindungsabschnitten 264 gebildet werden und die obere Gate-Elektrode 239 kann gebildet werden.

[0114] Ein Abschnitt der unteren Zellenbereichs-Isolierschicht 285La kann erneut gebildet werden und zweite Durchgangslöcher TH2, die den Abschnitt der unteren Zellenbereichs-Isolierschicht 285La durchdringen, können gebildet werden. Die String-Auswahlkanäle 240S und die String-Isolierschichten 250S können in die zweiten Durchgangslöcher TH2 gefüllt werden und ein oberer Abschnitt kann mit einem leitfähigen Material gefüllt werden, wodurch die zweiten Kanalpads 255L gebildet werden.

[0115] Wie mit Bezug auf **Fig. 10B** und **10C** beschrieben, können Gate-Elektroden 230, zweite Kanäle CH2 und dritte Verbindungsabschnitte 266 gebildet werden. Außerdem kann eine Durchgangsisolierschicht 282, welche die Gate-Elektroden 231 bis 238 durchdringt, in einem äußeren Bereich der Gate-Elektroden 230 gebildet werden.

[0116] Bezugnehmend auf **Fig. 10H** können eine untere leitfähige Schicht 205L, vierte Verbindungsabschnitte 268, zweite Kontaktstopfen 261 und zweite Bondpads 280 gebildet werden.

[0117] Die untere leitfähige Schicht 205L kann auf dritten Verbindungsabschnitten 266 gebildet werden und vierte Verbindungsabschnitte 268 können auf der unteren leitfähigen Schicht 205L gebildet werden. Ein Durchgangsloch, das die unteren Zellenbereichs-Isolierschichten 285La und 285 Lb durch-

dringt, und eine Durchgangs-Isolierschicht 282 können gebildet werden, und ein leitfähiges Material kann gefüllt werden, wodurch die zweiten Kontaktstopfen 261 gebildet werden.

[0118] Die zweiten Bondpads 280 können auf den vierten Verbindungsabschnitten 268 und den zweiten Kontaktstopfen 261 gebildet werden. Die zweiten Bondpads 280 können zum Beispiel durch Ablegen eines leitfähigen Materials und durch einen Musterprozess gebildet werden. Deckflächen der zweiten Bondpads 280 können durch die untere Zellenbereichs-Isolierschicht 285Lb freigelegt werden und können einen Abschnitt einer Deckfläche einer zweiten Halbleiterstruktur S2 bilden. In einigen Ausführungsbeispielen können sich Deckflächen der zweiten Bondpads 280 ferner in Richtung eines oberen Abschnitts anstatt einer Deckfläche der unteren Zellenbereichs-Isolierschicht 285Lb erstrecken. Durch diese Stufe kann eine zweite Halbleiterstruktur S2 vorbereitet werden.

[0119] Bezugnehmend auf **Fig. 10I** kann eine zweite Halbleiterstruktur S2 mit einer ersten Halbleiterstruktur S1 verbunden werden.

[0120] Die erste Halbleiterstruktur S1 kann durch Bilden von Schaltungsvorrichtung 120 und Schaltungs-Verdrahtungsstrukturen auf einem Substrat 101 vorbereitet werden.

[0121] Eine dielektrische Schaltungs-Gate-Schicht 122 und eine Schaltungs-Gate-Elektrode 125 können auf dem Substrat 101 in Reihenfolge gebildet werden. Die dielektrische Schaltungs-Gate-Schicht 122 und die Schaltungs-Gate-Elektrode 125 können durch einen ALD-Prozess oder einen CVD-Prozess gebildet werden. Die dielektrische Schaltungs-Gate-Schicht 122 kann aus Siliziumoxid gebildet werden, und die Schaltungs-Gate-Elektrode 125 kann aus mindestens einem von polykristallinem Silizium und/oder einer Metallsilizid-Schicht gebildet werden, allerdings sind einige andere Ausführungsbeispiele nicht darauf beschränkt. Eine Abstandsschicht 124 und Source-/Drain-Bereiche 105 können auf beiden Seitenwänden der dielektrischen Schaltungs-Gate-Schicht 122 und der Schaltungs-Gate-Elektrode 125 gebildet werden. In einigen Ausführungsbeispielen kann die Abstandsschicht 124 aus einer Mehrzahl an Schichten gebildet werden. Die Source-/Drain-Bereiche 105 können zum Beispiel durch Durchführen eines Ionenimplantationsprozesses gebildet werden.

[0122] Schaltungs-Kontaktstopfen 160 aus den Schaltungs-Verdrahtungsstrukturen können durch Bilden eines Abschnitts einer Peripheriebereichs-Isolierschicht 190, teilweises Entfernen des Abschnitts durch einen Ätzprozess und Füllen eines leitfähigen Materials gebildet werden. Zum Beispiel

können Schaltungs-Verdrahtungsleitungen 170 durch Ablegen eines leitfähigen Materials und Mustern des leitfähigen Materials gebildet werden.

[0123] Die Peripheriebereichs-Isolierschicht 190 kann aus einer Mehrzahl an Isolierschichten gebildet werden. Die Peripheriebereichs-Isolierschicht 190 kann teilweise durch Prozesse zur Bildung der Schaltungs-Verdrahtungsstrukturen gebildet werden und kann teilweise in einem oberen Abschnitt einer dritten Schaltungs-Verdrahtungsleitung 176 gebildet werden, sodass die Peripheriebereichs-Isolierschicht 190 die Schaltungsvorrichtungen 120 und die Schaltungs-Verdrahtungsstrukturen bedecken kann.

[0124] Eine erste Halbleiterstruktur S1 und eine zweite Halbleiterstruktur S2 können durch Bonding erster Bondpads 180 und zweiter Bondpads 280 durch Ausüben von Druck miteinander verbunden werden. Die zweite Halbleiterstruktur S2 kann kopfüber mit der ersten Halbleiterstruktur S1 verbunden sein, sodass die zweiten Bondpads 280 einem unteren Abschnitt zugewandt sein können. In dem in **Fig. 10I** aufgezeigten Ausführungsbeispiel kann die zweite Halbleiterstruktur S2 in einer Form eines Spiegelbilds der in **Fig. 10H** aufgezeigten Struktur verbunden sein. Die erste Halbleiterstruktur S1 und die zweite Halbleiterstruktur S2 können direkt miteinander verbunden sein, ohne Verwendung eines Klebstoffes wie einer Klebstoffschicht. Zum Beispiel können die ersten Bondpads 180 und die zweiten Bondpads 280 durch den oben beschriebenen Prozess zur Ausübung von Druck auf einer atomaren Ebene miteinander verbunden sein. Um die Haftkraft zu fördern, kann in einigen Ausführungsbeispielen vor dem Bondprozess ein Oberflächenbehandlungsprozess, wie zum Beispiel eine Wasserstoff-Plasma-Behandlung, auf einer Deckfläche der ersten Halbleiterstruktur S1 und einer Unterseite der zweiten Halbleiterstruktur S2 durchgeführt werden.

[0125] In einigen Ausführungsbeispielen, in einem Fall, in dem eine untere Zellenbereichs-Isolierschicht 285Lb die oben beschriebene dielektrische Bondschicht in einem unteren Abschnitt enthält, und in dem die erste Halbleiterstruktur S1 die gleiche Schicht aufweist, kann die Haftkraft ferner durch das dielektrische Bonding zwischen den dielektrischen Bondschichten sowie dem Bonding zwischen den ersten und zweiten Bondpads 180 und 280 gesichert werden.

[0126] Bezugnehmend auf **Fig. 10J** kann auf einer Bondstruktur der ersten und zweiten Halbleiterstruktur S1 und S2 ein Grundsubstrat SUB einer zweiten Halbleiterstruktur S2 entfernt werden und eine Maskenschicht 298 zum Mustern einer Pad-Isolierschicht 290 kann gebildet werden.

[0127] Durch Entfernen des Grundsubstrats SUB kann eine Dicke einer Halbleitervorrichtung deutlich verringert werden und ein Prozess zur Bildung einer Struktur zur Verdrahtung, wie zum Beispiel eine Durchkontaktierung, kann weggelassen werden. Ein Abschnitt des Grundsubstrats SUB kann durch einen Polierprozess, wie zum Beispiel einem Schleifprozess, entfernt werden und der andere Abschnitt kann durch einen Ätzprozess, wie zum Beispiel einem Nassätzprozess, entfernt werden. Dementsprechend kann die Pad-Isolierschicht 290 in Richtung eines oberen Abschnitts freigelegt werden. Im Nassätzprozess kann die Pad-Isolierschicht 290 als eine Ätzstoppschicht verwendet werden. Somit kann die Pad-Isolierschicht 290 ein anderes Material als ein Material des Grundsubstrats SUB enthalten und kann aus einem Material gebildet werden, das unter gewissen Ätzbedingungen eine Ätzselektivität aufweist. Durch Entfernen des Grundsubstrats SUB der zweiten Halbleiterstruktur S2 kann eine Gesamtdicke einer Halbleitervorrichtung deutlich verringert werden.

[0128] Eine Maskenschicht 298 kann gemustert werden, um den in **Fig. 4** und **10J** aufgezeigten Pad-Bereich PAD durch einen fotolithografischen Prozess freizulegen. Die Maskenschicht 298 kann zum Beispiel eine lichtempfindliche Harzschicht sein.

[0129] Ebenfalls bezugnehmend auf **Fig. 4** kann eine Öffnung wie in **Fig. 4** aufgezeigt durch Entfernen der Pad-Isolierschicht 290, die von der Maskenschicht 298 freigelegt wird, gebildet werden. Dementsprechend kann eine zweite leitfähige Schicht 205b in einem unteren Abschnitt in Richtung eines oberen Abschnitts im Pad-Bereich PAD freigelegt werden. Wenn die Pad-Isolierschicht 290 entfernt ist, kann die zweite leitfähige Schicht 205b als eine Ätzstoppschicht verwendet werden, sodass ein Ätzprozess mühelos durchgeführt werden kann, und die in **Fig. 4** dargestellte Halbleitervorrichtung 100 kann hergestellt werden.

[0130] **Fig. 11** ist eine schematische Querschnittsdarstellung, die eine Halbleitervorrichtung nach einigen Ausführungsbeispielen darstellt.

[0131] Bezugnehmend auf **Fig. 11** kann ein Halbleiterpackage 1000 ein Packagesubstrat 510, Speicherchips 500 (z.B. Speicherchips 501 bis 508), die auf dem Packagesubstrat 510 gestapelt sind, eine Klebstoffschicht 520, welche die Speicherchips 500 befestigt, Drähte 550, welche die Speicherchips 500 und das Packagesubstrat 210 miteinander verbinden, einen Einkapselungsabschnitt 560, der die Speicherchips 500 einkapselt, und Verbindungsterminals 580, die auf einer Unterseite des Packagesubstrats 510 angeordnet sind, enthalten.

[0132] Das Packagesubstrat 510 kann einen Körperabschnitt 511, leitfähige Substratpads 512, die auf Deckflächen und Unterseiten des Körperabschnitts 511 angeordnet sind, und eine Isolier-Passivierungsschicht 515, welche die Substratpads 512 bedeckt, enthalten. Der Körperabschnitt kann Silizium (Si), Glas, Keramik oder Kunststoff enthalten. Der Körperabschnitt 511 kann eine einzelne Schicht aufweisen oder kann eine Mehrschichtstruktur mit darin enthaltenen Verdrahtungsmustern aufweisen.

[0133] Die Speicherchips 500 können unter Verwendung der Klebstoffschicht 520 auf dem Packagesubstrat 510 und auf unteren Speicherchips 500 gestapelt werden. Die Speicherchips 500 können die mit Bezug auf Fig. 4 bis 9 beschriebenen Halbleitervorrichtungen 100, 100a, 100b, 100c und/oder 100d enthalten. Die Speicherchips 500 können die gleichen Typen an Speicherchips enthalten oder können verschiedene Typen an Speicherchips enthalten. In einem Fall, in dem die Speicherchips 500 verschiedene Typen an Speicherchips enthalten, können die Speicherchips 500 zusätzlich zu den Halbleitervorrichtungen 100, 100a, 100b, 100c und 100d einen DRAM, einen SRAM, einen PRAM, einen ReRAM, einen FeRAM und/oder einen MRAM enthalten. Die Speicherchips 500 können die gleiche Größe oder unterschiedliche Größen aufweisen und die Anzahl an Speicherchips 500 ist nicht auf das in Fig. 11 aufgezeigte Beispiel beschränkt. Ein Pad-Bereich PAD kann auf Deckflächen der Speicherchips 500 angeordnet sein und der Pad-Bereich PAD kann benachbart zu (oder in Nähe von) Kanten der Speicherchips 500 angeordnet sein, allerdings sind einige andere Ausführungsbeispiele davon nicht darauf beschränkt. Wenn zum Beispiel ein Signalübertragungsmedium, das den Drähten 550 entspricht, unter Verwendung eines dreidimensionalen (3D) Druckprozesses gebildet wird, sind die Pad-Bereiche PAD womöglich nicht auf den Kanten angeordnet. Die Speicherchips können versetzt sein und sequenziell gestapelt werden, sodass der Pad-Bereich PAD freigelegt werden kann.

[0134] Die Drähte 550 können die Speicherchips 500 in einem oberen Abschnitt und die Speicherchips 500 in einem unteren Abschnitt elektrisch verbinden und/oder können zumindest Abschnitte der Speicherchips 500 mit den Substratpads 512 auf dem Packagesubstrat 510 verbinden. Die Drähte 550 können ein Beispiel für eine Signalübertragungsstruktur sein und somit können die Drähte 550 in Abhängigkeit von Ausführungsbeispielen in verschiedenen Formen von Signalübertragungsmedien angewandt werden.

[0135] Der Einkapselungsabschnitt 560 kann angeordnet werden, um die Speicherchips 500, die Drähte 550 und eine Deckfläche des Packagesubstrats 510

zu bedecken, sodass der Einkapselungsabschnitt 560 die Speicherchips 500 schützen kann. Der Einkapselungsabschnitt 560 kann aus einem Silikonmaterial, einem wärmehärtendem Material, einem thermoplastischen Material, einem UV-Behandlungsmaterial, und Ähnlichem gebildet werden. Der Einkapselungsabschnitt 560 kann aus einem Polymer, wie zum Beispiel einem Harz, gebildet werden. Zum Beispiel kann der Einkapselungsabschnitt 560 aus einer Epoxidformverbindung gebildet werden.

[0136] Die Verbindungsterminals 580 können das Halbleiterpackage 1000 mit einem Main Board einer elektronischen Vorrichtung, auf der das Halbleiterpackage 1000 angebracht ist, verbinden. Die Verbindungsterminals 580 können ein leitfähiges Material enthalten, wie zum Beispiel mindestens eines von Lot, Zinn (Sn), Silber (Ag), Kupfer (Cu) und/oder Aluminium (Al). In einigen Ausführungsbeispielen können die Verbindungsterminals 580 durch verschiedene Formen, wie Flächen, Bälle, Pins und Ähnliches, angewandt werden.

[0137] Fig. 12 ist ein Blockdiagramm, das eine elektronische Vorrichtung darstellt, die eine Halbleitervorrichtung nach einigen Ausführungsbeispielen enthält.

[0138] Bezugnehmend auf Fig. 12 kann eine elektronische Vorrichtung 2000 einen Kommunikationsabschnitt 2010, einen Eingabeabschnitt 2020, einen Ausgabeabschnitt 2030, einen Speicher 2040 und einen Prozessor 2050 enthalten.

[0139] Der Kommunikationsabschnitt 2010 kann ein verdrahtetes/drahtloses Kommunikationsmodul enthalten, und kann ein drahtloses Internetmodul, ein Nahfeld-Kommunikationsmodul, ein GPS-Modul, ein mobiles Kommunikationsmodul und Ähnliches enthalten. Das verdrahtete/drahtlose Kommunikationsmodul, das in dem Kommunikationsabschnitt 2010 enthalten ist, kann basierend auf verschiedenen Kommunikationsstandards mit einem externen Kommunikationsnetz verbunden sein und kann Daten übertragen und/oder empfangen. Der Eingabeabschnitt 2020 kann ein Modul sein, das für einen Benutzer zur Steuerung von Vorgängen der elektronischen Vorrichtung 2000 vorgesehen ist. Der Eingabeabschnitt 2020 kann einen mechanischen Schalter, einen Touchscreen, ein Spracherkennungsmodul, und Ähnliches enthalten und kann ferner eine Vielfalt an Sensormodulen enthalten, in denen ein Benutzer Daten eingeben kann. Der Ausgabeabschnitt 2030 kann in der elektronischen Vorrichtung 2000 verarbeitete Informationen in Form von Sprache oder Bild ausgeben und der Speicher 2040 kann ein Programm zur Verarbeitung oder Steuerung des Prozessors 2050 speichern und/oder Daten und Ähnliches speichern. Der Speicher 2040

kann eine oder mehrere Halbleitervorrichtungen, die mit Bezug auf **Fig. 4** und **9** in den vorangegangenen Ausführungsbeispielen beschrieben worden sind, enthalten und kann in der elektronischen Vorrichtung **2000** integriert sein oder kann durch ein Interface mit dem Prozessor **2050** kommunizieren. Der Prozessor **2050** kann Vorgänge der in der elektronischen Vorrichtung **2000** enthaltenen Komponenten steuern. Der Prozessor **2050** kann eine Steuerung oder einen Prozess im Zusammenhang mit einem Sprachanruf, Videoanruf, einer Datenkommunikation oder Ähnlichem durchführen und kann eine Steuerung und einen Prozess zur Wiedergabe und Verwaltung von Multimedia-Informationen durchführen. Der Prozessor **2050** kann außerdem Eingaben, die von einem Benutzer mittels des Eingabeabschnitts **2020** übertragen wurden, verarbeiten und kann das Ergebnis mittels dem Ausgabeabschnitt **2030** ausgeben, und/oder kann zur Steuerung eines Vorgangs der elektronischen Vorrichtung **2000** erforderliche Daten in den Speicher **2040** speichern und/oder kann die Daten aus dem Speicher **2040** beziehen.

[0140] Nach den vorangegangenen Ausführungsbeispielen kann eine Halbleitervorrichtung mit verbesserter Integrationsdichte und Zuverlässigkeit in einer Struktur, in der zwei oder mehrere Halbleiterstrukturen miteinander verbunden sind, durch Ablegen eines Eingabepads und eines Ausgabepads unter Verwendung einer leitfähigen Source-Schicht vorgesehen sein.

[0141] Obwohl einige Ausführungsbeispiele oben gezeigt und beschrieben wurden, wird einem Fachmann klar sein, dass Modifikationen und Variationen durchgeführt werden können, ohne dabei vom Umfang des vorliegenden erfinderischen Konzepts, wie in den beigefügten Ansprüchen definiert, abzuweichen.

Patentansprüche

1. Halbleitervorrichtung, aufweisend:
eine erste Halbleiterstruktur (S1), die ein Substrat (101), Schaltungsvorrichtungen (120), die auf dem Substrat (101) angeordnet sind, und erste Bondpads (180), die auf den Schaltungsvorrichtungen (120) angeordnet sind, enthält; und
eine zweite Halbleiterstruktur (S2), die mit der ersten Halbleiterstruktur (S1) verbunden ist, wobei die zweite Halbleiterstruktur (S2) enthält:
eine Grundsicht (201), die eine erste Oberfläche, die der ersten Halbleiterstruktur (S1) zugewandt ist, und eine zweite Oberfläche, die der ersten Oberfläche gegenüberliegt, aufweist;
eine erste Speicherzellenstruktur, die erste Gate-Elektroden (230), die voneinander beabstandet und in eine Richtung senkrecht zu der ersten Oberfläche der Grundsicht (201) gestapelt sind, und erste Kanäle (CH1), die zumindest Abschnitte der ersten

Gate-Elektroden (230) durchdringen, enthält;
eine zweite Speicherzellenstruktur, die zweite Gate-Elektroden (230), die voneinander beabstandet und in die Richtung senkrecht zu der ersten Oberfläche gestapelt sind, und zweite Kanäle (CH2), die zumindest Abschnitte der zweiten Gate-Elektroden (230) durchdringen, enthält;
Bit-Leitungen (270), die zwischen der ersten Speicherzellenstruktur und der zweiten Speicherzellenstruktur angeordnet sind, und mit den ersten und zweiten Kanälen (CH1, CH2) gemeinsam elektrisch verbunden sind;
eine erste und zweite leitfähige Schicht (205a, 205b), die voneinander beabstandet und auf der zweiten Oberfläche der Grundsicht (201) angeordnet sind;
eine Pad-Isolierschicht (290), die auf der ersten und zweiten leitfähigen Schicht (205a, 205b) angeordnet ist und eine Öffnung aufweist, die einen Abschnitt der zweiten leitfähigen Schicht (205b) freilegt; und
zweite Bondpads (280), die in einem unteren Abschnitt der zweiten Speicherzellenstruktur angeordnet sind, um den ersten Bondpads (180) zu entsprechen.

2. Halbleitervorrichtung nach Anspruch 1, ferner aufweisend:

ein Verbindungspad (275), das parallel zu den Bit-Leitungen (270) angeordnet ist und mit der zweiten leitfähigen Schicht (205b) elektrisch verbunden ist.

3. Halbleitervorrichtung nach Anspruch 2, ferner aufweisend:

einen ersten Kontaktstopfen (260), der zwischen der zweiten leitfähigen Schicht (205b) und dem Verbindungspad (275) angeordnet ist, und die zweite leitfähige Schicht (205b) und das Verbindungspad (275) elektrisch miteinander verbindet.

4. Halbleitervorrichtung nach Anspruch 3, wobei der erste Kontaktstopfen (260) eine Mehrzahl an Kontaktstopfen (260a, 261a) enthält, und die Mehrzahl an Kontaktstopfen (260a, 261a) mit der zweiten leitfähigen Schicht (205b) verbunden ist.

5. Halbleitervorrichtung nach Anspruch 3 oder 4, wobei der erste Kontaktstopfen (260) durch das Durchdringen der Grundsicht (201) mit der zweiten leitfähigen Schicht (205b) direkt verbunden ist.

6. Halbleitervorrichtung nach einem der Ansprüche 2 bis 5, ferner aufweisend:

einen zweiten Kontaktstopfen (261), der zwischen dem Verbindungspad (275) und den zweiten Bondpads (280) angeordnet ist und mindestens eines der zweiten Bondpads (280) mit dem Verbindungspad (275) elektrisch verbindet.

7. Halbleitervorrichtung nach einem der Ansprüche 2 bis 6, wobei das Verbindungspad (275) eine

Dicke aufweist, die nahezu gleich ist wie eine Dicke der Bit-Leitungen (270).

8. Halbleitervorrichtung nach einem der Ansprüche 1 bis 7, wobei die erste leitfähige Schicht (205a) die ersten und zweiten Gate-Elektroden (230) überlappt und die zweite leitfähige Schicht (205b) von den ersten und zweiten Gate-Elektroden (230) in einer horizontale Richtung beabstandet ist, um die ersten und zweiten Gate-Elektroden (230) nicht zu überlappen.

9. Halbleitervorrichtung nach einem der Ansprüche 1 bis 8, wobei die erste leitfähige Schicht (205a) in einer Sourceleitung (CSL) enthalten ist, die den ersten Kanälen (CH1) ein elektrisches Signal zuführt, und die zweite leitfähige Schicht (205b) von der ersten leitfähigen Schicht (205a) elektrisch getrennt ist.

10. Halbleitervorrichtung nach einem der Ansprüche 1 bis 9, wobei die erste und zweite leitfähige Schicht (205b) auf nahezu der gleichen Ebene angeordnet sind und eine nahezu gleiche Dicke aufweisen.

11. Halbleitervorrichtung nach einem der Ansprüche 1 bis 10, wobei die erste leitfähige Schicht (205a) eine Plattenform aufweist, die sich parallel zu der zweiten Oberfläche der Grundschrift (201) erstreckt.

12. Halbleitervorrichtung nach einem der Ansprüche 1 bis 11, wobei Seitenflächen der Pad-Isolierschicht (290), welche die Öffnung definiert, und eine Deckfläche der zweiten leitfähigen Schicht (205a, 205b), die durch die Öffnung freigelegt ist, außerhalb der Halbleitervorrichtung freigelegt sind.

13. Halbleitervorrichtung nach einem der Ansprüche 1 bis 12, wobei die zweite Halbleiterstruktur (S2) ferner eine Verbindungsschicht (295; 295a) enthält, die auf der zweiten leitfähigen Schicht (205b), die durch die Öffnung der Pad-Isolierschicht freigelegt ist, angeordnet ist und ein anderes Material enthält als ein Material der zweiten leitfähigen Schicht (205b).

14. Halbleitervorrichtung nach einem der Ansprüche 1 bis 13, wobei die ersten und zweiten Kanäle (CH1, CH2) schräge Seitenflächen aufweisen, sodass die Breiten der ersten und zweiten Kanäle (CH1, CH2) in einer Richtung zu der Grundschrift (201) hin abnehmen.

15. Halbleitervorrichtung nach Anspruch 1, ferner aufweisend:
eine dritte leitfähige Schicht (205L), die in einem unteren Abschnitt der zweiten Speicherzellenstruktur angeordnet ist und in einer Sourceleitung (CSL)

enthalten ist, die den zweiten Kanälen (CH2) ein elektrisches Signal zuweist.

16. Halbleitervorrichtung nach einem der Ansprüche 1 bis 15, ferner aufweisend:
leitfähige Verbindungsabschnitte (262), die aufwärts und abwärts von den Bit-Leitungen (270) angeordnet sind, um mit den ersten und zweiten Kanälen (CH1, CH2) elektrisch verbunden zu sein.

17. Halbleitervorrichtung, aufweisend:
eine erste Halbleiterstruktur (S1), die ein Substrat (101), Schaltvorrichtungen (120), die auf dem Substrat (101) angeordnet sind, und erste Bondpads (180), die auf den Schaltvorrichtungen (120) angeordnet sind, enthält; und
eine zweite Halbleiterstruktur (S2), die auf der ersten Halbleiterstruktur (S1) mit der ersten Halbleiterstruktur (S1) verbunden ist, wobei die zweite Halbleiterstruktur (S2) enthält:
eine Grundschrift (201);
Speicherzellenstrukturen, die in eine Richtung senkrecht zu einer Unterseite der Grundschrift (201) gestapelt sind;
mindestens eine Verdrahtungsleitung, die zwischen den Speicherzellenstrukturen angeordnet ist und von den Speicherzellenstrukturen, die aufwärts und abwärts angeordnet sind, gemeinsam genutzt wird;
eine erste und zweite leitfähige Schicht (205a, 205b), die voneinander beabstandet und auf einer Deckfläche der Grundschrift (201) angeordnet sind;
eine Pad-Isolierschicht (290), die auf der ersten und zweiten leitfähigen Schicht (205a, 205b) angeordnet ist und eine Öffnung aufweist, die einen Abschnitt der zweiten leitfähigen Schicht (205b) freilegt;
ein Verbindungspad (275), das parallel zu der mindestens einen Verdrahtungsleitung in einem unteren Abschnitt der zweiten leitfähigen Schicht (205b) angeordnet ist und mit der zweiten leitfähigen Schicht (205b) elektrisch verbunden ist; und
zweite Bondpads (280), die in unteren Abschnitten der Speicherzellenstrukturen angeordnet sind, um den ersten Bondpads (180) zu entsprechen.

18. Halbleitervorrichtung nach Anspruch 17, ferner aufweisend:
Kontaktstopfen (260, 261), die auf einer Deckfläche und einer Unterseite des Verbindungspads (275) angeordnet sind.

19. Halbleitervorrichtung nach Anspruch 18, wobei die zweite leitfähige Schicht (205b) durch das Verbindungspad (275) und die Kontaktstopfen (260, 261) mit mindestens einem der zweiten Bondpads (280) elektrisch verbunden sind.

20. Halbleitervorrichtung nach einem der Ansprüche 17 bis 19, wobei die zweite leitfähige Schicht (205b) mit einer Eingangs- und Ausgangs-

schaltung der ersten Halbleiterstruktur (S1) elektrisch verbunden ist.

21. Halbleitervorrichtung nach einem der Ansprüche 17 bis 20, wobei die Speicherzellenstrukturen jeweils Gate-Elektroden (230) enthalten, die voneinander beabstandet und in eine Richtung senkrecht zu der Unterseite der Grundschrift (201) angeordnet sind, und wobei Kanäle (CH1, CH2) die Gate-Elektroden (230) durchdringen, und die mindestens eine Verdrahtungsleitung Bit-Leitungen (270) enthält, die mit den Kanälen (CH1, CH2) der Speicherzellenstrukturen gemeinsam elektrisch verbunden sind.

22. Halbleitervorrichtung nach Anspruch 21, wobei die mindestens eine Verdrahtungsleitung ferner eine Sourceleitung (CSL) enthält, die mit den Kanälen (CH1, CH2) der Speicherzellenstrukturen gemeinsam elektrisch verbunden ist.

23. Halbleitervorrichtung nach einem der Ansprüche 17 bis 22, wobei die zweite Halbleiterstruktur (S2) einen vertieften Bereich aufweist, der in Übereinstimmung mit der Öffnung der Pad-Isolierschicht (290) auf einem oberen Ende der zweiten Halbleiterstruktur (S2) ausgebildet ist.

24. Halbleitervorrichtung, aufweisend:
eine erste Halbleiterstruktur (S1), die ein Substrat (101), Schaltvorrichtungen (120), die auf dem Substrat (101) angeordnet sind, und erste Bondpads (180), die auf den Schaltvorrichtungen (120) angeordnet sind, enthält; und
eine zweite Halbleiterstruktur (S2), die auf der ersten Halbleiterstruktur (S1) mit der ersten Halbleiterstruktur (S1) verbunden ist, wobei die zweite Halbleiterstruktur (S2) enthält:
eine Grundschrift (201);
Speicherzellenstrukturen, die in eine Richtung senkrecht zu einer Unterseite der Grundschrift (201) auf der Unterseite gestapelt sind, und Gate-Elektroden (230) enthalten, die vertikal gestapelt sind;
mindestens eine Verdrahtungsleitung, die zwischen den Speicherzellenstrukturen angeordnet ist und von den Speicherzellenstrukturen, die aufwärts und abwärts angeordnet sind, gemeinsam genutzt wird;
eine erste leitfähige Schicht (205a), die auf der Grundschrift (201) in oberen Abschnitten der Gate-Elektroden (230) angeordnet ist;
eine zweite leitfähige Schicht (205b), die von der ersten leitfähigen Schicht (205a) in einer horizontalen Richtung beabstandet ist und für eine elektrische Verbindung mit einer externen Vorrichtung vorgesehen ist;
eine Pad-Isolierschicht (290), die auf der ersten und zweiten leitfähigen Schicht (205a, 205b) angeordnet ist und eine Öffnung aufweist, die einen Abschnitt der zweiten leitfähigen Schicht (205b) freilegt;

ein Verbindungspad (275), das parallel zu der mindestens einen Verdrahtungsleitung in einem unteren Abschnitt der zweiten leitfähigen Schicht (205b) angeordnet ist und mit der zweiten leitfähigen Schicht (205b) elektrisch verbunden ist; und
zweite Bondpads (280), die in unteren Abschnitten der Speicherzellenstrukturen angeordnet sind, um den ersten Bondpads (180) zu entsprechen.

25. Halbleitervorrichtung nach Anspruch 24, wobei die erste leitfähige Schicht (205a) eine Sourceleitung (CSL) ist, die den Speicherzellenstrukturen in einem unteren Bereich ein elektrisches Signal zuführt.

Es folgen 21 Seiten Zeichnungen

Anhängende Zeichnungen

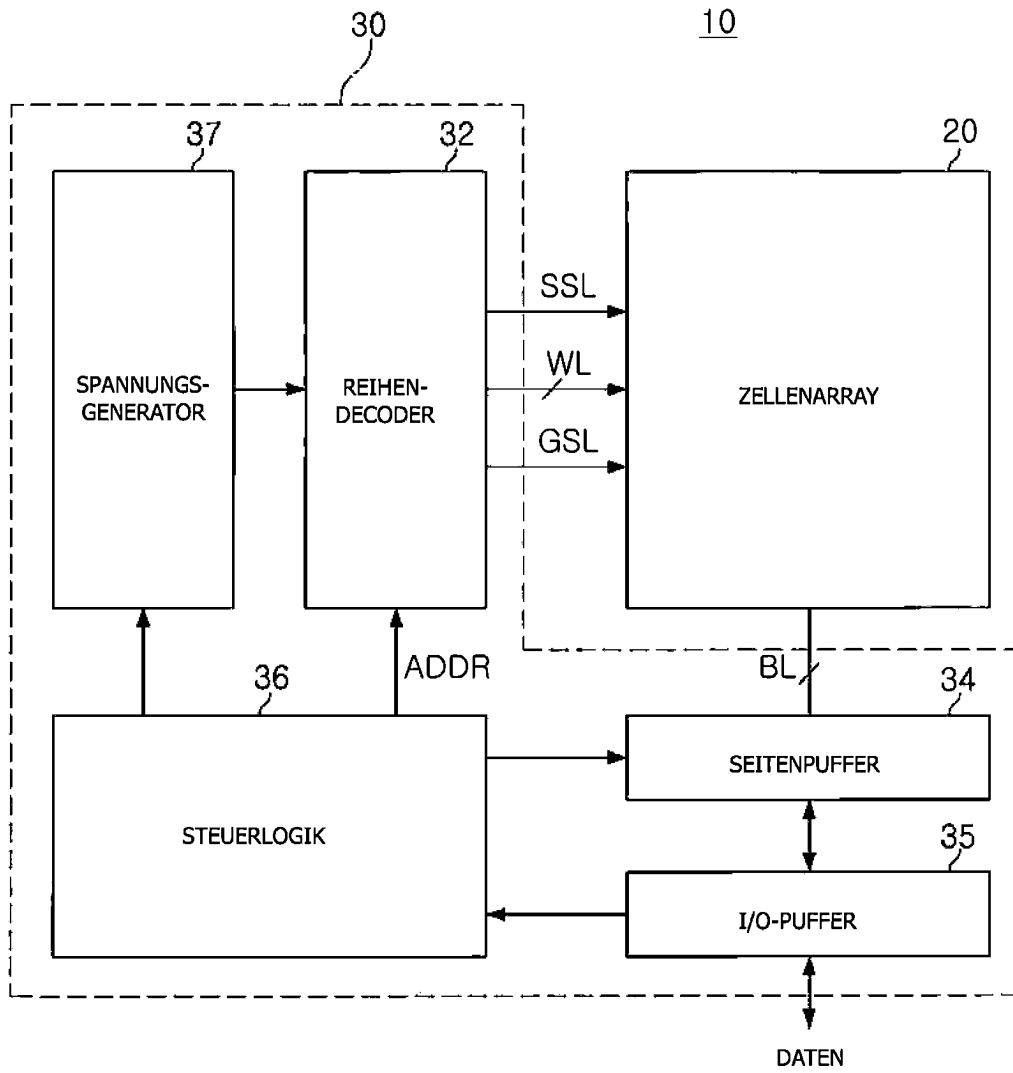


FIG. 1

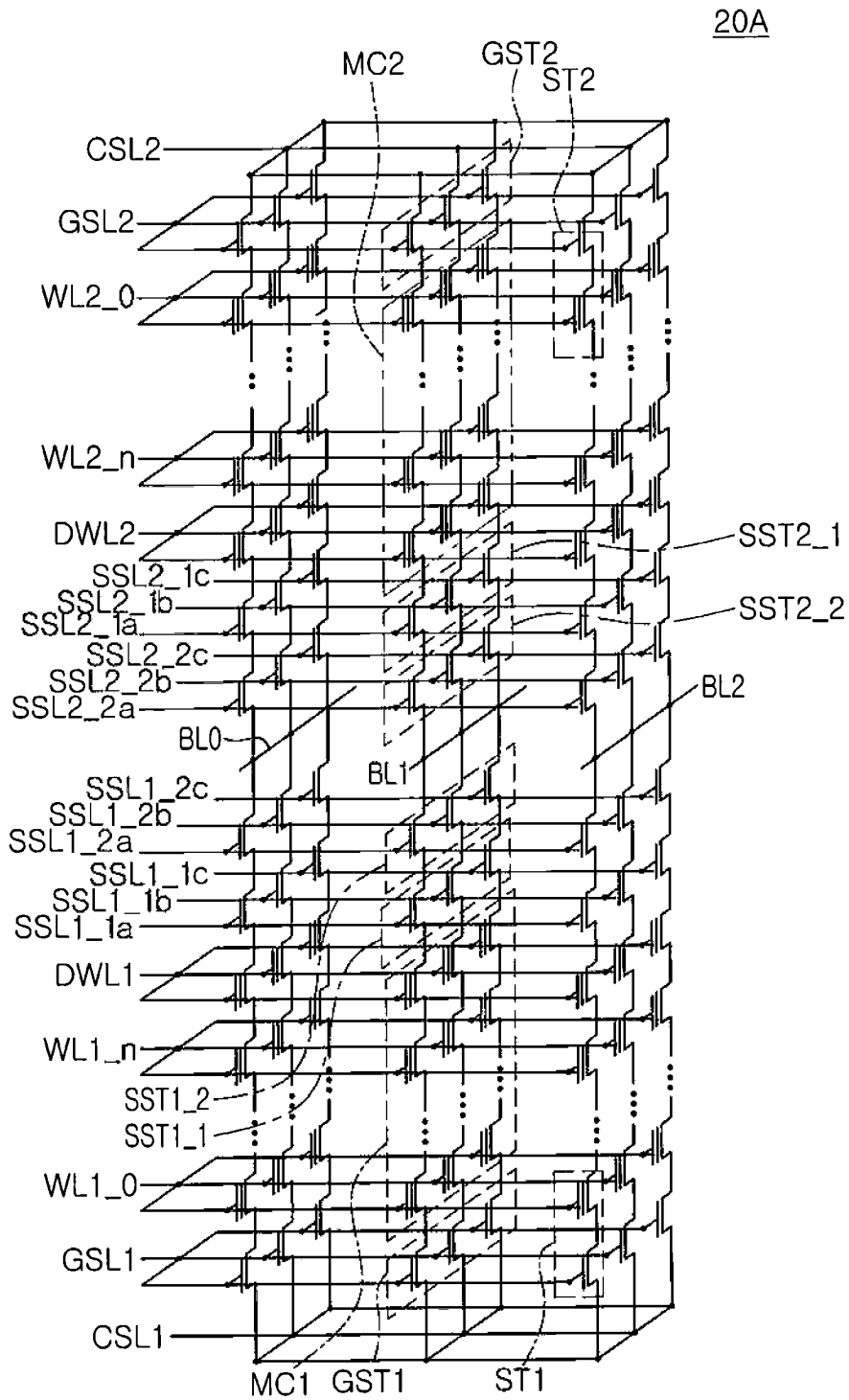


FIG. 2

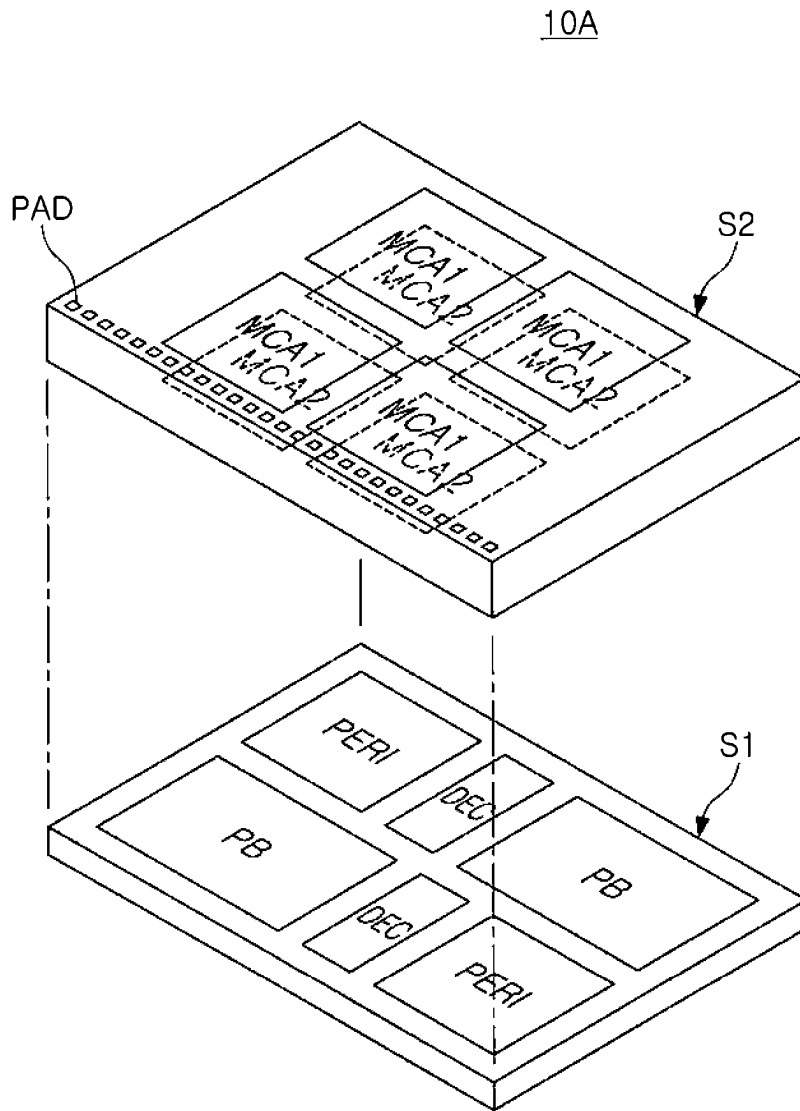
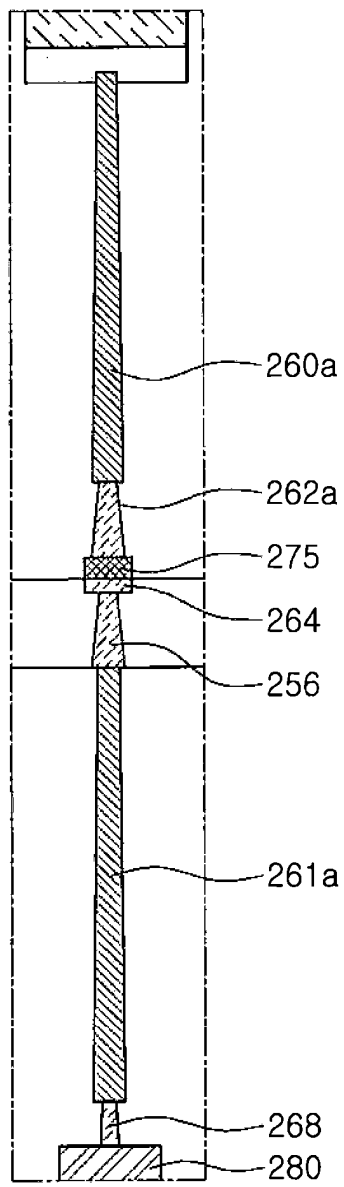
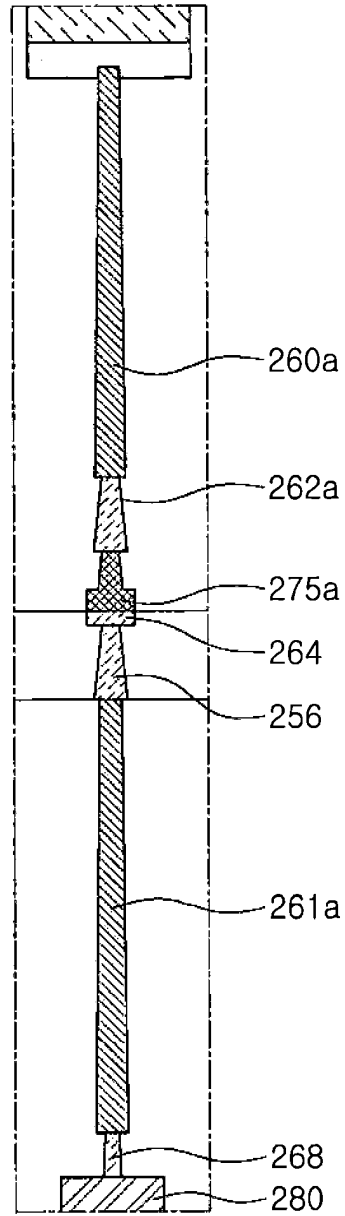


FIG. 3



A

FIG. 5A



A

FIG. 5B

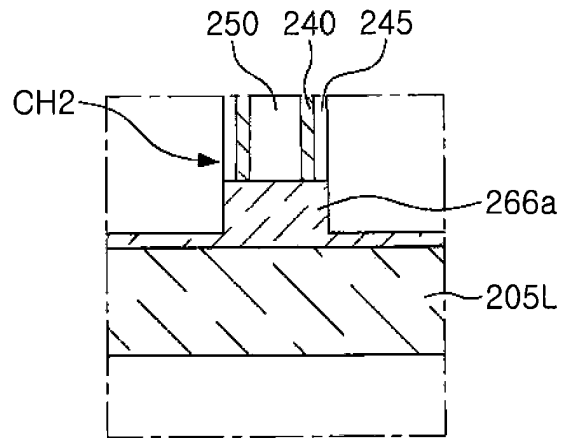


FIG. 6A

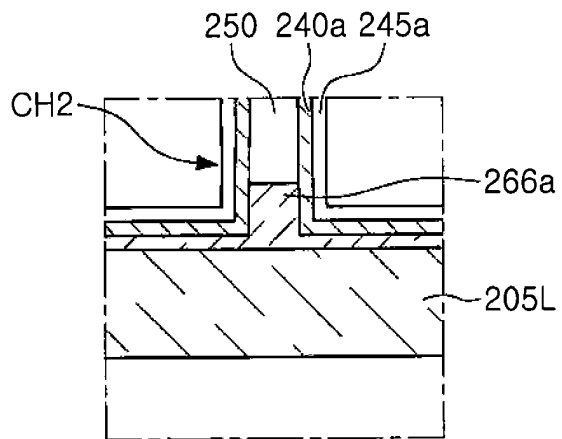


FIG. 6B

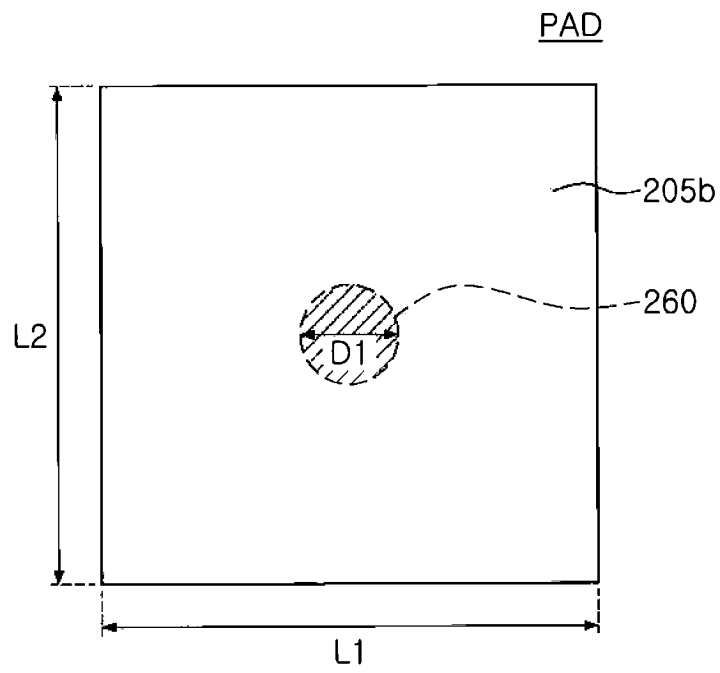


FIG. 7A

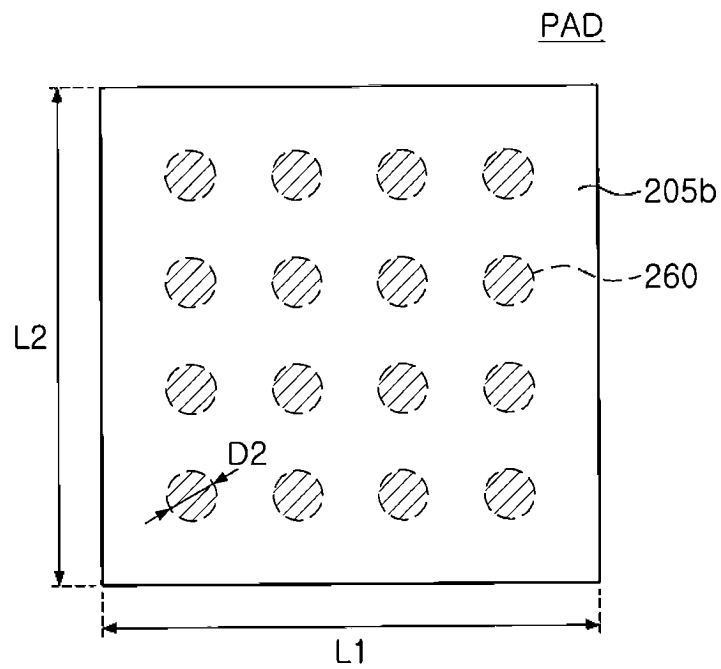


FIG. 7B

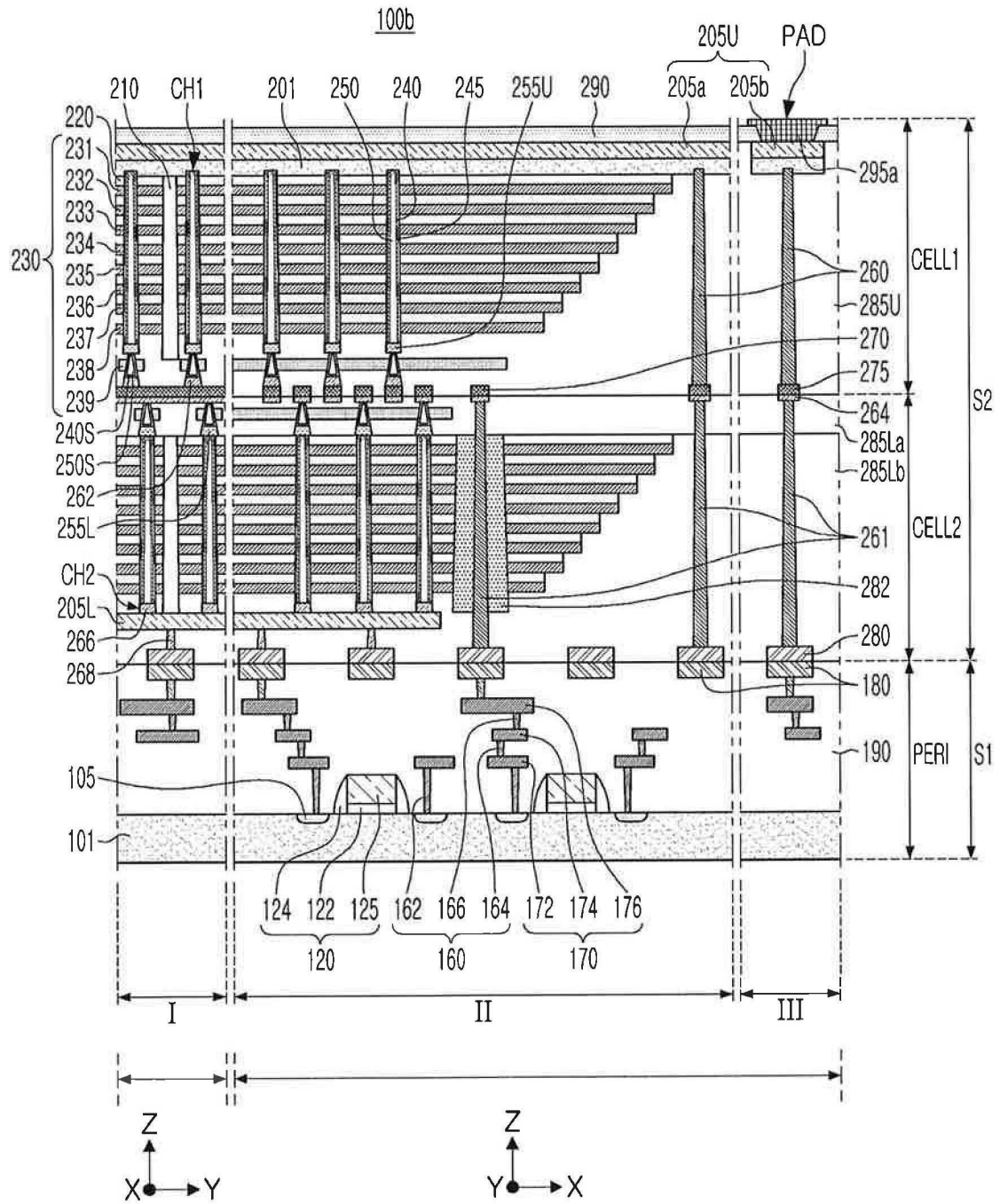


FIG. 8B

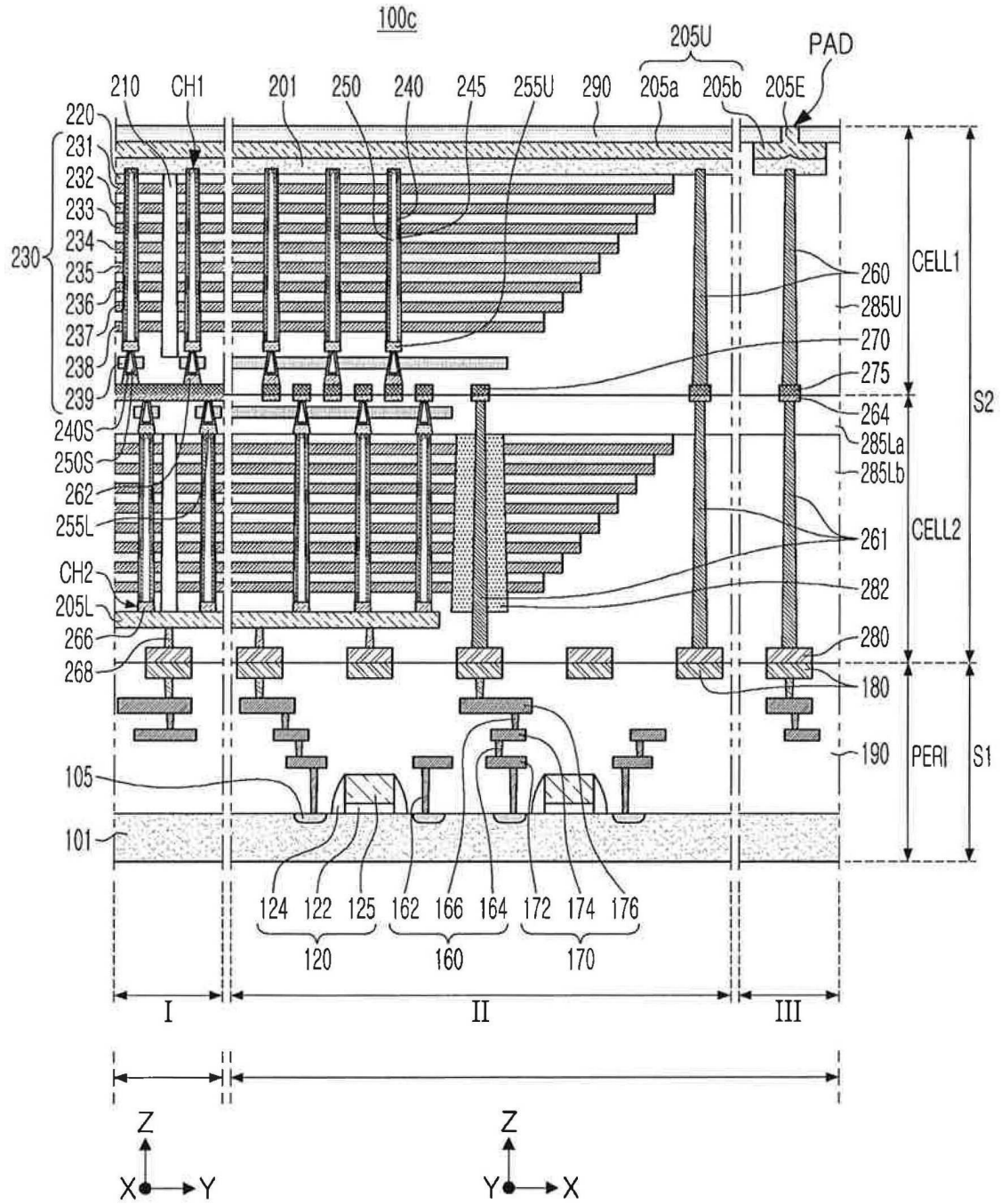


FIG. 8C

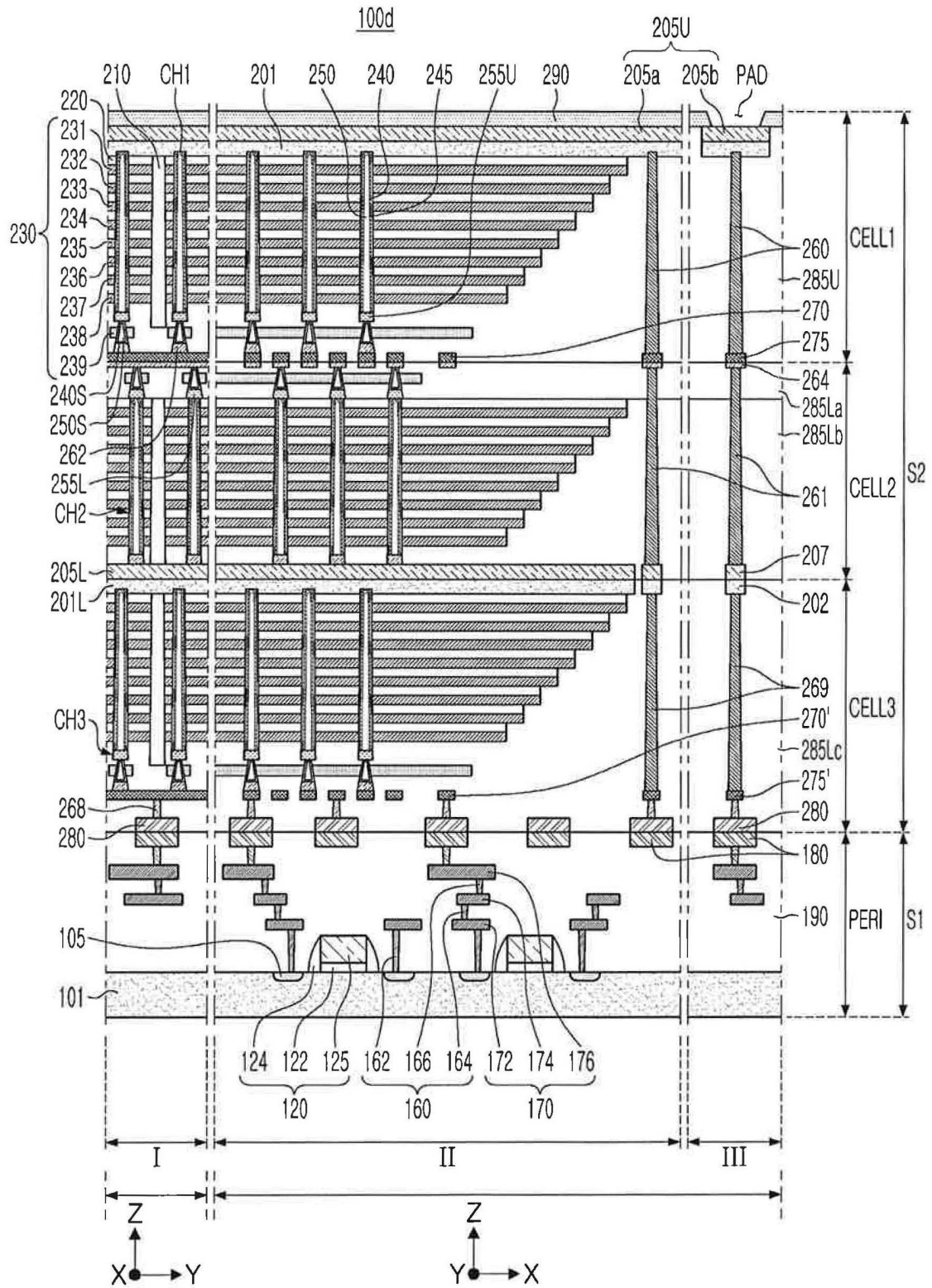


FIG. 9

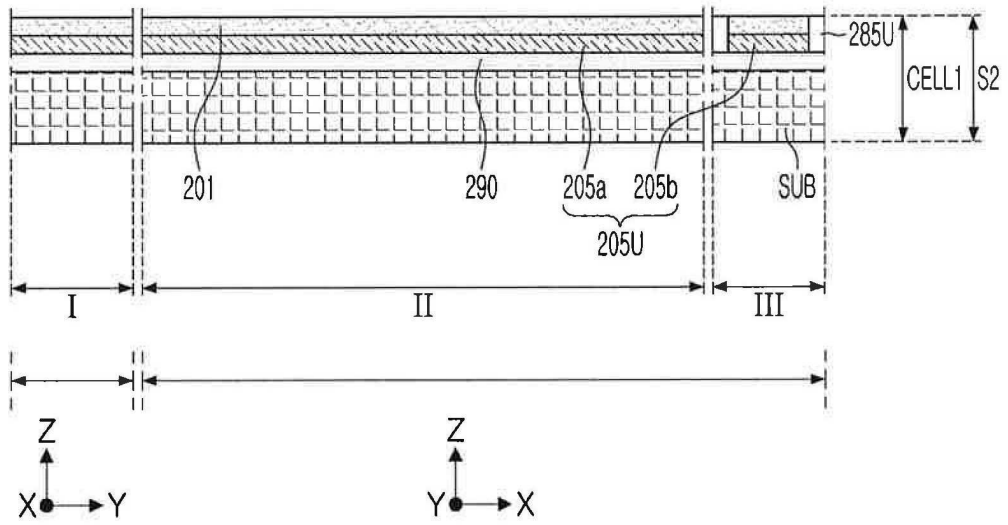


FIG. 10A

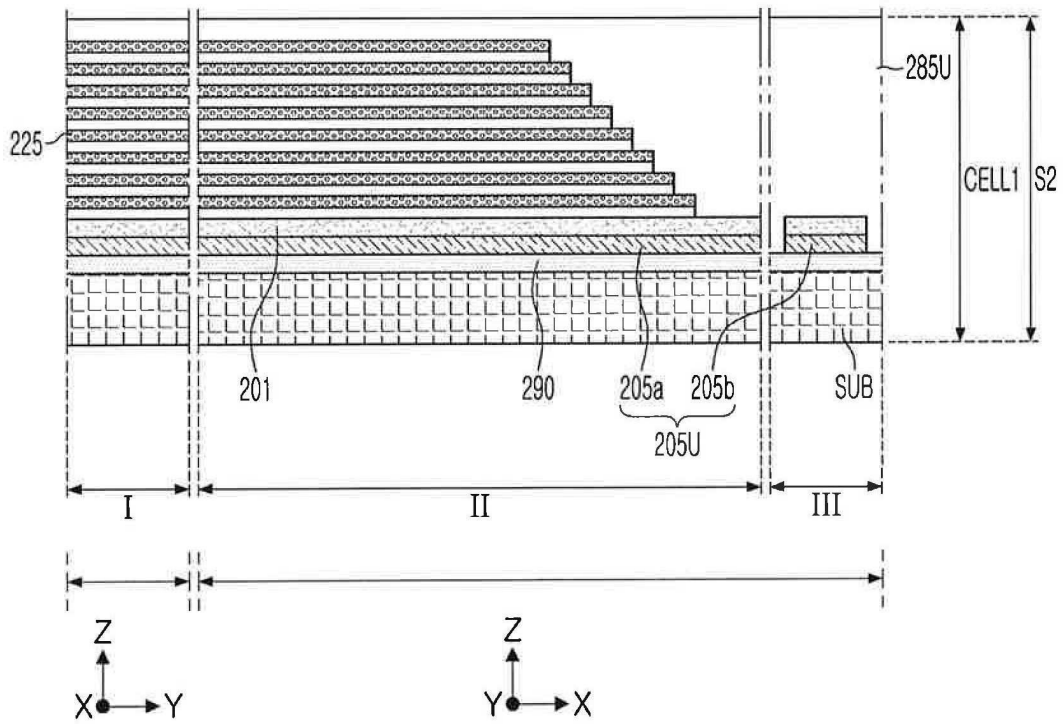


FIG. 10B

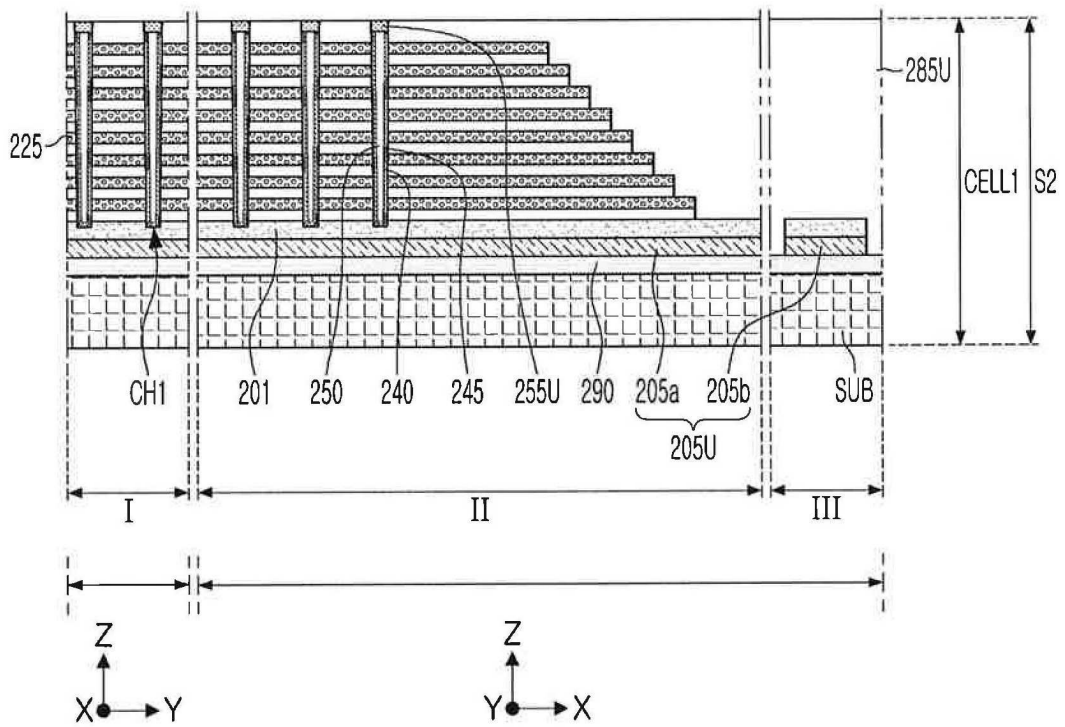


FIG. 10C

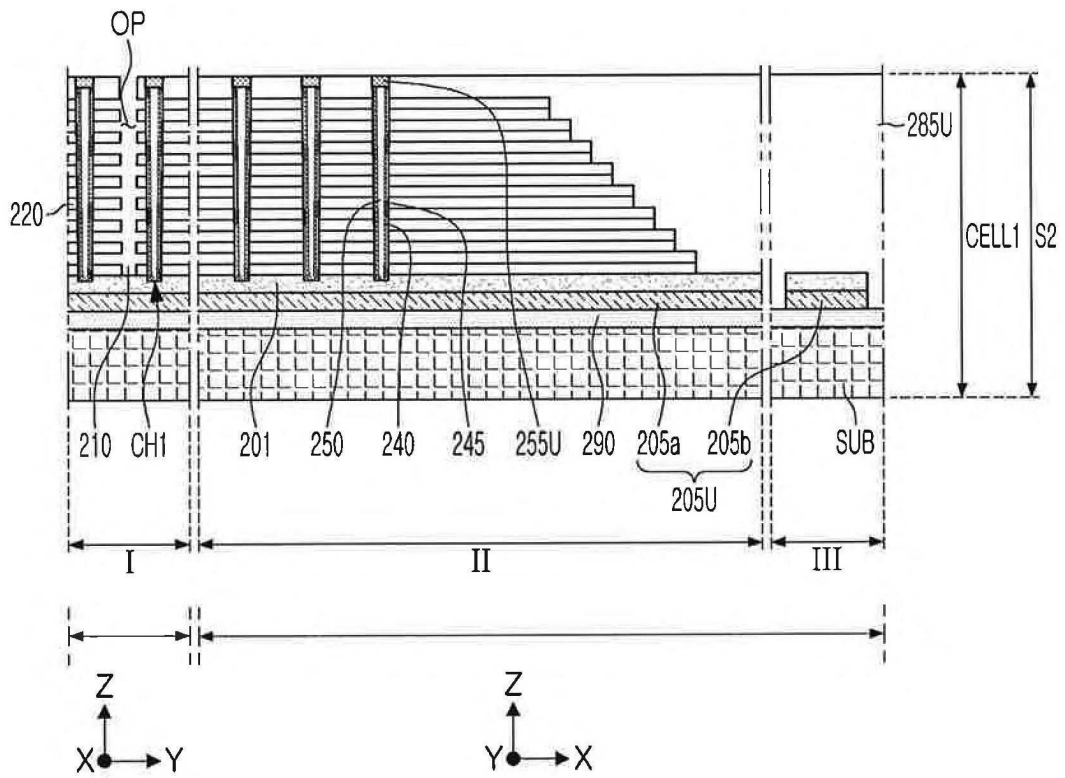


FIG. 10D

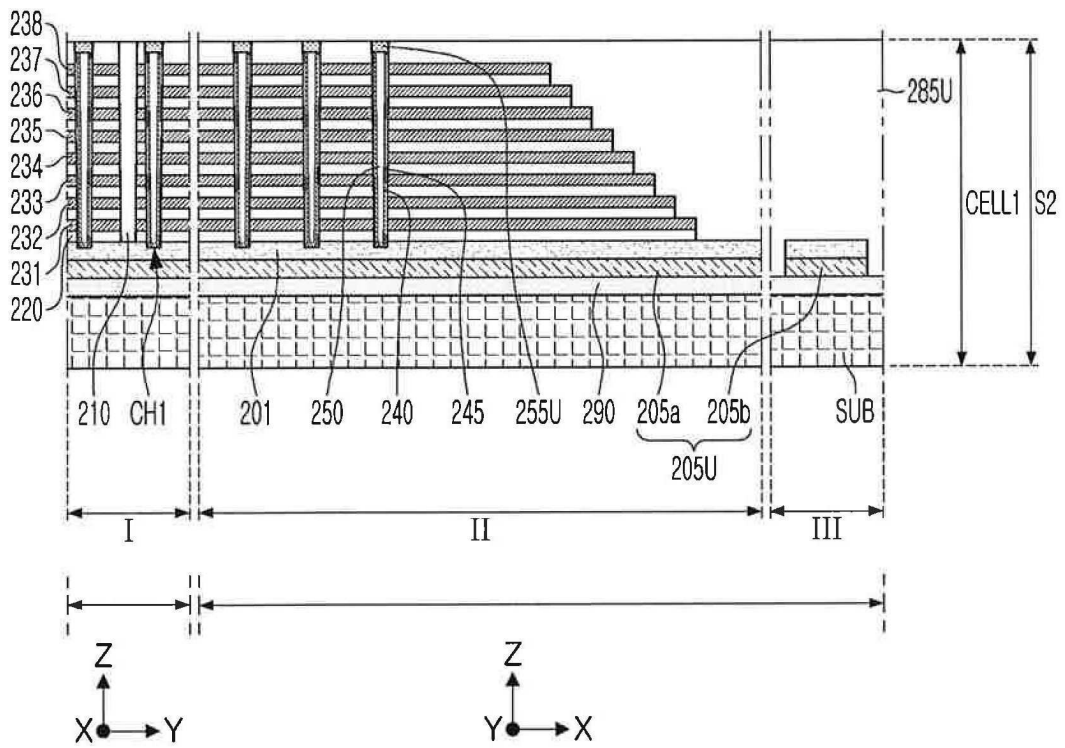


FIG. 10E

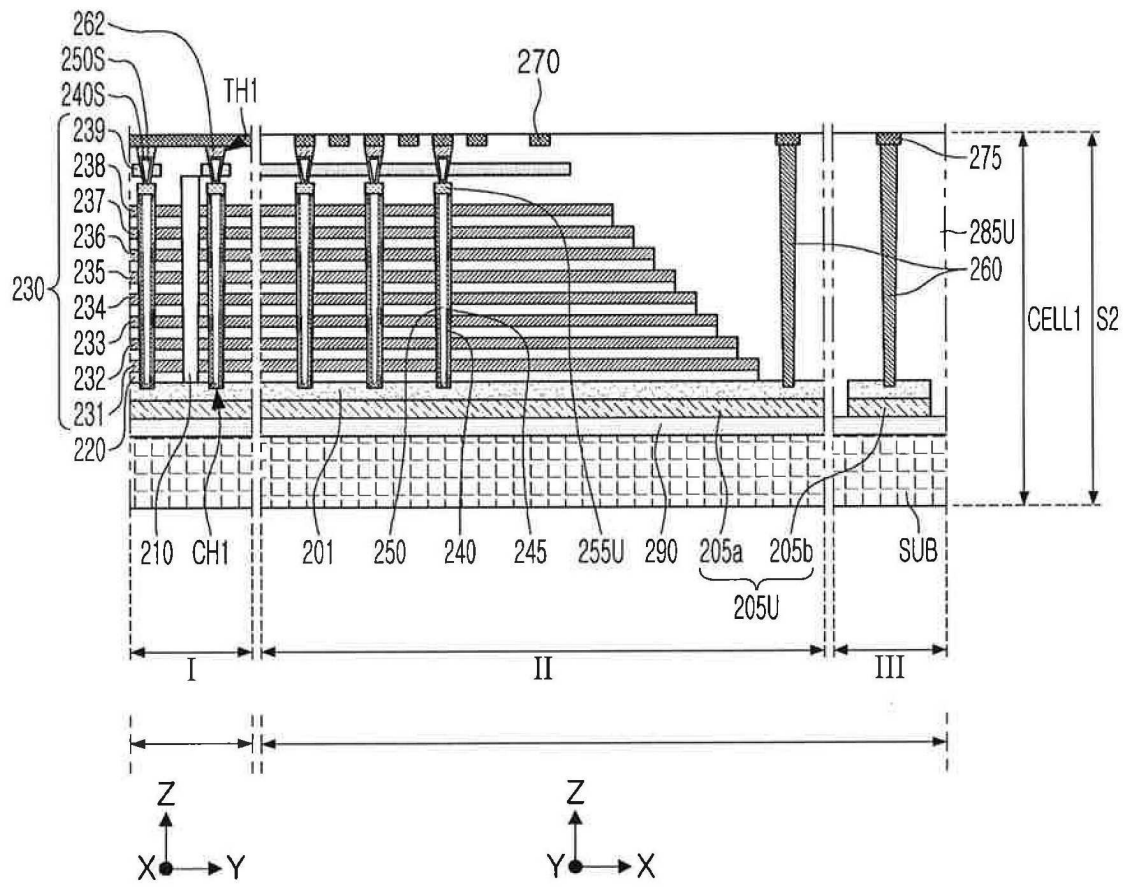


FIG. 10F

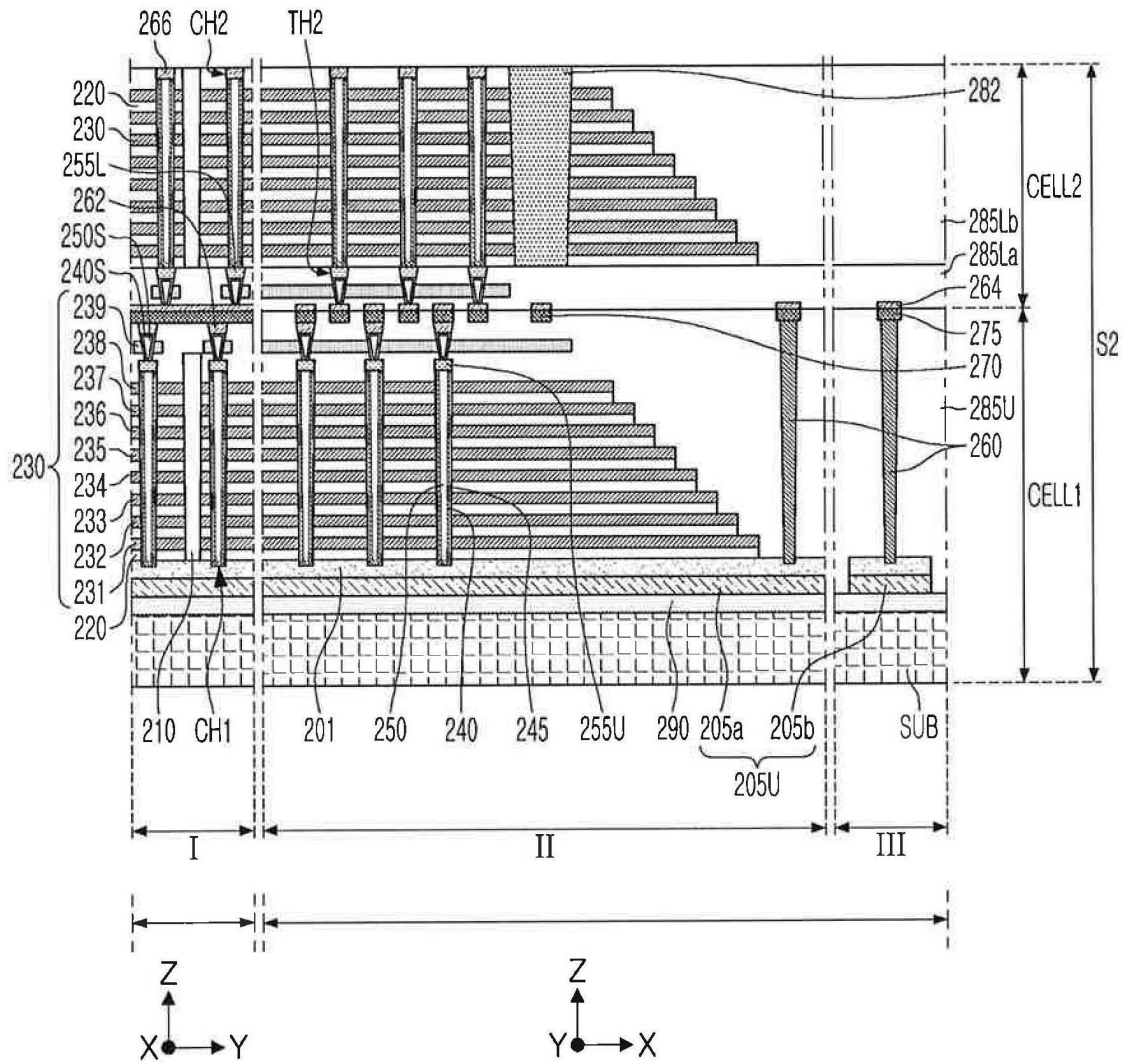


FIG. 10G

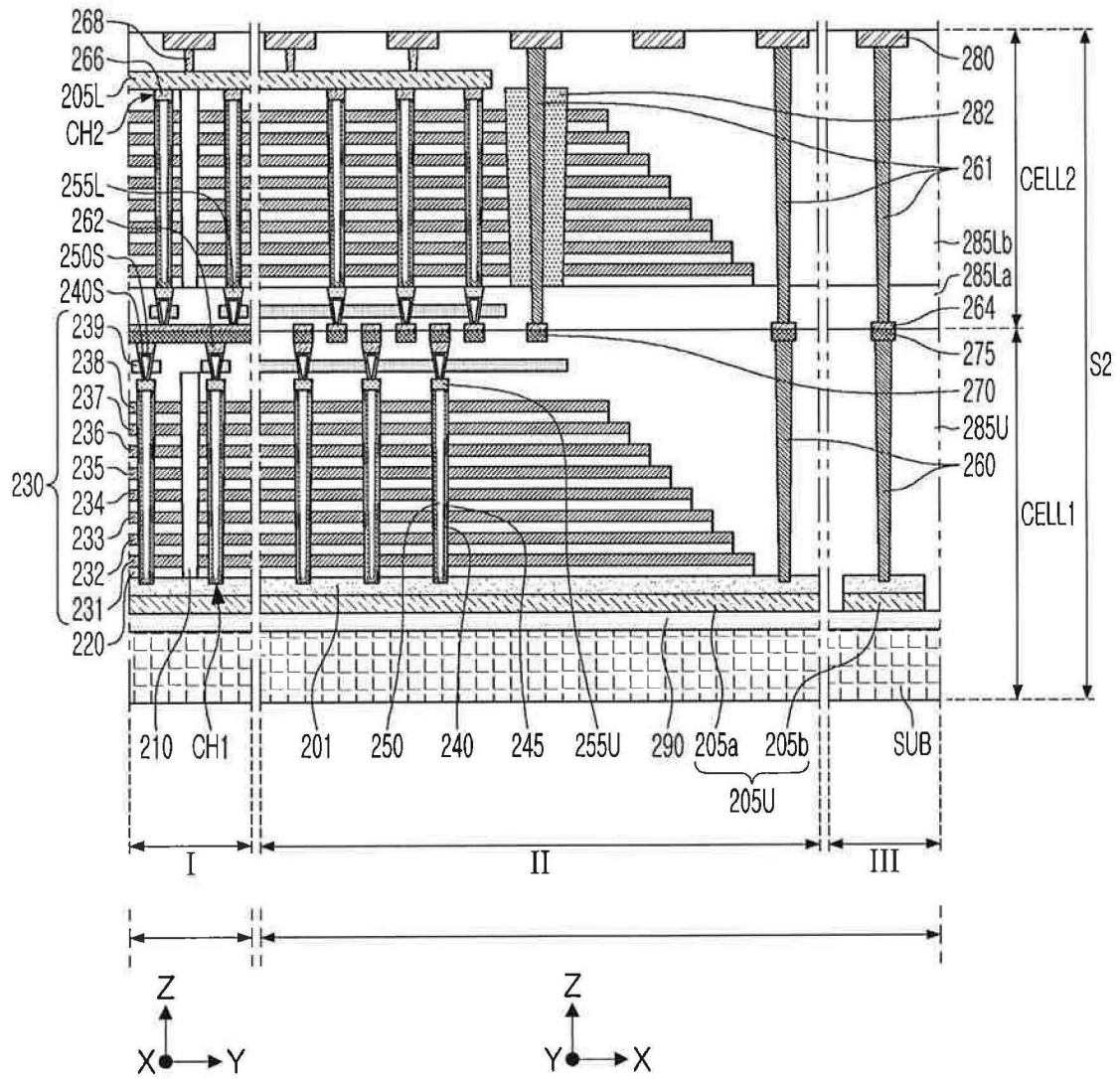


FIG. 10H

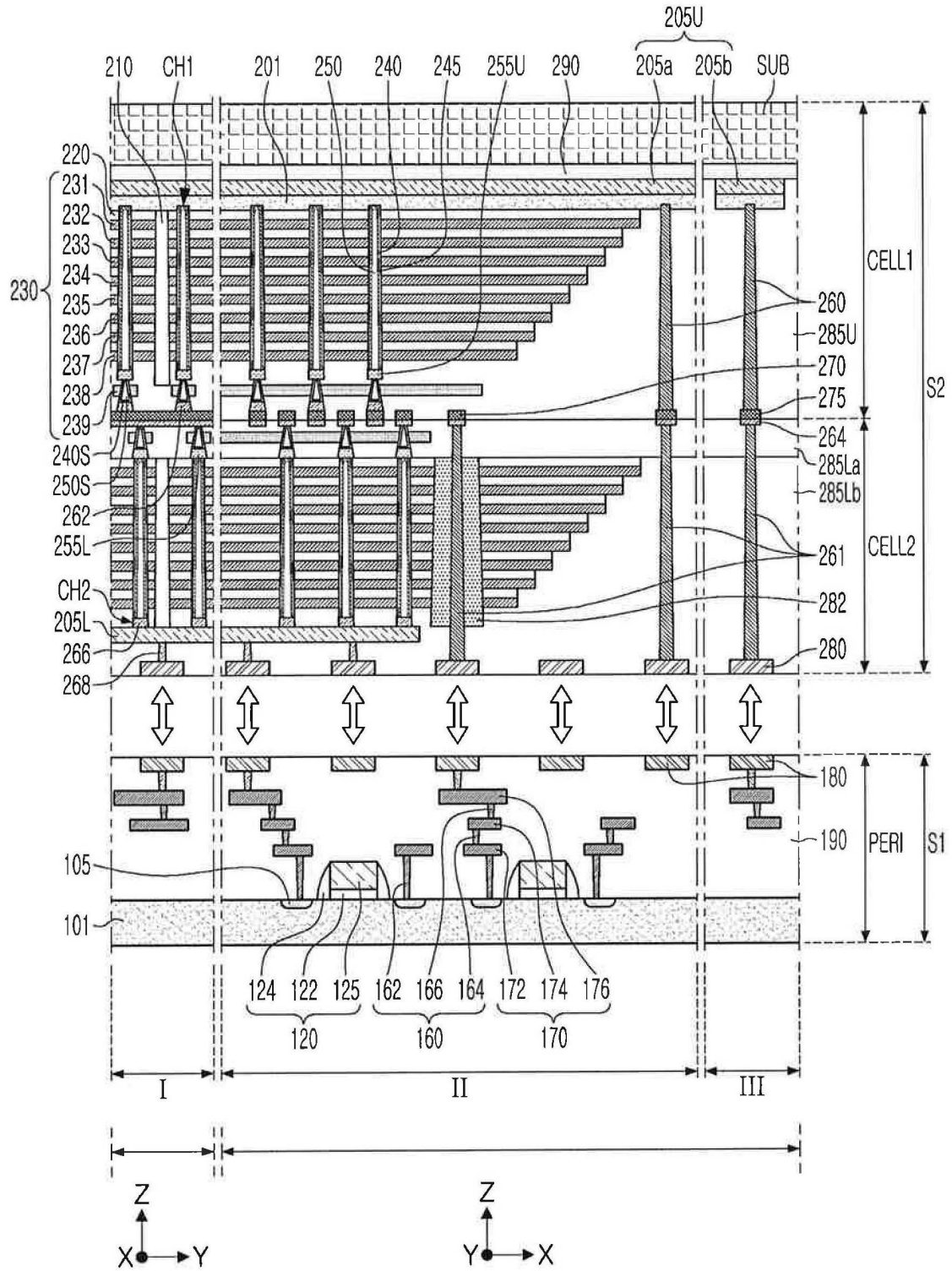


FIG. 10I

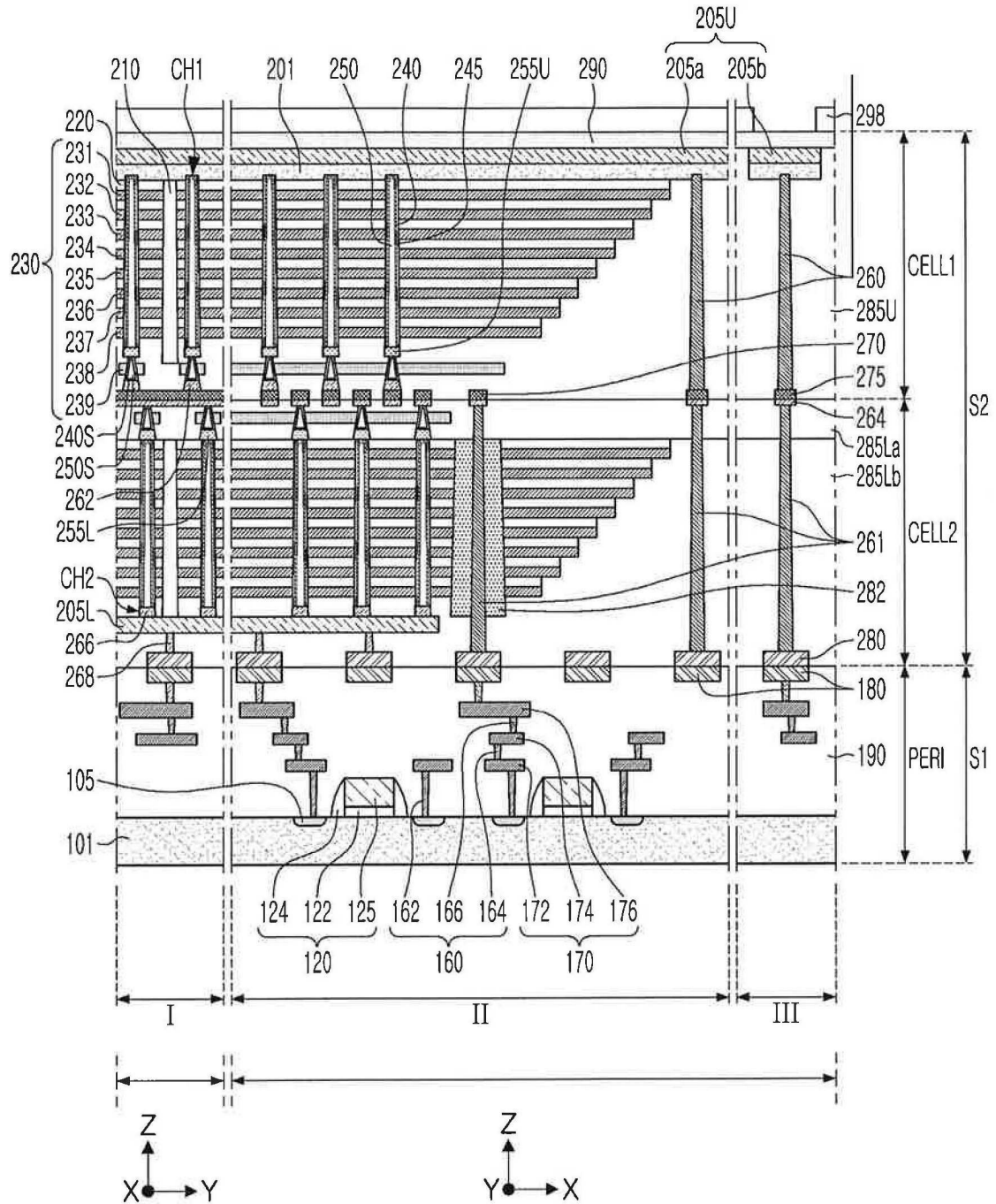


FIG. 10J

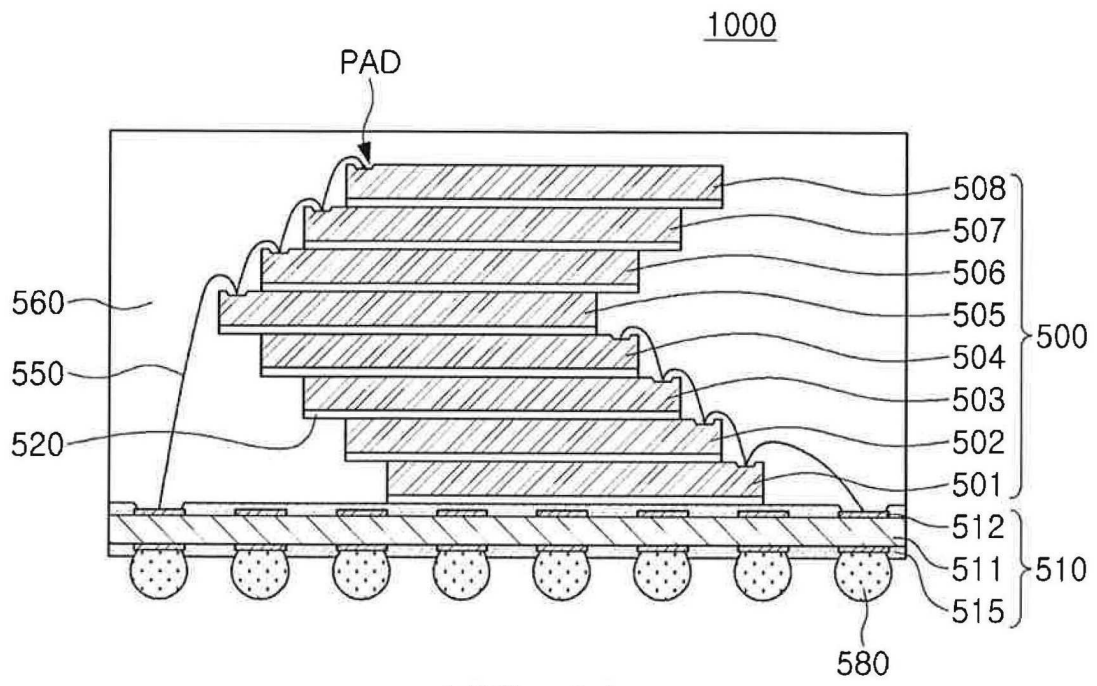


FIG. 11

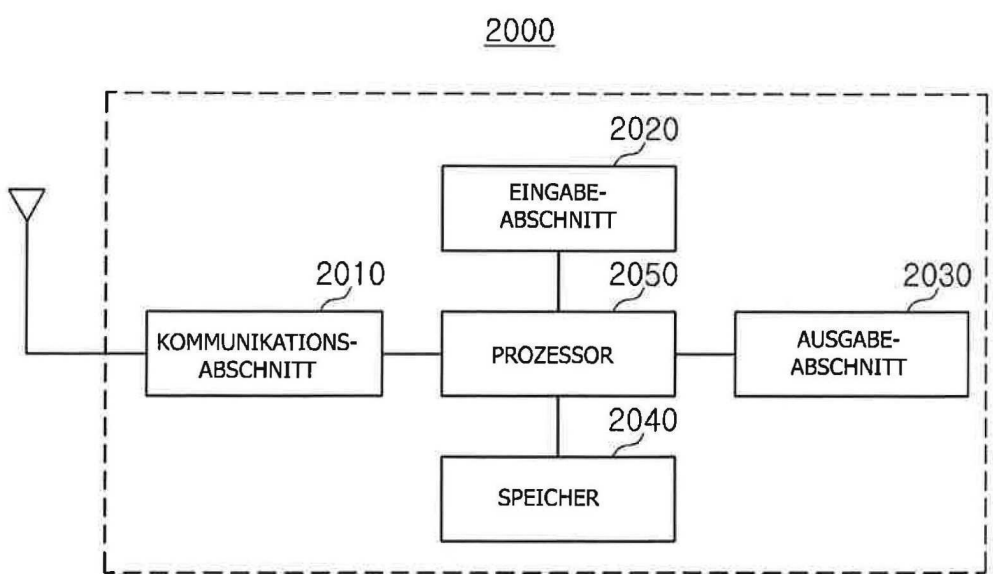


FIG. 12