

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2004 年 2 月 26 日 (26.02.2004)

PCT

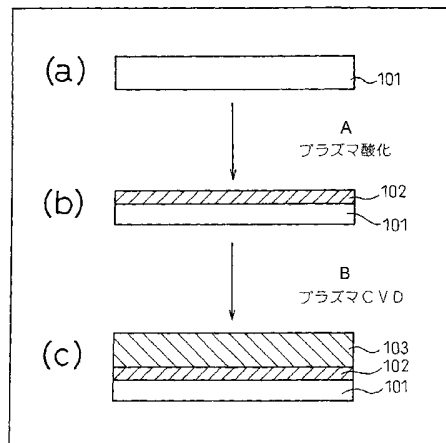
(10) 国際公開番号
WO 2004/017396 A1

- (51) 国際特許分類7: H01L 21/316, 29/786 町三ツ沢650 東京エレクトロン株式会社内 Ya-manashi (JP).
- (21) 国際出願番号: PCT/JP2003/010357
- (22) 国際出願日: 2003 年 8 月 14 日 (14.08.2003)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願2002-236343 2002 年 8 月 14 日 (14.08.2002) JP
- (71) 出願人 (米国を除く全ての指定国について): 東京エレクトロン株式会社 (TOKYO ELECTRON LIMITED) [JP/JP]; 〒107-8481 東京都港区赤坂五丁目3番6号 Tokyo (JP).
- (72) 発明者; および
- (75) 発明者/出願人 (米国についてのみ): 本郷 俊明 (HON-GOH, Toshiaki) [JP/JP]; 〒407-0192 山梨県 韮崎市穂坂
- (74) 代理人: 青木 篤, 外(AOKI, Atsushi et al.); 〒105-8423 東京都港区虎ノ門三丁目5番1号 虎ノ門37森ビル 青和特許法律事務所 Tokyo (JP).
- (81) 指定国 (国内): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.
- (84) 指定国 (広域): ARIPO 特許 (GH, GM, KE, LS, MW, MZ, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア特許 (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ特許 (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB,

/ 続葉有 /

(54) Title: METHOD OF FORMING INSULATION FILM ON SEMICONDUCTOR SUBSTRATE

(54) 発明の名称: 半導体基体上の絶縁膜を形成する方法



A...PLASMA OXIDIZING
B...PLASMA CVD

(57) Abstract: A method of obtaining in a short time an insulation film capable of being obtained from an LCD-use TFT and having a large dielectric strength and a small interface-level density. A silicon substrate (101) is subjected to plasma oxidizing to form a first insulation film (102), and a second insulation film (103) is deposited on the first insulation film (102) by using plasma CVD to thereby form an insulation film.

(57) 要約:

LCD用のTFTで求められる大きい絶縁耐電圧及び小さい界面準位密度を有する絶縁膜を短時間で得るための方法を提供する。シリコン基体(101)をプラズマ酸化処理して第1の絶縁膜(102)を形成し、前記第1の絶縁膜(102)に第2の絶縁膜(103)をプラズマCVDを使用して堆積させることにより、絶縁膜を形成する。



GR, HU, IE, IT, LU, MC, NL, PT, RO, SE, SI, SK, TR),
OAPI 特許 (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW,
ML, MR, NE, SN, TD, TG).

2 文字コード及び他の略語については、定期発行される
各PCTガゼットの巻頭に掲載されている「コードと略語
のガイダンスノート」を参照。

添付公開書類:

— 国際調査報告書

明 細 書

半導体基体上の絶縁膜を形成する方法

技術分野

本発明は、半導体デバイスの絶縁膜、特に薄膜トランジスタ（T F T）のゲート絶縁膜、より特に液晶ディスプレイ等のディスプレイ（L C D）のためのT F Tのゲート酸化物膜形成に関する。

背景技術

絶縁膜は様々な半導体デバイスで使用されており、絶縁膜形成のためには半導体基体の酸化又は窒化、C V D（化学気相堆積）、P V D（物理気相堆積）、コーティングのような様々な技術が使用されている。ここで、比較的高品質な絶縁膜が必要とされる用途、例えば集積回路のゲート絶縁膜の用途では、下地の膜を変性させる熱又はプラズマによる酸化又は窒化のような変性処理が使用され、また比較的大きい成膜速度が必要とされる用途、例えば保護層及びL C Dのゲート絶縁膜の用途では、C V Dのような堆積処理が使用されることが多い。これは、これらの処理によって得られる膜質が異なること、例えばこのような変性処理によって得られる絶縁膜の界面順位密度が例えば $5 \times 10^{10} \text{ e V}^{-1} \cdot \text{cm}^{-2}$ 程度と比較的小さく、且つC V Dのような堆積処理によって得られる界面順位密度が例えば $5 \times 10^{12} \text{ e V}^{-1} \cdot \text{cm}^{-2}$ 程度と比較的大きいことによる。また、このような変性処理によって得られる膜の成膜速度が比較的小さく、且つ堆積処理によって得られる膜の成膜速度が比較的大きいことにもよる。

これに関して近年では、半導体デバイスの製造工程において、成

膜のためのプラズマ処理装置が使用される場合がある。例えば、典型的なマイクロ波プラズマ処理装置においては、2.45GHz程度のマイクロ波を、スロット電極に通過させて、半導体ウェハやLCD基板などの被処理体が配置された減圧処理室内に導入する。マイクロ波はこれらの反応体ガスをプラズマ化し、活性の強いラジカル及びイオンにし、被処理体と反応させて成膜処理が行われるようにする。ここでは一般的に、プラズマの励起を促進するアルゴンのような希ガスと反応体ガスとを処理室に導入する。

プラズマを使用して絶縁膜を作る場合、この反応体ガスは例えば、フィールド酸化と呼ばれる半導体基体の酸化処理では酸素及び場合によっては水素であり、CVDにおいてはテトラエチルオルトシリケート（TEOS）及び酸素である。特に、LCDの製造においては、トランジスタのゲート絶縁膜形成のために一般にプラズマCVD処理を行っている。これらの絶縁膜形成技術については、特開平第11-293470号、特開平第2001-274148号明細書等参照。

従来一般に行われてきたシリコン基板の熱酸化法を使用して二酸化ケイ素の絶縁膜を形成する場合約1000℃の高温を必要とするが、プラズマシリコン酸化物膜は、熱酸化法よりも低温で成長できる。従って、高温を嫌うデバイスに好ましく、成長速度が大きく、圧縮応力膜が容易に得られ、膜が緻密であり、また酸化速度の面方位依存性がないといった特徴を有する。

従来の絶縁膜形成処理はそれぞれ利点を有するものの、現在及び将来にわたる膜質及び成膜速度の要求を必ずしも満たしているとはいえない。例えば絶縁膜の性質を表すパラメータとしては、界面準位密度で表されるタングリングボンド、絶縁耐電圧、膜密度、成膜速度等があるが、これらのパラメータの要求を柔軟に満たす成膜方

法及び装置は現在も求められている。従って本発明は、絶縁膜の評価で使用されるパラメータに関する要求を満たすための方法を提供する。

従来、LCDのTFTスイッチではアモルファスシリコンを使用し、そのゲート酸化物膜はCVDプロセスで製造していた。しかしながら、近年開発されているポリシリコン及び連続粒界結晶シリコン(CGS) TFTスイッチのゲート酸化物膜で求められる膜質をCVDで達成するのは困難であると考えられる。

従ってプラズマ酸化のような既に堆積されているシリコン基体を酸化するいわゆるフィールド酸化処理を行って絶縁膜にすることも考えられる。しかしながらCVDによる成膜速度が典型的に約1000 Å/分超であるのに対して、フィールド酸化による成膜速度は約20 Å/分程度である。更にフィールド酸化では、形成された酸化物膜を酸素が拡散することによって成膜処理が進行することから、膜厚が厚くなるに従って成膜速度が遅くなる。よってフィールド酸化を使用する場合には、LCDのTFT（例えば約15 V又は35 Vのゲート電圧を使用）で求められる大きい絶縁耐電圧及び酸化物膜の対応する比較的厚い膜厚（例えば1,000 Å）を達成するために長時間の成膜処理が必要となり現実的ではない。

発明の開示

そこで本発明では、短時間で要求される膜質を有する絶縁膜を得るための方法を提供する。

本発明は、半導体基体の変性処理を行って第1の絶縁膜を形成し、そして第1の絶縁膜に第2の絶縁膜を堆積させる堆積処理を行うことを含む、半導体基体上の絶縁膜を形成する方法である。この半導体基体上の絶縁膜は、特にゲート絶縁膜、より特にTFTのゲー

ト酸化物膜、更により特にLCD等のディスプレイのためのTF Tのゲート酸化物膜である。

本発明の1つの態様では、半導体基体がシリコン基体、例えばポリシリコン基体、連続粒界結晶シリコン基体又は単結晶シリコン基体である。

本発明の1つの態様では、第1の絶縁膜及び第2の絶縁膜が共に酸化物膜である。

本発明の1つの態様では、第1の絶縁膜が酸化物膜であり、且つ第2の絶縁膜が窒化物膜である。

本発明の1つの態様では、第1の絶縁膜の厚さが10～100 Å、特に10～30 Åである。また、第1の絶縁膜の厚さは、半導体基体／第1の絶縁膜の界面、例えばシリコン基体／酸化シリコンの界面の性質に関する要求を満たすのに十分な厚さでよい。

本発明の1つの態様では、第2の絶縁膜の厚さが100～2,000 Å、特に500～1,000 Åである。また、第2の絶縁膜の厚さは、第1の絶縁膜及び第2の絶縁膜を有する絶縁膜の絶縁耐電圧に関する要求を満たす厚さでよい。

本発明の1つの態様では、第1の絶縁膜と半導体基体との界面準位密度が、 $10^{12} \text{ e V}^{-1} \cdot \text{cm}^{-2}$ 未満、例えば $10^{12} \sim 10^{10} \text{ e V}^{-1} \cdot \text{cm}^{-2}$ 、好ましくは $10^{10} \text{ e V}^{-1} \cdot \text{cm}^{-2}$ 未満、例えば $10^{10} \sim 10^9 \text{ e V}^{-1} \cdot \text{cm}^{-2}$ である。

本発明の1つの態様では、第1の絶縁膜及び第2の絶縁膜を含む半導体基体上の絶縁膜の絶縁耐電圧が、所望の用途に適当な絶縁耐電圧を有し、例えばこの絶縁耐電圧が10 V超、20 V超、又は30 V超である。

本発明の1つの態様では、変性処理が半導体基体の熱又はプラズマ酸化又は窒化処理であり、且つ堆積処理がCVD処理である。尚

、この堆積処理は、PVD、コーティングであってよい。

本発明の1つの態様では、変性処理がプラズマ酸化処理であり、且つ堆積処理がプラズマCVD処理である。

本発明の1つの態様では、プラズマ酸化処理の雰囲気希ガス及び酸素を含有する。ここで好ましくは、希ガスと酸素との流量比率が100：3以下である。希ガスは例えばクリプトンである。

本発明の1つの態様では、プラズマCVD処理の雰囲気が酸素及びケイ素含有ガスを含有する。このケイ素含有ガスは例えば、モノシラン SiH_4 である。

本発明の1つの態様では、第1の絶縁膜の平均成膜速度が10～100 Å/分、特に10～50 Å/分であり、且つ第2の絶縁膜の平均成膜速度が100～10,000 Å/分、特に500～1,000 Å/分である。

また本発明は、第1の絶縁膜と第2の絶縁膜を含む絶縁膜を半導体基体上に作る方法であって、前記半導体基体に隣接する前記第1の絶縁膜の平均成膜速度と、前記半導体基体の反対側で前記第1の絶縁膜に隣接する前記第2の絶縁膜の成膜速度との比が、1：1,000～1：1、特に1：100～1：10である、第1の絶縁膜と第2の絶縁膜を含む絶縁膜を半導体基体上に作る方法を提供する。

プラズマの発生手段は、例えば誘導結合プラズマ(ICP)発生装置、又はスロット放射型マイクロ波励起プラズマ発生装置、特にラジアルラインスロットアンテナ(RLSA)マイクロ波励起プラズマ発生装置のようなマイクロ波励起プラズマ発生装置である。この方法は、本明細書の記載から理解できる他の任意の特徴を有することができる。

本発明の他の目的及び更なる特徴は、以下添付図面を参照して説

明される好ましい実施例によって明らかにされるであろう。

図面の簡単な説明

図 1 は、本発明の 1 つの態様で形成される絶縁体膜の成膜工程を表す図である。

図 2 は、本発明の 1 つの態様で使用する R L S A マイクロ波プラズマ処理装置の構造を示す概略ブロック図である。

図 3 は、図 2 の R L S A マイクロ波プラズマ処理装置で使用されるアンテナの平面図である。

図 4 は、図 2 のプラズマ処理装置を使用するクラスタツールの上面図である。

図 5 は、シリコン表面の直接酸化による成膜速度の時間依存性を示す図である。

図 6 は、C V D 酸化物膜の成膜速度を示す図である。

上記した図面中、各符号の意味は、以下の通りである。

- 1 0 1 …シリコン基体
- 1 0 2 …第 1 の絶縁膜
- 1 0 3 …第 2 の絶縁膜
- 2 0 0 …R L S A プラズマ処理装置
- 2 0 1 …ゲートバルブ
- 2 0 2 …処理室
- 2 0 4 …サセプタ
- 2 0 6 …真空ポンプ
- 2 0 8 …天板
- 2 1 0 …マイクロ波源
- 2 4 0, 2 7 0 …ガス供給管
- 3 0 0 …アンテナ

4 0 0 … クラスツール
4 1 0 … 処理システム部
4 3 0 … ロードロック室
4 5 0 … 搬送システム部
4 7 0 … 搬送ステージ
4 8 0 … カセットステージ

発明を実施するための最良の形態

以下では、添付図面を参照して、本発明の例示の態様で使用する装置について説明する。尚、各図において同一の参照符号は同一部材を表している。

ここで図 2 は、本発明の絶縁膜を形成することができるラジアルラインスロットアンテナ（R L S A（Radial Line Slot Antenna））プラズマ処理装置 2 0 0 の概略ブロック図である。

尚、以下では R L S A プラズマ処理装置に関して本発明を説明するが、本発明の絶縁膜はプラズマ処理装置以外の任意の装置を使用しても得ることができる。好ましくは本発明ではプラズマ処理装置を使用する。これはプラズマ処理装置が比較的低温での成膜及び良好な膜質を達成できることによる。より好ましくは高密度プラズマを発生させることができる R L S A プラズマ処理装置のようなマイクロ波プラズマ装置、I C P（誘導結合型）プラズマ装置、E C R プラズマ装置等を使用する。

本実施例のマイクロ波プラズマ処理装置 2 0 0 は、クラスツール 4 0 0 に連通されたゲートバルブ 2 0 1 と、半導体ウェハ基板や L C D 基板などの被処理体 W を載置しているサセプタ 2 0 4 を収納可能な処理室 2 0 2 と、処理室 2 0 2 に接続されている真空ポンプ 2 0 6 と、天板 2 0 8 と、マイクロ波源 2 1 0 と、アンテナ 3 0 0

と、ガス供給管 240 及び 270 とを有している。なお、プラズマ処理装置 200 の制御系については図示が省略されている。

処理室 202 は側壁や底部がアルミニウムなどの導体により構成される。ここでは処理室 202 は例示的に円筒形状を有するが、その形状は任意である。処理室 202 内には、サセプタ 204 とその上に被処理体 W が支持されている。

天板 208 は、処理室 202 の上部を塞いでいる石英や窒化アルミニウムのような誘電体材料で作られている円筒形板状体である。

アンテナ 300 には、図 3 に示すように、複数のスロット 310 が同心円上に存在している。このアンテナ 300 は例えば厚さ 1 mm 以下の銅板で作られており、天板 208 の上面に配置されている。各スロット 310 は略方形の貫通孔であり、隣接するスロットは互いに直交してアルファベットの「T」字状の形状を構成している。スロット 310 の配置、形状等は、マイクロ波発生源 210 で発生するマイクロ波の波長、必要とされるプラズマ等に依存して決定される。随意的遅波材 224 としては、マイクロ波の波長を短くするために所定の誘電率を有すると共に熱伝導率が高い所定の材料が選ばれる。

マイクロ波源 210 は、例えばマグネトロンからなり、通常 2.45 GHz のマイクロ波（例えば 5 kW）を発生することができる。マイクロ波はその後、矩形導波管 211、モード変換器 212、円形同軸導波管 213 を通って、アンテナ部材 300 に達する。尚、図 2 では、マグネトロンに戻る反射マイクロ波を吸収するアイソレータ等の装置は省略されている。

所望に応じてサセプタ 204 は、処理室 202 内で被処理体 W の温度制御を行うことができる。この場合には、温度調節装置（図示せず）がサセプタ 204 の温度を制御する。またサセプタ 204 は

処理室 202 内で昇降可能に構成することができ、このサセプタ 204 に関しては当業者に既知のいかなる技術も適用することができる。

ガス供給管 240 及び 270 は、ガス供給源、バルブ、マスフローコントローラ等（図示せず）に接続されている。ここでは、直接に処理ガスを処理室 202 に供給しているが、処理室 202 の上部のシャワープレート（図示せず）を経由させて均一に供給できるようにすることもできる。

処理室 202 の内部は、真空ポンプ 206 によって所定の減圧を維持することができる。真空ポンプ 206 は処理室 202 を均一に排気して、プラズマ密度を均一に保ち、部分的にプラズマ密度が集中して被処理体 W の処理が不均一になることを防止する。

クラスタツール 400 は、図 4 で示されるようなクラスタツールでよい。このクラスタツール 400 は、被処理基板としてのウェハ W に対して成膜処理、拡散処理、エッチング処理等の処理を行う処理システム部 410 と、この処理システム部 410 に対してウェハ W を搬入、搬出させる搬送システム部 450 とにより構成される。

処理システム 410 部は、真空引き可能に構成された移載室 411 と、ゲートバルブ 201A～201D を介して連結された 4 つの処理チャンバ 200A～200D よりなり、各チャンバ 200A～200D においては同種の或いは異種の処理をウェハ W に対して行うことができる。また移載室 411 内には、屈伸及び旋回自在に構成された移載アーム 412 が設けられ、各処理チャンバ 200A～200D や後述するロードロック室間 430A 及び B とウェハ W の受け渡しを行うようになっている。

一方、搬送システム部 450 は、キャリアカセットを載置するためのカセットステージ 480 とウェハ W を搬送して受け渡しを行う

ための搬送アーム 471 を移動させる搬送ステージ 470 よりなる。カセットステージ 480 には、容器載置台 481 が設けられ、ここに複数、図示例にあっては最大 4 つのキャリアカセット 483 を載置できるようになっている。キャリアカセット 483 には、例えば最大 25 枚のウェハ W を等間隔で多段に載置して収容できるようになっている。

搬送ステージ 470 には、その中心部を長さ方向に沿って延びる案内レール 472 が設けられており、この案内レール 472 に上記搬送アーム 471 がスライド移動可能に支持されている。また、搬送ステージ 470 の他端には、ウェハ W の位置決めを行う方向位置決め装置としてのオリエンタ 475 が設けられている。

処理システム部 410 と搬送システム部 450 との間には、真空引き可能にされた 2 つのロードロック室 430 A、430 B が設けられている。

以下では、本発明に係る絶縁膜の製造方法について説明する。

図 1 は、本発明の 1 つの態様に係る絶縁体膜の製造工程を示した垂直断面図である。この図 1 の (a) では、シリコン基体 101 が示されている。このシリコン基体 101 は、任意のシリコン基体、例えばシリコンウェハ、アモルファスシリコン、低温ポリシリコン、連続粒界結晶シリコン等であってよい。

図 1 の (a) のシリコン基体に変性処理を行うことによって図 1 の (b) の第 1 の絶縁膜 102 を得る。この変性処理は、熱酸化、熱窒化、熱酸窒化、プラズマ酸化、プラズマ窒化、プラズマ酸窒化といった任意の変性処理でよい。従って、この図 1 の (b) の第 1 の絶縁膜 102 は、いわゆるフィールド酸化、窒化、酸窒化物膜であってよい。

この第 1 の絶縁膜を製造するための変性処理においてプラズマ酸

化を使用する場合、図2の処理装置100の処理ガス供給路240及び270からアルゴン、クリプトンのような希ガス及び酸素を供給する。この場合の処理条件としては、8インチシリコンウェハに関して以下の条件を挙げることができる：

O₂ 流量：10～1,000 sccm、例えば120 sccm

Kr 流量：100～10,000 sccm、例えば1500 sccm

処理温度：100～500℃、例えば250℃

圧力：1～1,000 Pa、例えば90 Pa

プラズマ源出力：100～6,000 W、例えば2000 W

図1の(b)の第1の絶縁膜102に堆積処理を行うことによって図1の(c)の第2の絶縁膜103を得る。この堆積処理は、CVD、PVD、コーティングといった任意の変性処理でよい。従って、この図1の(c)の第2の絶縁膜103は、いわゆるデポ（堆積）酸化物、窒化物、酸窒化物膜、ポリマー膜であってよい。

この第2の絶縁膜を製造するための堆積処理においてプラズマCVDを使用して二酸化ケイ素層を形成する場合、図2の処理装置100の処理ガス供給路240及び270からアルゴン、クリプトンのような希ガス、SiH₄又はTEOSのようなケイ素含有ガスを供給する。尚、図2においては2つの供給路が示されているが、任意の数の供給路からガスを供給することができる。

この場合の処理条件としては、8インチシリコンウェハに関して以下の条件を挙げることができる：

SiH₄ 流量：1～1,000 sccm、例えば50～200 sccm

O₂ 流量：10～10,000 sccm、例えば1,000 sccm

処理温度：100～500℃、例えば350℃

圧力：1～1,000Pa、例えば10Pa

プラズマ源出力：100～6,000W、例えば2,000W

上述のように第1の絶縁膜及び第2の絶縁膜を形成することによって本発明の絶縁膜が形成される。

本明の方法によれば、半導体基体の変性処理とその後の堆積処理との組み合わせによって独自の絶縁膜を得ることができる。

好ましくは本発明の方法は、半導体基体の変性処理によって得られる界面に関する性質と、その後の堆積処理によって得られるバルクに関する性質とを調節して得ることができる。

好ましくは、変性処理及び堆積処理のいずれもがプラズマを使用する処理である。この場合、上述のように得られるデバイスの信頼性、プロセスの柔軟性等に関して好ましい。また上述のように得られる膜質も一般に好ましい。更に、変性処理と堆積処理のいずれもがプラズマプロセスであることによって、これらの処理を同一の装置内で行うことが可能になる。

好ましくは、半導体基体の変性処理によって得られる良好な界面特性の利点と、堆積処理によって得られる迅速な成膜の利点を両立させる。すなわち例えば、半導体基体のプラズマ酸化処理によって得られる良好な界面特性の利点と、プラズマCVD処理によって得られる大きい成膜速度の利点とを両立させる。

好ましくは、本発明の方法で得られる絶縁膜は全体として、LCD用TFTゲート絶縁膜のようなゲート絶縁膜での使用に耐える絶縁耐圧を有する。また好ましくは、プラズマ酸化処理において希ガス及び酸素含有雰囲気を使用し、希ガスと酸素との流量比率が100：3以下にして、特に液晶ディスプレイ等のディスプレイのTFTに適当な、良質且つ厚膜のシリコン酸化膜を作成するようにする

。

また更に本発明の1つの態様は、第1の絶縁膜と第2の絶縁膜を含む絶縁膜を半導体基体上で作る方法であって、半導体基体に隣接する第1の絶縁膜の平均成膜速度と、半導体基体の反対側で第1の絶縁膜に隣接する第2の絶縁膜の平均成膜速度との比が、1 : 1, 0.001 ~ 1 : 1である、第1の絶縁膜と第2の絶縁膜を含む絶縁膜を半導体基体上で作る方法である。すなわち、半導体デバイス製造では形成される膜の膜質と成膜速度の両方が問題となるが、界面部分とバルク部分との成膜速度を変化させることによって、膜質を調節し且つ良好な成膜速度を得ることが可能になる。

尚、ここでは半導体基体としてシリコン基体について説明したが、本発明の方法はシリコン基体に限定されず、同様な処理が適用できる任意の他の半導体基体に適用することができる。また、ここではクラスター装置に接続されたプラズマ処理装置を使用して本発明の絶縁膜を作っているが、本発明は任意の装置で行うことができ、例えば現在検討されているいわゆるフロープロセスにも適用できると考える。この場合には、本発明の迅速な絶縁膜形成が大きな利益を提供すると考えられる。

(実施例)

本発明の絶縁膜形成に関して、クリプトンと酸素によるシリコン表面直接酸化、及びシランと酸素による酸化物膜CVDを行った。
シリコン表面直接酸化

この試験は、図2に示す装置を使用して一般に入手可能なシリコンウェハ（8インチウェハ）に対して行った。表面直接酸化のための条件は以下に示すようなものであった：

O₂ 流量 : 120 s c c m

K r 流 量 : 1 5 0 0 s c c m

処理温度 : 2 5 0 °C

圧力 : 9 0 P a

プラズマ源出力 : 2 0 0 0 W

得られた結果は図 5 で示している。従って成膜速度は、2 0 Å の酸化物膜を形成するときには約 2 0 Å / 分、2 5 Å の酸化物膜を形成するときには約 1 2 Å / 分、2 7 Å の酸化物膜を形成するときには約 9 Å / 分である。容易に理解されるように、成膜速度は形成された酸化物膜の厚さが増加するにつれて遅くなっている。これは、酸化物膜形成のためには、酸素原子が既に形成された酸化物膜を拡散しなければならないことによると考えられる。従ってシリコン表面の直接酸化のみによって比較的厚い絶縁膜、例えば L C D のゲート絶縁膜を作成することは長い時間がかかり現実的ではない。

酸化物膜 C V D

この試験は図 2 に示す装置を使用して一般に入手可能なシリコンウェハ（8 インチウェハ）に対して行った。C V D 酸化物膜形成のための条件は以下に示すようなものである：

S i H₄ 流 量 : 5 0 ~ 2 0 0 s c c m

O₂ 流 量 : 1 , 0 0 0 s c c m

処理温度 : 3 5 0 °C

圧力 : 1 0 P a

プラズマ源出力 : 2 , 0 0 0 W

得られた結果は図 6 で示している。この図で示されているように、C V D 酸化物膜の成膜速度は 1 , 0 0 0 Å / 分 ~ 4 , 5 0 0 Å / 分にも達している。この成膜速度は、シリコン表面の直接酸化による酸化物膜の成膜速度よりも明らかに大きく、例えば L C D のゲート絶縁膜のような比較的厚い酸化物膜を実用的な時間で作成することを

可能にする。

従ってこれらの実験によって示されるように、本発明の絶縁膜製造方法は、半導体デバイスの絶縁膜、特にゲート絶縁膜、より特にLCD等のためのTFTのゲート酸化物膜形成方法を提供する。

以上、本発明の好ましい実施例を説明したが、本発明はその要旨の範囲内で種々の変形及び変更が可能である。

産業上の利用可能性

上述したように本発明によれば、所望の膜質を有する絶縁膜を（好ましくは短時間で）得るための方法が提供される。

請 求 の 範 囲

1. 半導体基体を変性処理して第1の絶縁膜を形成し、前記第1の絶縁膜に第2の絶縁膜を堆積させる堆積処理を行うことを含む、半導体基体上の絶縁膜を形成する方法。

2. 前記半導体基体上の絶縁膜がディスプレイ用薄膜トランジスタのゲート絶縁膜であり、且つ前記半導体基体がポリシリコン又は連続粒界結晶シリコンである、請求項1に記載の方法。

3. 前記第1の絶縁膜が酸化物膜であり、且つ前記第2の絶縁膜が窒化物膜である、請求項1又は2に記載の方法。

4. 前記第1の絶縁膜と前記半導体基体との界面準位密度が、 $1 \times 10^{12} \text{ e V}^{-1} \cdot \text{cm}^{-2}$ 未満である、請求項1～3のいずれかに記載の方法。

5. 前記第1の絶縁膜及び第2の絶縁膜を含む前記半導体基体上の絶縁膜の絶縁耐電圧が10V超である、請求項1～4のいずれかに記載の方法。

6. 前記変性処理が前記半導体基体の熱又はプラズマ酸化又は窒化処理であり、且つ前記堆積処理がCVD処理である、請求項1～5のいずれかに記載の方法。

7. 前記変性処理がプラズマ酸化処理であり、且つ前記堆積処理がプラズマCVD処理である、請求項1～5のいずれかに記載の方法。

8. 前記プラズマ酸化処理の雰囲気希ガス及び酸素を含有する、請求項6又は7に記載の方法。

9. 前記希ガスと酸素との比率が100:3以下である、請求項8に記載の方法。

10. 前記希ガスがクリプトンである、請求項8又は9に記載の

方法。

11. 前記プラズマCVD処理の雰囲気酸素及びケイ素含有ガスを含有する、請求項7～10のいずれかに記載の方法。

12. プラズマの発生手段が、誘導結合プラズマ（ICP）発生装置又はラジアルラインスロットアンテナ（RLSA）マイクロ波励起プラズマ発生装置である、請求項6～11に記載の方法。

Fig.1

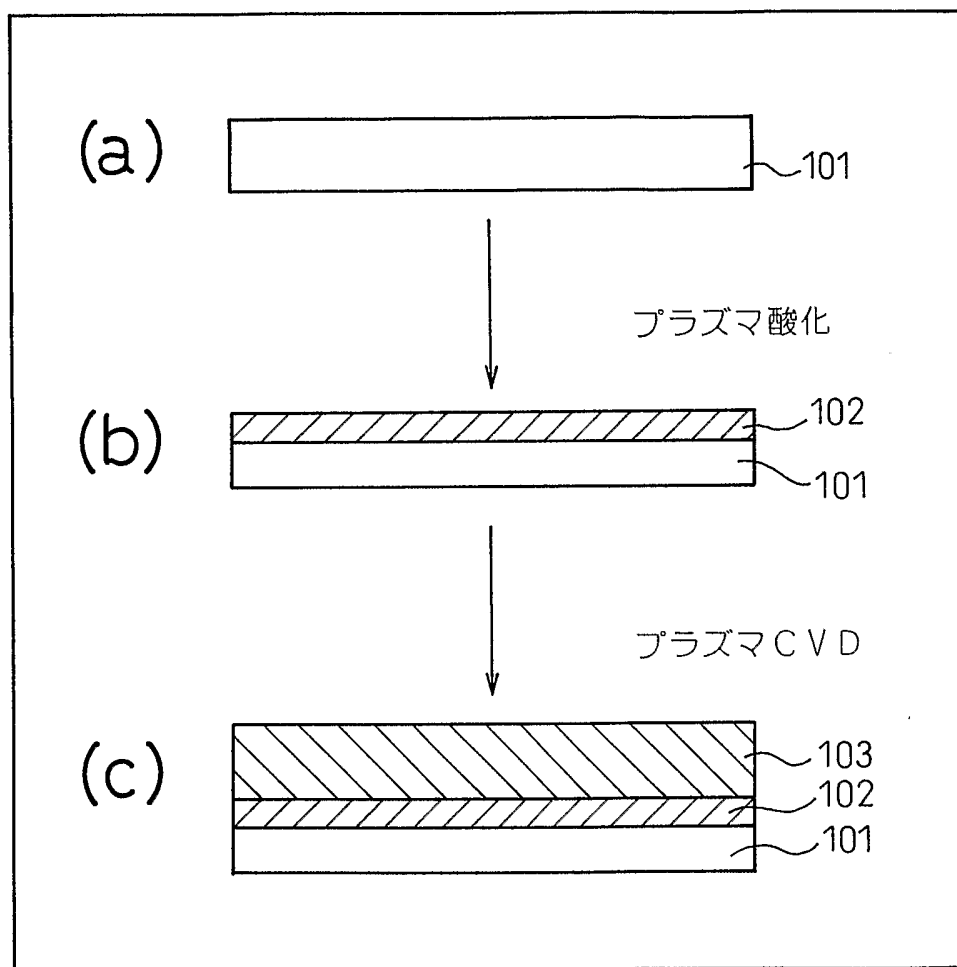


Fig.2

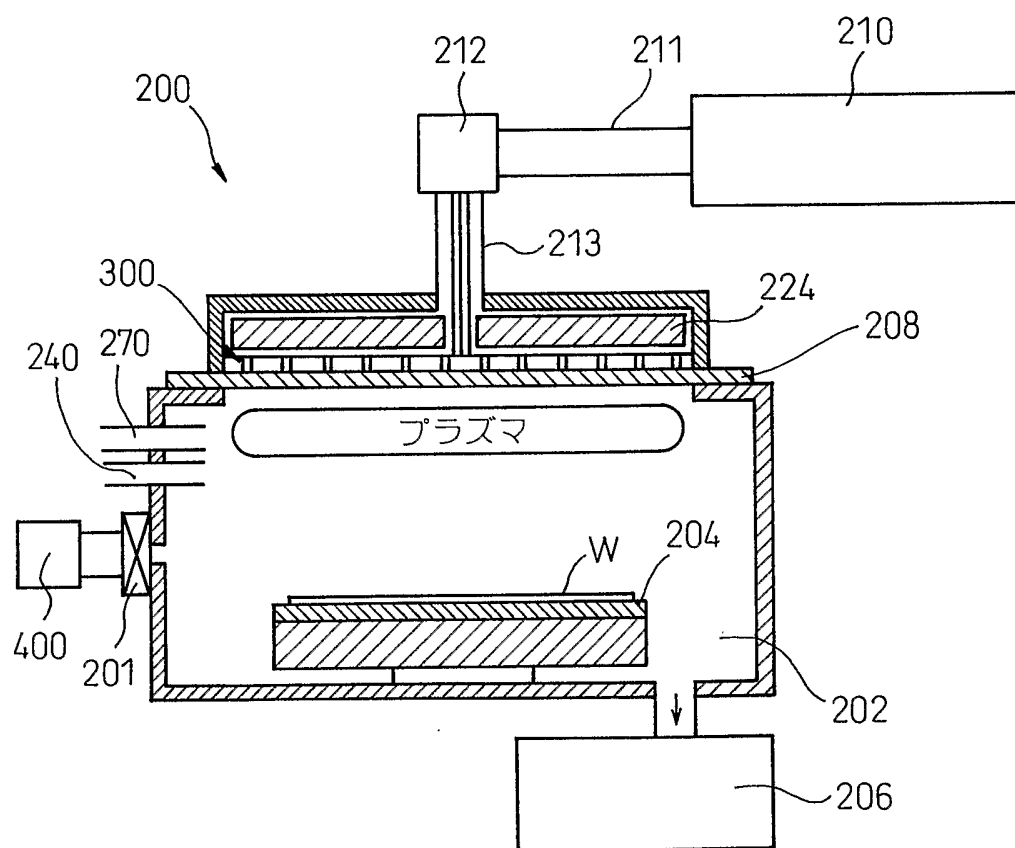


Fig. 3

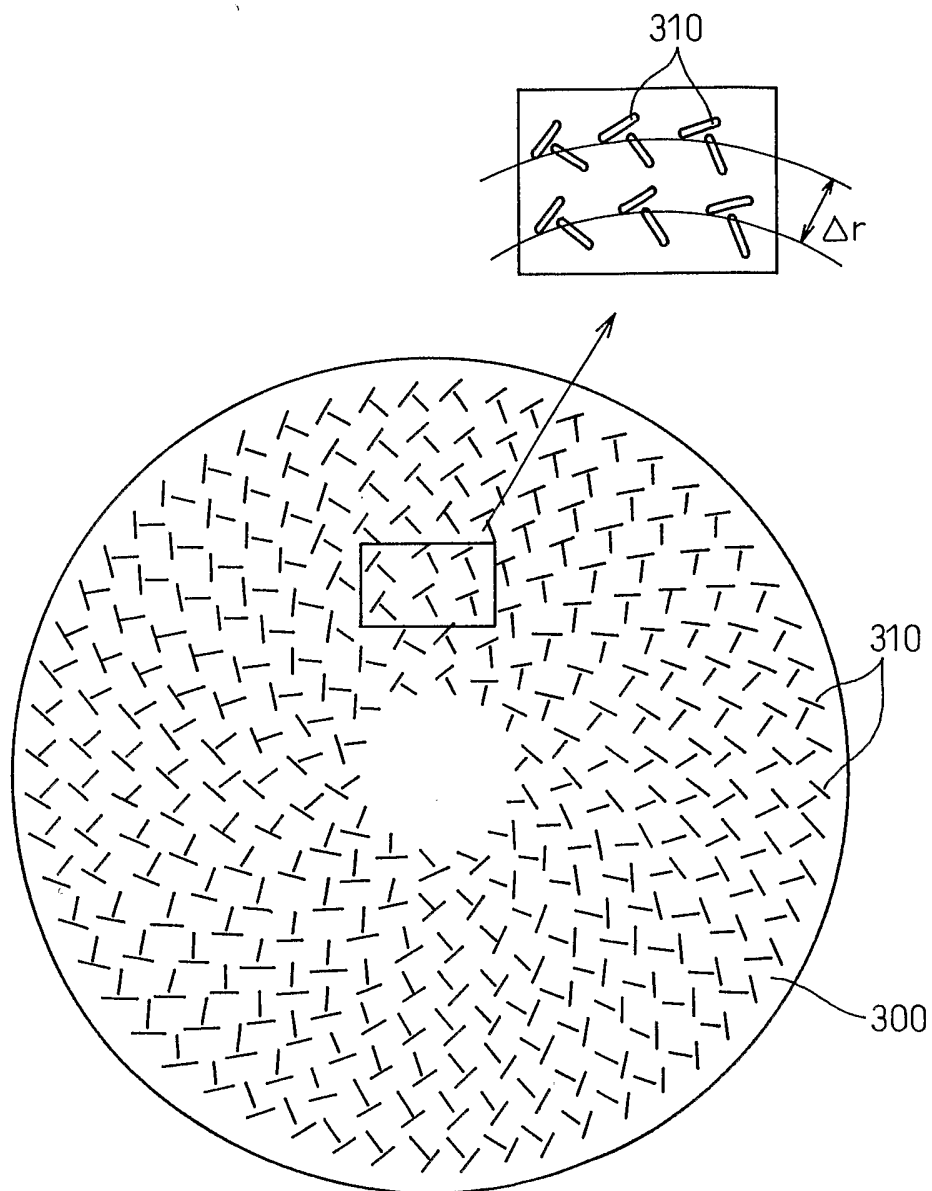


Fig. 4

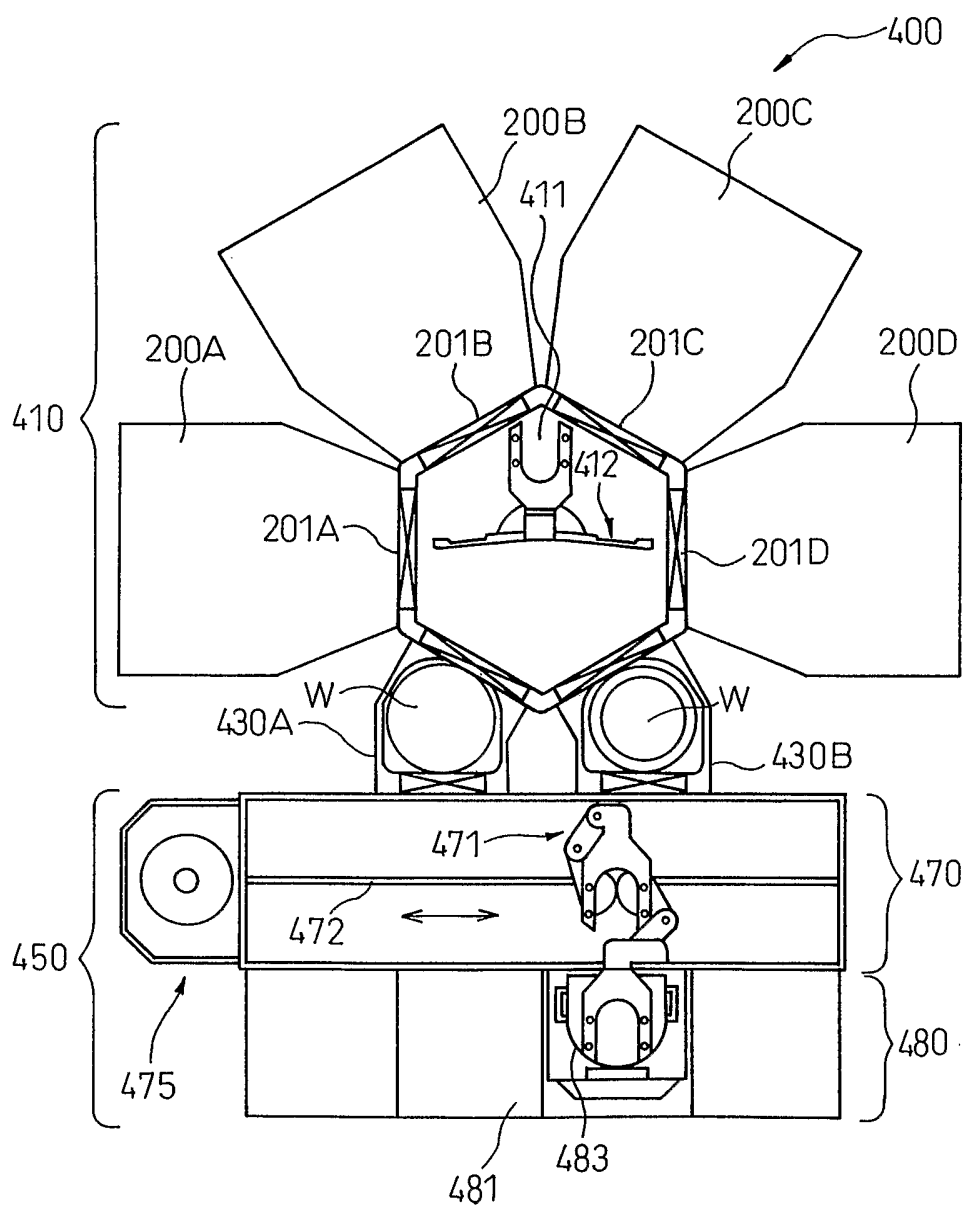


Fig.5

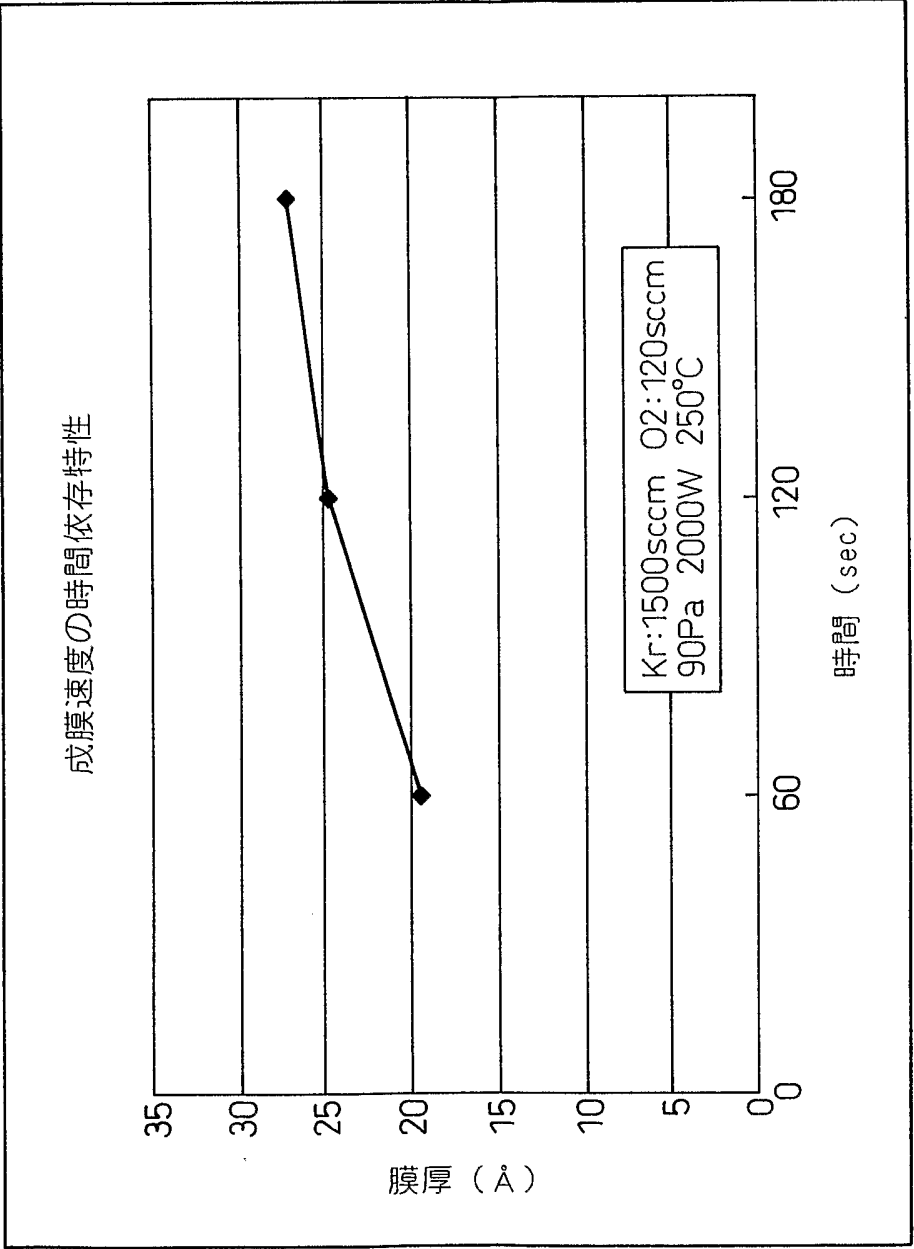
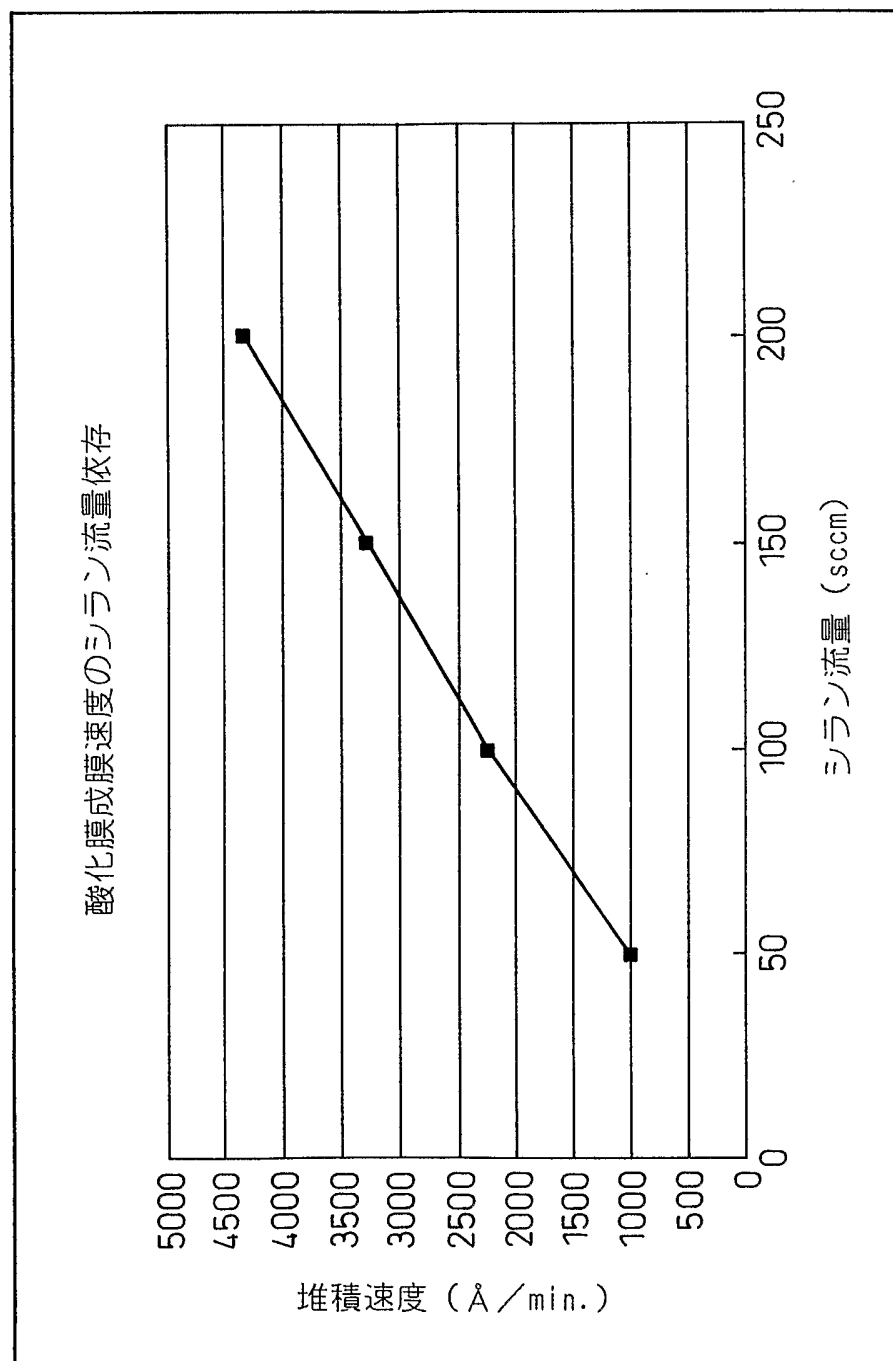


Fig.6



INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP03/10357

A. CLASSIFICATION OF SUBJECT MATTER
Int.Cl⁷ H01L21/316, H01L29/786

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
Int.Cl⁷ H01L21/316, H01L29/786

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched
Jitsuyo Shinan Koho 1922-1996 Toroku Jitsuyo Shinan Koho 1994-2003
Kokai Jitsuyo Shinan Koho 1971-2003 Jitsuyo Shinan Toroku Koho 1996-2003

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 4-43642 A (Kabushiki Kaisha GTC), 13 February, 1992 (13.02.92), Page 4, upper right column, line 10 to lower right column, line 1; Fig. 4	1-7, 11-12
Y	page 4, upper right column, line 10 to lower right column, line 1; Fig. 4 (Family: none)	8-10
X	JP 4-22127 A (Matsushita Electric Industrial Co., Ltd.), 27 January, 1992 (27.01.92), Page 3, lower right column, line 1 to page 4, upper right column, line 12; Figs. 1 to 2 (Family: none)	1, 3-5

☒ Further documents are listed in the continuation of Box C. ☐ See patent family annex.

* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier document but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search
10 September, 2003 (10.09.03)

Date of mailing of the international search report
24 September, 2003 (24.09.03)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP03/10357

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	WO 01/08208 A1 (Tadahiro OMi), 01 February, 2001 (01.02.01), Description; page 8, line 21 to page 14, line 1; page 18, line 17 to page 19, line 20; Figs. 1 to 15, 26 to 27 & JP 2001-102581 A Par. Nos. [0015] to [0032], [0042] to [0043] & EP 1130634 A1	8-10

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int.Cl⁷ H01L 21/316, H01L 29/786

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int.Cl⁷ H01L 21/316, H01L 29/786

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1922-1996年

日本国公開実用新案公報 1971-2003年

日本国登録実用新案公報 1994-2003年

日本国実用新案登録公報 1996-2003年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
<u>X</u> Y	JP 4-43642 A (株式会社ジーティシー), 1992. 02. 13 4 頁右上欄 10 行-右下欄 1 行, 第 4 図 4 頁右上欄 10 行-右下欄 1 行, 第 4 図 (ファミリーなし)	<u>1-7, 11-12</u> 8-10
X	JP 4-22127 A (松下電器産業株式会社), 1992. 01. 27 3 頁右下欄 1 行-4 頁右上欄 12 行, 第 1-2 図 (ファミリーなし)	1, 3-5

☒ C 欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの

「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)

「O」 口頭による開示、使用、展示等に言及する文献

「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」 特に関連のある文献であって、当該文献と他の 1 以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」 同一パテントファミリー文献

国際調査を完了した日

10.09.03

国際調査報告の発送日

24.09.03

国際調査機関の名称及びあて先

日本国特許庁 (ISA/J P)

郵便番号 100-8915

東京都千代田区霞が関三丁目 4 番 3 号

特許庁審査官 (権限のある職員)

和瀬田 芳正

4 R

2929

電話番号 03-3581-1101 内線 3469



C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	WO 01/08208 A1 (大見忠弘) , 2001.02.01 明細書 8 頁 2 1 行 - 1 4 頁 1 行, 1 8 頁 1 7 行 - 1 9 頁 2 0 行 図 1 - 1 5, 2 6 - 2 7 & JP 2001-102581 A, 【0015】 - 【0032】 , 【0042】 - 【0043】 & EP 1130634 A1	8-10