



(12) 发明专利申请

(10) 申请公布号 CN 101794789 A

(43) 申请公布日 2010.08.04

(21) 申请号 201010110949.9

(22) 申请日 2010.02.02

(30) 优先权数据

10-2009-0007945 2009.02.02 KR

(71) 申请人 三星电子株式会社

地址 韩国京畿道水原市灵通区梅滩洞 416
番地

(72) 发明人 沈善一 金汉洙 张在焄 郑载勋

(74) 专利代理机构 中原信达知识产权代理有限
责任公司 11219

代理人 李佳 穆德骏

(51) Int. Cl.

H01L 27/115(2006.01)

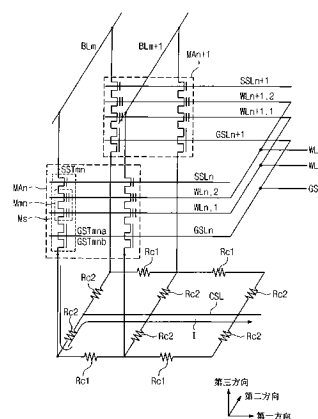
权利要求书 1 页 说明书 12 页 附图 23 页

(54) 发明名称

三维存储器器件

(57) 摘要

本发明提供一种三维存储器器件。该三维半导体器件包括半导体衬底、以矩阵形式布置在该半导体衬底上的垂直沟道结构、设置在该半导体衬底处与该垂直沟道结构直接接触的 P 型半导体层以及设置在该垂直沟道结构之间的半导体衬底处的公共源极线。该公共源极线可以与该 P 型半导体层相接触。



1. 一种三维半导体器件,包括:
半导体衬底;
垂直沟道结构,所述垂直沟道结构以矩阵形式布置在所述半导体衬底上;
P 型半导体层,所述 P 型半导体层设置在所述半导体衬底处,以与所述垂直沟道结构直接接触;以及
公共源极线,所述公共源极线设置在所述垂直沟道结构之间的所述半导体衬底处,以与所述 P 型半导体层相接触。
2. 如权利要求 1 所述的三维半导体器件,其中,所述公共源极线掺杂有 N 型杂质。
3. 如权利要求 1 所述的三维半导体器件,进一步包括:
公共源极线焊盘,所述公共源极线焊盘被设置在设置有所述垂直沟道结构的阵列区域外部的所述半导体衬底上。
4. 如权利要求 1 所述的三维半导体器件,其中,所述公共源极线在一个方向上延伸。
5. 如权利要求 1 所述的三维半导体器件,其中,所述公共源极线以矩阵形式来设置。
6. 如权利要求 1 所述的三维半导体器件,进一步包括:
地选择线,所述地选择线设置在所述 P 型半导体层上,以使所述 P 型半导体层的表面反型。
7. 如权利要求 1 所述的三维半导体器件,其中,垂直沟道结构中的每个具有柱形状或通心面形状。
8. 如权利要求 1 所述的三维半导体器件,其中,在所述公共源极线上设置层间电介质。
9. 如权利要求 1 所述的三维半导体器件,其中,所述垂直沟道结构包括虚拟垂直沟道结构,以及所述公共源极线延伸至所述虚拟垂直沟道结构的下部。
10. 如权利要求 1 所述的三维半导体器件,其中,所述公共源极线进一步包括:金属硅化物和金属中的至少一个。

三维存储器器件

[0001] 相关申请的交叉引用

[0002] 本申请要求在 2009 年 2 月 2 日递交的韩国专利申请 No. 10-2009-0007945 的优先权,其内容通过引用结合于此。

发明领域

[0003] 本发明的构思涉及半导体器件,并且更具体而言,涉及一种三维存储器器件。

背景技术

[0004] 为了满足用于对卓越性能和低成本的不不断增长的需要,需要高集成密度的半导体存储器器件。在传统的二维半导体存储器器件的情况下,它们的集成密度主要由单位存储器单元占用的面积确定。因此,传统的二维半导体存储器器件很大程度受精细图案形成技术的影响。然而,由于需要价格极高的装置实现精细图案,因此二维半导体存储器器件的集成密度在继续增加的同时仍然受到限制。

[0005] 提出了用于三维形成存储器单元的多种技术,以克服上述限制。根据该技术,三维布置的存储器单元允许有效地使用半导体衬底的面积。出于该原因,三维存储器器件的集成密度变得高于二维半导体器件的集成密度。

发明内容

[0006] 本发明构思的实施例提供了一种三维半导体器件,该三维半导体器件可以包括半导体衬底、以矩阵形式布置在半导体衬底上的垂直沟道结构、在半导体衬底处设置成与垂直沟道结构直接接触的 P 型半导体层以及在垂直沟道结构之间的半导体衬底处设置成与 P 型半导体层相接触的公共源极线。

[0007] 在一些实施例中,公共源极线可以掺杂有 N 型杂质。

[0008] 在一些实施例中,三维半导体器件可以进一步包括在阵列区域外部的半导体衬底上设置的公共源极线焊盘,所述垂直沟道结构设置在该阵列区域中。

[0009] 在一些实施例中,公共源极线可以在一个方向上延伸。

[0010] 在一些实施例中,公共源极线可以以矩阵形式设置。

[0011] 在一些实施例中,三维半导体器件可以进一步包括设置在 P 型半导体层上以使 P 型半导体层的表面反型的地选择线。

[0012] 在一些实施例中,垂直沟道结构中的每个可以具有柱形状或通心面 (macaroni) 形状。

[0013] 在一些实施例中,层间电介质可以设置在公共源极线上。

[0014] 在一些实施例中,垂直沟道结构可以包括虚拟垂直沟道结构,并且公共源极线可以延伸至虚拟垂直沟道结构的下部。

[0015] 在一些实施例中,公共源极线可以进一步包括金属硅化物和金属中的至少一个。

附图说明

[0016] 考虑到附图和伴随的详细描述,本发明的构思将变得更加明显。其中示出的实施例仅被提供作为示例,而非作为限制,其中相同的附图标记表示相同或相似的元件。附图没有必要依照比例绘制,而是着重于说明本发明构思的方面。

[0017] 图 1 和 2 是根据本发明构思的实施例的三维半导体器件的电路图。

[0018] 图 3 示出了说明根据本发明构思的一些实施例的半导体器件的操作的操作电压。

[0019] 图 4A 是根据本发明构思的一些实施例的半导体器件的平面顶视图。

[0020] 图 4B、4C、4D 和 4E 分别是沿图 4A 中的线 I-I'、II-II'、III-III' 和 IV-IV' 截取的横截面图。

[0021] 图 5A 至 11A 是顺序示出形成图 4B 的半导体器件的方法的横截面图。

[0022] 图 5B 至 11B 是顺序示出形成图 4C 的半导体器件的方法的横截面图。

[0023] 图 5C 至 11C 是顺序示出形成图 4D 的半导体器件的方法的横截面图。

[0024] 图 5D 至 11D 是顺序示出形成图 4E 的半导体器件的方法的横截面图。

[0025] 图 12A 是根据本发明构思的一些实施例的半导体器件的平面顶视图。

[0026] 图 12B、12C、12D 和 12E 分别是沿图 12A 中的线 I-I'、II-II'、III-III' 和 IV-IV' 截取的横截面图。

[0027] 图 13 是说明根据本发明构思的具有闪速存储器器件的存储器卡的示例的框图。

[0028] 图 14 是根据本发明构思的包括闪速存储器系统的数据处理系统的框图。

具体实施方式

[0029] 下文将参考附图来更加详细地描述本发明构思的优选实施例。然而,本发明构思可以以不同的形式来体现并且不应被构造为限于此处阐述的实施例。相反地,这些实施例被提供为,本公开内容将是彻底的和完整的,并且将向本领域的技术人员全面地传达本发明构思的范围。

[0030] 在说明书中,出于使说明清楚的目的,层和区域的尺寸被夸大。还将理解,在将层(或膜)称为位于另一层或衬底上时,该层(或膜)可以直接位于该另一层或衬底上,或者也可以存在中间层。此外,尽管在本发明构思的多种实施例中使用诸如第一、第二和第三的术语描述不同的区域和层,但是该区域和层不受这些术语的限制。这些术语仅用于使一个区域或层区别于另一区域或层。因此,在一个实施例中被称作第一层的层在另一实施例中可以被称作第二层。此处描述和例示的实施例包括这些实施例的补充实施例。

[0031] 包括垂直沟道结构的三维非易失性存储器器件可以包括作为垂直沟道结构和半导体衬底的接触部分的 N 型半导体层或者作为与垂直沟道结构接触的部分的 P 型半导体层。在未形成分离的公共源极线的情况下, N 型半导体层用作公共源极线。垂直沟道结构中的每个可以构成存储器单元串。

[0032] 另一方面,需要 P 型半导体层以形成分离的公共源极线。公共源极线设置在其中以矩阵的形式布置垂直沟道结构的阵列区域外部。P 型半导体层设置在阵列区域处。因此,在半导体衬底上设置的晶体管中, P 型半导体层可以被反型以形成水平沟道,公共源极线和垂直沟道结构通过所述水平沟道来相互电连接。然而,由于公共源极线与垂直沟道结构之间的水平沟道可以具有高电阻,因此流过公共源极线的电流可以根据在阵列区域处设置的

垂直沟道结构的位置而改变。因此,需要基于存储器单元的信息存储状态的大阈值电压差。公共源极线与垂直沟道结构之间的距离越远,则它们之间的电阻越大。结果,需要公共源极线与垂直沟道结构之间的低电阻。

[0033] 图 1 是根据本发明构思的一些实施例的三维半导体器件的电路图。

[0034] 参考图 1,半导体器件包括垂直沟道结构,所述垂直沟道结构可以构成存储器单元串 MS。存储器单元串 MS 以矩阵形式设置在半导体衬底上,以形成三维存储器单元阵列。该半导体器件包括第一列存储器单元阵列 MAn、第二列存储器单元阵列 MAn+1 和公共源极线 CSL,所述第一列存储器单元阵列 MAn 由在第一方向上布置在半导体衬底(未示出)上的存储器单元串 MS 形成,所述第二列存储器单元阵列 MAn+1 被设置为与第一列存储器单元阵列 MAn 相邻,所述公共源极线 CSL 被设置在第一列存储器单元阵列 MAn 与第二列存储器单元阵列 MAn+1 之间的半导体衬底处。

[0035] 存储器单元串 MS 中的每个可以包括垂直沟道结构。这些垂直沟道结构可以从半导体衬底垂直延伸。存储器单元串 MS 可以包括在半导体衬底上垂直串联连接的存储器单元 Mmn、连接至存储器单元 Mmn 的一端的地选择晶体管 GSTmna、串联连接至地选择晶体管 GSTmna 的辅助地选择晶体管 GSTmnb 以及连接至存储器单元 Mmn 的另一端的串选择晶体管 SSTmn。地选择晶体管 GSTmna 的栅极和辅助地选择晶体管 GSTmnb 的栅极可以相互共享。

[0036] 存储器单元 Mmn 的栅极可以设置在不同的层处并且在第一方向上延伸,以形成字线 WLn,1 和 WLn,2。字线 WLn,1 和 WLn,2 可以具有线形状。设置在相同平面上的字线可以连接至主字线 WL1 和 WL2。串选择晶体管 SSTmn 的栅极可以在第一方向上延伸,以形成串选择线 SSLn。地选择晶体管 GSTmna 的栅极可以在第一方向上延伸,以形成地选择线 GSLn 和 GSLn+1。设置在相同平面上的地选择线可以电连接至主地选择线 GSL。

[0037] 串选择晶体管 SSTmn 可以电连接至在与第一方向交叉的第二方向上延伸的位线 BLm。通过选择位线 BLm、串选择线 SSLn 和字线 WL1 可以访问存储器单元 Mmn 的一个晶体管。

[0038] 串选择晶体管 SSTmn、存储器单元 Mmn 和地选择晶体管 GSTmna 的主体可以在垂直沟道结构处形成。垂直沟道结构可以是晶体或多晶半导体。垂直沟道结构可以是 P 型半导体。当存储器单元 Mmn、串选择晶体管 SSTmn 和地选择晶体管 GSTmna 中的每个导通时,通过在垂直沟道结构处形成反型区域,可以形成垂直沟道。因此,相邻的晶体管可以通过该反型区域(垂直沟道)来电连接。

[0039] 辅助地选择晶体管 GSTmnb 的主体可以设置在掺杂有 P 型杂质的半导体衬底处。辅助地选择晶体管 GSTmnb 可以是 NMOS 晶体管。当通过向地选择线 GSL 施加电压而使辅助选择晶体管 GSTb 处于导通状态时,它们可以具有在半导体衬底处形成的反型区域,作为水平沟道区域。相邻的辅助地选择晶体管 GSTb 的水平沟道区域可以相互电连接。

[0040] 公共源极线 CSL 可以设置在半导体衬底处,同时与辅助选择晶体管 GSTb 的水平沟道区域相接触。公共源极线 CSL 可以是掺杂有 N 型杂质的区域。在第一方向上设置为相互相邻的辅助地选择晶体管 GSTb 之间,可以生成第一寄生电阻器 Rc1。在公共源极线 CSL 与辅助地选择晶体管 GSTb 之间,可以生成第二寄生电阻器 Rc2。第一寄生电阻器 Rc1 可以大于第二寄生电阻器 Rc2。流过特定存储器单元串 MS 的电流 I 可以通过第二寄生电阻器 Rc2 流到公共源极线 CSL。因此,可以抑制存储器单元串 MS 与公共源极线 CSL 之间的寄生电阻

器引起的故障。

[0041] 图 2 是根据本发明构思的其他实施例的三维半导体器件的电路图。在图 2 中,这里将省略与图 1 相同的解释。

[0042] 参考图 2, 三维半导体器件包括垂直沟道结构。垂直沟道结构中的每个可以构成存储器单元串 MS。以矩阵形式布置存储器单元串 MS 以形成三维存储器单元阵列。半导体器件包括第一列存储器单元阵列 MA_n 、第二列存储器单元阵列 MA_{n+1} 和公共源极线 CSL, 所述第一列存储器单元阵列 MA_n 由在第一方向上布置在半导体衬底(未示出)上的存储器单元串 MS 形成, 所述第二列存储器单元阵列 MA_{n+1} 被设置为与第一列存储器单元阵列 MA_n 相邻, 所述公共源极线 CSL 设置在第一列存储器单元阵列 MA_n 和第二列存储器单元阵列 MA_{n+1} 之间的半导体衬底处。在第一方向上布置的存储器单元串 MS 之间, 可以提供至少一个虚拟存储器单元串 DMS。虚拟存储器单元串 DMS 可以连续布置在与第一方向交叉的第二方向上。辅助公共源极线 CSLa 可以设置在虚拟存储器单元串 DMS 下方的半导体衬底处。辅助公共源极线 CSLa 可以具有与公共源极线 CSL 相同的构造并且包含与公共源极线 CSL 相同的材料。公共源极线 CSL 可以是掺杂有 N 型杂质的杂质区域。

[0043] 公共源极线 CSL 可以设置在半导体衬底处, 同时与辅助地选择晶体管 GSTb 的水平沟道区域相接触。辅助公共源极线 CSLa 可以在第二方向上延伸, 同时跨越公共源极线 CSL。在第一方向上, 在辅助地选择晶体管 GSTb 与辅助公共源极线 CSLa 之间, 可以生成第一寄生辅助电阻器 Rc1。在公共源极线 CSL 与辅助地选择晶体管 GSTb 之间, 可以生成第二寄生电阻器 Rc2。第一寄生电阻器 Rc1 可以近似等于第二寄生电阻器 Rc2。流过特定存储器单元串 MS 的电流可以包括流过第一寄生电阻器 Rc1 的电流 I1 和流过第二寄生电阻器 Rc2 的电流 I2。因此, 可以抑制存储器单元串 MS 与公共源极线 CSL 之间的寄生电阻器引起的故障。

[0044] 图 3 示出了说明根据本发明构思的一些实施例的半导体器件的操作的操作电压。

[0045] 参考图 1 和 3, 通过选择位线 BL、串选择线 SSL 和字线 WL, 可以执行根据本发明构思的一些实施例的半导体器件的存储器单元的编程操作。选定字线 (Sel. WL) 和选定存储器单元的沟道区域处的电压之间的差允许将电荷注入到选定存储器单元的电荷储存层中。

[0046] 为了对存储器单元独立地编程, 编程电压 V_p 可以施加到与选定存储器单元相对应的选定字线 (Sel. WL), 并且可以将通过电压 V_{pass} 施加到未选定字线 (Unsel. WL)。因此, 通过电压 V_{pass} 可以使未选定存储器单元导通。选定位线 (Sel. BL) 可以接地, 并且未选定位线 (Unsel. BL) 可以被提供有电源电压 V_{cc} 。可以向选定串选择线 (Sel. SSL) 提供电源电压, 以使连接至选定串选择线 (Sel. SSL) 的所有串选择晶体管 SST 导通。因此, 高电压差 ($V_p - GND$) 可以施加到选定存储器单元的栅极和沟道区域, 并且低电压差 ($V_p - V_{cc}$) 可以施加到与未选定位线 (Unsel. BL) 相连接的未选定存储器单元的栅极和沟道区域。高电压差 ($V_p - GND$) 可以允许使用隧穿现象来对选定存储器单元进行编程。

[0047] 未选定串选择线 (Unsel. SSL) 可以接地, 以使连接至未选定串选择线 SSL 的所有选定晶体管导通。自提升方案 (self-boosting scheme) 可以防止被连接至选定位线 (Sel. BL) 和未选定串选择线 (Unsel. SSL) 的存储器单元被无意编程。垂直沟道结构可以用作传统半导体器件的主体。垂直沟道结构可以电连接至半导体衬底, 以在编程操作过程期间接地。

[0048] 在根据本发明构思的一些实施例的半导体器件的擦除操作过程中, 阵列的所有存

存储器单元可以被同时擦除。为了同时擦除所有存储器单元,可以向垂直半导体结构和半导体衬底提供正的擦除电压 Verase 并且字线 WL 可以接地。擦除电压 Verase 可以大于编程电压 Vp。垂直半导体结构和半导体衬底可以是相同的传导类型。

[0049] 通过感测在串选择晶体管 SST 与地选择晶体管 GSTa 之间流动的读电流,可以执行根据本发明构思的一些实施例的半导体器件的读操作。读电流可以取决于基于电荷储存层中储存的电荷数目的阈值电压。读电流的差使得可以确定存储器单元 MC 中储存的信息。

[0050] 在读操作过程期间,可以基于信息存储状态向选定字线 (Sel. WL) 提供阈值电压的中值 (mid value),或者可以使选定字线 (Sel. WL) 接地。可以向选定位线 (Sel. BL) 提供预充电电压 Vpchr,并且未选定位线 (Unsel. BL) 可以接地。可以向未选定字线 (Unsel. WL)、串选择线 SSL 和地选择线 GSL 提供读电压 Vread,以使连接至选定存储器串的晶体管导通。根据选定存储器单元的阈值电压,电流可以在选定位线 (Sel. BL) 与接地的公共源极线 (CSL) 之间流动。流到选定位线 (Sel. BL) 的电流可以随选定存储器单元的信息存储状态而变化。

[0051] 根据本发明构思的三维半导体器件的操作方法仅是示例性的,用于解释本发明构思的精神,并且本发明构思的特征不限于此。即,对于本领域的技术人员显而易见的是,基于现有技术可以容易地进行修改。因此,与操作方法关联的特征可以基于现有技术通过多种修改和改变来体现。

[0052] 下文将详细地描述根据本发明构思的一些实施例的三维半导体器件及其制造方法。

[0053] 图 4A 是根据本发明构思的一些实施例的半导体器件的平面顶视图。图 4B、4C、4D 和 4E 分别是沿图 4A 中的线 I-I'、II-II'、III-III' 和 IV-IV' 截取的横截面图。

[0054] 参考图 4A 至 4E,半导体器件包括半导体衬底 100、以矩阵形式设置在半导体衬底 100 上的垂直沟道结构 120、与垂直沟道结构 120 直接接触并且设置在半导体衬底 100 上的 P 型半导体层 102 以及设置在垂直沟道结构 120 之间的半导体衬底 100 上的公共源极线 106。公共源极线 106 可以与 P 型半导体层 102 相接触。

[0055] P 型半导体层 102 可以设置在预定区域,在该预定区域设置有半导体衬底 100 的垂直沟道结构 120。P 型半导体层 102 可以是掺杂有 P 型杂质的杂质区域。

[0056] 垂直沟道结构 120 可以以矩阵形式设置在 P 型半导体层 102 上。垂直沟道结构 120 可以是掺杂有 P 型杂质的硅。垂直沟道结构 120 可以是晶体硅或多晶硅。垂直沟道结构 120 可以具有柱形状或空心面 (macaroni) 形状。

[0057] 公共源极线 106 可以在第一方向上在垂直沟道结构 120 之间的半导体衬底 100 处延伸。公共源极线 106 可以是掺杂有 N 型杂质的区域。根据本发明构思的修改的实施例,公共源极线 106 可以包括杂质区域、掺杂多晶硅、金属硅化物和金属中的至少一个。P 型杂质层 102 的顶表面可以具有与公共源极线 106 的顶表面相同的水平面 (level)。

[0058] 公共源极线接触焊盘 104 可以被设置为邻近 P 型半导体层 102,以被电连接至公共源极线 106。公共源极线接触焊盘 104 可以包括与公共源极线 106 相同的材料。公共源极线接触焊盘 104 可以是例如 N 型杂质区域。

[0059] 地选择线 161、字线 163 和 165 以及串选择线 167 可以顺序堆叠在 P 型半导体层 102 上并且在第一方向上延伸。地选择线 161 可以在一个平面上相互平行地伸展。地选择

线 161 在它们的一端处相互连接。地选择线 161、字线 163 和 165 以及串选择线 167 可以被设置为在它们的一端处具有台阶形状。

[0060] 字线 163 和 165 可以设置在多个平面上。在一个平面上设置的字线可以在它们的一端处相互连接。在该实施例中,为便于描述仅示出了双层结构的字线 163 和 165。字线 163 和 165 以及地选择线 161 的侧表面可以相互垂直地对准。此外,字线 163 和 165 以及串选择线 167 的侧表面可以相互垂直地对准。可替代地,地选择线 161、字线 163 和 165 以及串选择线 167 的端部可以不是相互对准而是形成台阶形状。

[0061] 地选择线 161、字线 163 和 165 以及串选择线 167 每个均可以由传导材料制成。地选择线 161、字线 163 和 165 以及串选择线 167 可以包括掺杂多晶硅、金属和金属硅化物中的至少一个。

[0062] 垂直沟道结构 120 可以被设置为垂直地穿透串选择线 167、字线 163 和 165、地选择线 161。绝缘层 152 可以设置在垂直沟道结构 120 与串选择线 167 之间、垂直沟道结构 120 与字线 163 和 165 之间、以及垂直沟道结构 120 与地选择线 161 之间。垂直沟道结构 120 与串选择线 167 之间的绝缘层 152 可以用作串选择晶体管 SST 的栅极绝缘层。垂直沟道结构 120 与字线 163 和 165 之间的绝缘层 152 可以用作单元晶体管的电荷储存层。垂直沟道结构 120 与地选择线 161 之间的绝缘层 152 可以用作地选择晶体管 GSTa 的栅极绝缘层。绝缘层 152 可以在地选择线 161 与半导体衬底 100 之间延伸。半导体衬底 100 上的绝缘层 152 可以用作辅助地选择晶体管 GSTb 的栅极绝缘层。绝缘层 152 可以包括氧化硅 / 氮化硅 / 氧化硅的多层结构,以用作电荷储存层。绝缘层 152 的结构可以通过多种形式来变化。

[0063] 字线 163 和 165 可以包括下字线 163 和上字线 165。第一层间电介质图案 132 可以设置在地选择线 161 与下字线 163 之间,并且第二层间电介质图案 134 可以设置在地选择线 161 与上字线 165 之间。第三层间电介质图案 136 可以设置在上字线 165 与串选择线 167 之间。第四层间电介质图案 138 可以设置在串选择线 167 上。

[0064] 绝缘层 152 可以延伸以被设置在地选择线 161 与第一层间电介质图案 132 之间。绝缘层 152 可以延伸以被设置在第一层间电介质图案 132 与下字线 163 之间。绝缘层 152 可以延伸以被设置在下字线 163 与第二层间电介质图案 134 之间。绝缘层 152 可以延伸以被设置在第二层间电介质图案 134 与上字线 165 之间。绝缘层 152 可以延伸以被设置在上字线 165 与第三层间电介质图案 136 之间。绝缘层 152 可以延伸以被设置在第三层间电介质图案 136 与串选择线 167 之间。绝缘层 152 可以延伸以被设置在串选择线 167 与第四层间电介质图案 138 之间。

[0065] 间隙填充层间电介质 143 可以设置在公共源极线 106 上的相邻的字线 163 和 165 之间。间隙填充层间电介质 143 可以在第一方向上延伸。间隙填充层间电介质 143 可以包括氧化硅。间隙填充层间电介质 143 的底表面可以与绝缘层 152 相接触。间隙填充层间电介质 143 的顶表面可以具有与第四层间电介质图案 138 高度相同的高度。

[0066] 漏极区域 122 可以在垂直沟道结构 120 上形成。漏极区域 122 可以是掺杂有 N 型杂质的杂质区域。垂直沟道结构 121 的顶表面可以具有与间隙填充层间电介质 143 高度相同的高度。位线 BL 可以设置在漏极区域 122 上。该位线可以在与第一方向交叉的第二方向上延伸。

[0067] 外部层间电介质 142 可以设置在除其中设置有垂直沟道结构 120 的预定区域之外的外部区域处的半导体衬底 100 上。外部层间电介质 142 的顶表面可以具有与第四层间电介质图案 138 高度相同的高度。第五层间电介质 145 可以设置在位线 BL 与位线 BL 顶表面之间的空间处。多个接触插塞 171、172、173 和 174 可以被设置为穿透第五层间电介质 145 和外部层间电介质 142。串选择线接触插塞 171 可以电连接至串选择线 167。上字线接触插塞 172 可以电连接至上字线 165, 并且下字线接触插塞 173 可以电连接至下字线 163。地选择线接触插塞 174 可以电连接至地选择线 161。接触插塞 171、172、173 和 174 可以通过互连 180 电连接至外围电路。公共源极线互连 175 可以通过外部层间电介质 142 电连接至公共源极线接触焊盘 104。位线 BL 可以通过位线接触插塞 181 电连接至外围电路。

[0068] 根据本发明构思的修改的实施例, 公共源极线可以延伸至地选择线 161 的下部。

[0069] 图 5A 至 11A 是顺序示出形成图 4B 的半导体器件的方法的横截面图。图 5B 至 11B 是顺序示出形成图 4C 的半导体器件的方法的横截面图。图 5C 至 11C 是顺序示出形成图 4D 的半导体器件的方法的横截面图。图 5D 至 11D 是顺序示出形成图 4E 的半导体器件的方法的横截面图。

[0070] 参考图 5A 和 5B, P 型半导体层 102 在半导体衬底 100 上形成。如果半导体衬底 100 是 P 型, 则 N 阱区域 (未示出) 可以进一步形成在 P 型半导体层 102 与半导体衬底 100 之间。P 型半导体层 102 可以通过离子注入工艺或扩散工艺形成。

[0071] 公共源极线接触焊盘 104 可以被形成邻近 P 型半导体层 102。公共源极线接触焊盘 104 可以是 N 型杂质区域。公共源极线接触焊盘 104 可以通过离子注入工艺形成。

[0072] 第一虚拟层 131a、第一层间电介质 132a、第二虚拟层 133a、第二层间电介质 134a、第三虚拟层 135a、第三层间电介质 136a、第四虚拟层 137a 和第四层间电介质 138a 可以顺序堆叠在半导体衬底 100 上。第一至第四虚拟层 131a、133a、135a 和 137a 可以由相对于第一至第四层间电介质 132a、134a、136a 和 138a 具有蚀刻选择性的材料来形成。例如, 第一至第四虚拟层 131a、133a、135a 和 137a 可以由氮化硅形成, 而第一至第四层间电介质 132a、134a、136a 和 138a 可以由氧化硅形成。

[0073] 参考图 6A 和 6B, 可以对第一至第四虚拟层 131a、133a、135a 和 137a 以及第一至第四层间电介质 132a、134a、136a 和 138a 进行构图, 以形成第一至第四虚拟图案 131b、133b、135b 和 137b 以及第一至第四层间电介质图案 132、134、136 和 138。第一至第四虚拟图案 131b、133b、135b 和 137b 以及第一至第四层间电介质图案 132、134、136 和 138 可以被设置为在局部区域处具有台阶形状。第一虚拟图案 131b 和第一层间电介质 132 的侧表面可以相互对准。第二虚拟图案 133b 和第二层间电介质图案 134 的侧表面可以相互对准。第三虚拟图案 135b 和第三层间电介质图案 136 的侧表面可以相互对准。第四虚拟图案 137b 和第四层间电介质图案 138 的侧表面可以相互对准。

[0074] 下一步, 在半导体衬底 100 上沉积外部层间电介质 142。外部层间电介质 142 可以被平坦化, 以使第四层间电介质图案 138 暴露。

[0075] 参考图 7A 至 7D, 岛型光致抗蚀剂图案 (未示出) 可以以矩阵形式形成在第四层间电介质图案 138 上。使用该光致抗蚀剂图案作为蚀刻掩模, 可以将 P 型半导体层 102 向下蚀刻至下面的结构的顶表面, 以形成垂直沟道孔 121。垂直沟道孔 121 可以填充有垂直沟道结构 120, 垂直沟道结构 120 可以由晶体硅或多晶硅形成。垂直沟道结构 120 可以掺杂有 P

型杂质。垂直沟道结构 120 可以通过选择性外延生长 (SEG) 工艺或沉积工艺来形成。垂直沟道结构 120 的顶表面可以被平坦化,以使第四层间电介质图案 138 暴露。垂直沟道结构 120 的顶表面可以掺杂有 N 型杂质,以形成漏极区域 122。

[0076] 参考图 8A 至 8D,可以对第一至第四虚拟图案 131b、133b、135b 和 137b 以及第一至第四层间电介质图案 132、134、136 和 138 进行构图,以形成在第一方向上延伸的第一沟槽 144。第一沟槽 144 可以设置在垂直沟道半导体结构 120 之间。第一沟槽 144 的底表面可以与 P 型半导体层 102 相接触。

[0077] 参考图 9A 至 9D,可以通过湿法蚀刻来去除第一至第四虚拟图案 131b、133b、135b 和 137b。在第一至第四虚拟图案 131b、133b、135b 和 137b 由氮化硅形成的情况下,可以使用磷酸来执行湿法蚀刻。该湿法蚀刻可以相对于半导体衬底 100 和第一至第四层间电介质图案 132、134、136 和 138 具有高蚀刻选择性。

[0078] 参考图 10A 至 10D,绝缘层 152 可以保形地形成在半导体衬底 100 上。在第一至第四层间电介质图案 132、134、136 和 138 的表面上和半导体衬底 100 上绝缘层 152 可以具有均匀厚度。绝缘层 152 可以具有例如氧化硅 / 氮化硅 / 氧化硅的多层结构。氮化硅层可以用作电荷储存层。绝缘层 152 的结构可以以多种方式来改变。氧化硅层可以通过化学气相沉积 (CVD)、原子层沉积 (ALD) 或热氧化来形成。在通过热氧化形成氧化硅层的情况下,仅在暴露的半导体衬底 100 的表面上和暴露的垂直沟道结构 120 的表面上形成氧化硅层。

[0079] 传导层 151 可以在形成有绝缘层 152 的半导体衬底 100 上形成。传导层 151 可以形成在绝缘层 152 上。传导层 151 可以填充第一至第四层间电介质图案 132、134、136 和 138 之间的空间。此外,传导层 151 可以填充第一沟槽 144。传导层 151 可以包括掺杂硅、金属和金属硅化物中的至少一个。传导层 151 可以具有多层结构。

[0080] 形成有传导层 151 的半导体衬底 100 可以被平坦化,以使第四层间电介质图案 138 暴露。该平坦化可以通过化学机械抛光 (CMP) 工艺来执行。

[0081] 参考图 11A 至 11D,光致抗蚀剂图案可以形成在半导体衬底 100 上。使用该光致抗蚀剂图案作为蚀刻掩模,填充第一沟槽 144 的传导层 151 可以被蚀刻,以形成第二沟槽 144a。因此,传导层 151 可以被分割,以形成地选择线 161、下字线 163、上字线 165 和串选择线 167。第二沟槽 144a 的底表面可以与在 P 型半导体层 106 上设置的绝缘层 152 的顶表面相匹配。P 型半导体层 106 的顶表面可以通过离子注入工艺掺杂有 N 型杂质,以形成公共源极线 106。公共源极线 106 的底表面可以高于 P 型半导体层 102 的底表面。公共源极线 106 可以与公共源极线接触焊盘 104 相接触。

[0082] 根据本发明构思的修改的实施例,设置在第二沟槽 144a 的底表面处的绝缘层 152 可以被选择性地去除。暴露的 P 型半导体层 102 的顶表面可以构成掺杂有 N 型杂质的杂质区域。金属硅化物可以选择性地形成在该杂质区域的顶表面上。该杂质区域和该金属硅化物可以构成公共源极线 106。

[0083] 可以在形成有公共源极线 106 的得到的结构上形成间隙填充层间电介质 143,以填充第二沟槽 144a。间隙填充层间电介质 143 可以被平坦化,以使第四层间电介质图案 138 暴露。该平坦化可以通过 CMP 工艺执行。间隙填充层间电介质 143 可以包括氧化硅、氧氮化硅和氮化硅中的至少一个。

[0084] 返回到图 4A 至 4E,对外部层间电介质 142 进行构图,以形成使公共源极线接触焊

盘 104 暴露的公共源极线凹槽（未示出）。形成下传导层（未示出），以填充公共源极线凹槽，并且该下传导层被平坦化蚀刻，以使外部层间电介质 142 的上表面暴露并且形成公共源极线互连 175。传导层可以形成在半导体衬底 100 上。可以对该传导层进行构图，以形成位线 BL，位线 BL 在第二方向上延伸。位线 BL 可以电连接至在第二方向上布置的垂直沟道结构。位线 BL 可以包括金属硅化物和金属中的至少一个。第五层间电介质 145 可以形成在形成有位线 BL 的半导体衬底上。第五层间电介质 145 的顶表面可以被平坦化。

[0085] 执行使用光致抗蚀剂图案作为蚀刻掩模的蚀刻工艺，以形成串选择线接触孔（未示出）、上字线接触孔（未示出）、下字线接触孔（未示出）和地选择接触孔（未示出）。串选择接触孔可以被形成为使台阶形状区域处的串选择线 167 暴露。上字线接触孔可以被形成为使上字线 165 暴露。下字线接触孔可以被形成为使下字线 163 暴露。地选择线接触孔可以被形成为使地选择线 161 暴露。位线接触插塞 181 可以通过第五层间电介质 145 连接至位线 BL。

[0086] 传导材料可以形成在形成有接触孔的半导体衬底 100 上。半导体衬底 100 的顶表面可以被平坦化，以形成串选择线接触插塞 171、上字线接触插塞 172、下字线接触插塞 173 和地选择线接触插塞 174。接触插塞 171、172、173 和 174 可以电连接至外围电路。

[0087] 根据本发明构思的修改的实施例，接触插塞 171、172、173 和 174 的位置、互连的伸展方向、互连设置的平面可以以多种方式来改变。

[0088] 下文将详细描述根据本发明构思的其他实施例的三维半导体器件及其形成方法。

[0089] 图 12A 是根据本发明构思的一些实施例的半导体器件的平面顶视图。图 12B、12C、12D 和 12E 分别是沿图 12A 中的线 I-I'、II-II'、III-III' 和 IV-IV' 截取的横截面图。

[0090] 参考图 12A 至 12E，该三维半导体器件包括：半导体衬底 100、垂直沟道结构 120、P 型半导体层 102 和公共源极线 106，所述垂直沟道结构 120 以矩阵形式被布置在半导体衬底 100 上，所述 P 型半导体层 102 与垂直沟道结构 120 直接接触并且被设置在半导体衬底 100 上，所述公共源极线 106 被设置在垂直沟道结构 120 之间的半导体衬底 100 上。公共源极线 106 可以与 P 型半导体层 102 相接触，以在第一方向上延伸。辅助公共源极线 107 可以设置在半导体衬底 100 上，以跨越公共源极线 106。

[0091] P 型半导体层 102 可以被设置在设置有垂直沟道结构 120 的预定区域处。P 型半导体层 102 可以是掺杂有 P 型杂质的杂质区域。垂直沟道结构 120 可以包括在第二方向上设置的虚拟垂直沟道结构 120a。辅助公共源极线 107 可以在与第一方向交叉的第二方向上在虚拟垂直沟道结构 120a 下方的区域处延伸。公共源极线 106 和辅助公共源极线 107 可以交叉耦合。

[0092] 垂直沟道结构 120 可以以矩阵形式布置在 P 型半导体层 102 上。垂直沟道结构 120 中的每个均可以由掺杂有 P 型杂质的硅制成。垂直沟道结构 120 可以由晶体硅或多晶硅制成。虚拟垂直沟道结构 120a 可以不用作存储器器件。

[0093] 公共源极线 106 可以在第一方向上在垂直沟道结构 120 之间的半导体衬底 100 处延伸。公共源极线 106 可以通过使用 N 型杂质掺杂半导体衬底 100 而形成的区域。根据本发明构思的修改的实施例，公共源极线 106 可以包括杂质区域、掺杂多晶硅、金属硅化物和金属中的至少一个。P 型半导体层 102 的顶表面可以具有与公共源极线 106 相同的高度。

[0094] 公共源极线接触焊盘 104 可以被设置为邻近 P 型半导体层 102，以电连接至公共源

极线 106。公共源极线接触焊盘 104 可以包括与公共源极线 106 相同的材料。公共源极线接触焊盘 104 可以是例如 N 型杂质区域。辅助公共源极线 107 可以包括与公共源极线焊盘 104 相同的材料。辅助公共源极线 107 和公共源极线接触焊盘 104 可以同时形成。

[0095] 地选择线 161、字线 163 和 165 以及串选择线 167 可以顺序堆叠在 P 型半导体层 102 上并且在第一方向上延伸。地选择线 161 可以在一个平面上相互平行地伸展。地选择线 161 在它们的一端处相互连接。地选择线 161、字线 163 和 165 以及串选择线 167 可以在它们的一端处具有台阶形状。

[0096] 字线 163 和 165 可以设置在多个平面上。在一个平面上设置的字线 163 和 165 可以在它们的一端处相互连接。在该实施例中,为便于描述仅示出了双层结构的字线 163 和 165。字线 163 和 165 以及地选择线 161 的侧表面可以相互垂直地对准。字线 163 和 165 以及串选择线 167 的侧表面可以相互垂直地对准。地选择线 161、字线 163 和 165 以及串选择线 167 中的每个均可以由传导材料制成。地选择线 161、字线 163 和 165 以及串选择线 167 可以包括掺杂多晶硅、金属和金属硅化物中的至少一个。

[0097] 垂直沟道结构 120 可以被设置为垂直穿透串选择线 167、字线 163 和 165、地选择线 161。绝缘层 152 可以设置在垂直沟道结构 120 与串选择线 167 之间、垂直沟道结构 120 与字线 163 和 165 之间、以及垂直沟道结构 120 与地选择线 160 之间。垂直沟道结构 120 与串选择线 167 之间的绝缘层 152 可以用作栅极绝缘层。垂直沟道结构 120 与字线 163 和 165 之间的绝缘层 152 可以用作单元晶体管的电荷储存层。垂直沟道结构 120 与地选择线 161 之间的绝缘层 152 可以用作地选择晶体管 GSTa 的栅极绝缘层。绝缘层 152 可以在地选择线 161 与半导体衬底 100 之间延伸。半导体衬底 100 上的绝缘层 152 可以用作辅助地选择晶体管 GSTb 的栅极绝缘层。绝缘层 152 可以包括氧化硅 / 氮化硅 / 氧化硅的多层结构,以用作电荷储存层。绝缘层 152 的结构可以以多种形式来改变。

[0098] 字线 163 和 165 可以包括下字线 163 和上字线 165。第一层间电介质图案 132 可以设置在地选择线 161 与下字线 163 之间,并且第二层间电介质图案 134 可以设置在地选择线 161 与上字线 165 之间。第三层间电介质图案 136 可以设置在上字线 165 与串选择线 167 之间。第四层间电介质图案 138 可以设置在串选择线 167 上。

[0099] 绝缘层 152 可以延伸以被设置在地选择线 161 与第一层间电介质图案 132 之间。绝缘层 152 可以延伸以被设置在第一层间电介质图案 132 与下字线 163 之间。绝缘层 152 可以延伸以被设置在下字线 163 与第二层间电介质图案 134 之间。绝缘层 152 可以延伸以被设置在第二层间电介质图案 134 与上字线 165 之间。绝缘层 152 可以延伸以被设置在上字线 165 与第三层间电介质图案 136 之间。绝缘层 152 可以延伸以被设置在第三层间电介质图案 136 与串选择线 167 之间。绝缘层 152 可以延伸以被设置在串选择线 167 与第四层间电介质图案 138 之间。

[0100] 间隙填充层间电介质 143 可以设置在公共源极线 106 上的相邻字线 163 和 165 之间。间隙填充层间电介质 143 可以在第一方向上延伸。间隙填充层间电介质 143 可以包括氧化硅。间隙填充层间电介质 143 的底表面可以与绝缘层 152 相接触。间隙填充层间电介质 143 的顶表面可以具有与第四层间电介质图案 138 相同的高度。

[0101] 漏极区域 122 可以在垂直沟道结构 120 上形成。漏极区域 122 可以是掺杂有 N 型杂质的杂质区域。垂直沟道结构 121 的顶表面可以具有与间隙填充层间电介质 143 相同的

高度。位线 BL 可以设置在漏极区域 122 上。该位线可以在与第一方向交叉的第二方向上延伸。

[0102] 外部层间电介质 142 可以设置在除设置有垂直沟道结构 120 的预定区域之外的外部区域处的半导体衬底 100 上。外部层间电介质 142 的顶表面可以具有与第四层间电介质图案 138 高度相同的高度。第五层间电介质 145 可以设置在位线 BL 与位线 BL 的顶表面之间的空间处。多个接触插塞 171、172、173 和 174 可以被设置为穿透第五层间电介质 145 和外部层间电介质 142。串选择线接触插塞 171 可以电连接至串选择线 167。上字线接触插塞 172 可以电连接至上字线 165, 并且下字线接触插塞 173 可以电连接至下字线 163。地选择线接触插塞 174 可以电连接至地选择线 161。接触插塞 171、172、173 和 174 可以通过互连 180 电连接至外围电路。公共源极线互连 175 可以通过外部层间电介质 142 电连接至公共源极线接触焊盘 104。位线 BL 可以通过位线接触插塞 181 电连接至外围电路。

[0103] 根据本发明构思的修改的实施例, 公共源极线 106 可以延伸至地选择线 161 的下部。

[0104] 如图 5 至 11 中阐述的, 可以通过相同的工艺形成三维半导体器件。辅助公共源极线 107 可以与公共源极线接触焊盘 104 同时形成。

[0105] 图 13 是说明根据本发明构思的具有闪速存储器器件的存储器卡 1200 的示例的框图。

[0106] 参考图 13, 用于支持大容量数据存储能力的存储器卡 1200 提供有根据本发明构思的闪速存储器器件 1210。存储器卡 1200 包括存储器控制器 1220, 所述存储器控制器 1220 被配置为控制主机与闪速存储器器件 1210 之间的所有数据交换。

[0107] SRAM 1221 用作处理单元 1222 的操作存储器。主机接口 1223 包括连接至存储器卡 1200 的主机的数据交换协议。错误纠正码块 (ECC) 1224 被配置为检测和纠正从闪速存储器 1210 读出的数据中包括的错误。存储器接口 1225 被配置为与闪速存储器 1210 对接。处理单元 1222 被配置为执行用于存储器控制器 1120 数据交换的所有控制操作。尽管该图中没有示出, 但是对于本领域的技术人员显而易见的是, 存储器卡 1200 可以提供有 ROM (未示出), 所述 ROM 在其内存储用于与主机对接的码数据。

[0108] 根据本发明构思的闪速存储器器件和存储器卡或存储器系统, 通过带有具有改进擦除特性的虚拟单元的闪速存储器器件 1210, 可以提供高度可靠的存储器系统。特别地, 根据本发明构思的闪速存储器器件可以被提供用于诸如固态硬盘 (SSD) 的近来吸引人的存储器系统。在该情况下, 从虚拟单元出现的错误可以被断绝, 以实现了高度可靠的存储器系统。

[0109] 图 14 是包括闪速存储器系统 1310 的数据处理系统 1300 的框图。

[0110] 参考图 14, 根据本发明构思的闪速存储器系统 1310 可以安装在诸如移动设备或台式计算机的数据处理系统中。数据处理系统 1300 包括闪速存储器系统 1310 和调制解调器 1320、中央处理单元 (CPU) 1330、RAM 1340 和用户接口 1350, 这些设备每个均电连接至系统总线 1360。闪速存储器系统 1310 可以被构造为具有与上述存储器系统或闪速存储器系统相同的结构。CPU 1330 处理的数据或者外部输入数据存储在闪速存储器系统 1310 中。闪速存储器系统 1310 可以构成固态硬盘 (SSD)。在该情况下, 数据处理系统 1300 可以稳定地将大量数据存储在闪速存储器系统 1310 中。此外, 在提高前述半导体器件的可靠性的情

况下, 闪速存储器系统 1310 可以减少错误纠正中需要的资源。因此, 可以向数据处理系统 1300 提供高速数据交换功能。尽管该图中没有示出, 但是对于本领域的普通技术人员显而易见的是, 数据处理系统 1300 可以提供有应用芯片组、相机图像处理器 (CIS) 和输入 / 输出设备。

[0111] 可以使用多种形式的封装来安装根据本发明构思的实施例的闪速存储器器件或存储器系统。可以使用多种封装来安装本发明构思的三维半导体器件, 例如 POP (层叠封装)、球栅阵列 (BGA)、芯片级封装 (CSP)、塑料引线芯片载体 (PLCC)、塑料双列直插封装 (PDIP)、华夫盘中的管芯 (Die in Waffle Pack)、晶片形式管芯、板上芯片 (COB)、陶瓷双列直插封装 (CERDIP)、塑料公制四方扁平封装 (MQFP)、薄型四方扁平封装 (TQFP)、小外形封装 (SOIC)、缩小的小外形封装 (SSOP)、薄型小外形封装 (TSOP)、薄型四方扁平封装 (TQFP)、系统级封装 (SIP)、多芯片封装 (MCP)、晶片级制造封装 (WFP)、晶片级加工堆叠封装 (WSP)。

[0112] 如到此为止解释的, 根据本发明构思的实施例的半导体存储器器件包括作为与垂直沟道结构接触的部分的 P 型半导体层。公共源极线设置在设置有垂直沟道结构的 P 型半导体层处。公共源极线可以包括 N 型半导体层。因此, 在 P 型半导体层被反型以形成水平沟道的情况下, 显著地减小了 P 型半导体层与公共源极线之间的电阻。此外, 还减小了根据位置的电阻改变。结果, 垂直沟道结构与公共源极线之间的电阻导致的故障和电流分散被减小, 以提高半导体存储器器件的可靠性。

[0113] 尽管已结合附图中说明的本发明构思的实施例描述了本发明构思, 但是本发明构思不限于此。对于本领域的技术人员显而易见的是, 在不偏离本发明构思的范围和精神的前提下, 可以进行多种替换、修改和改变。

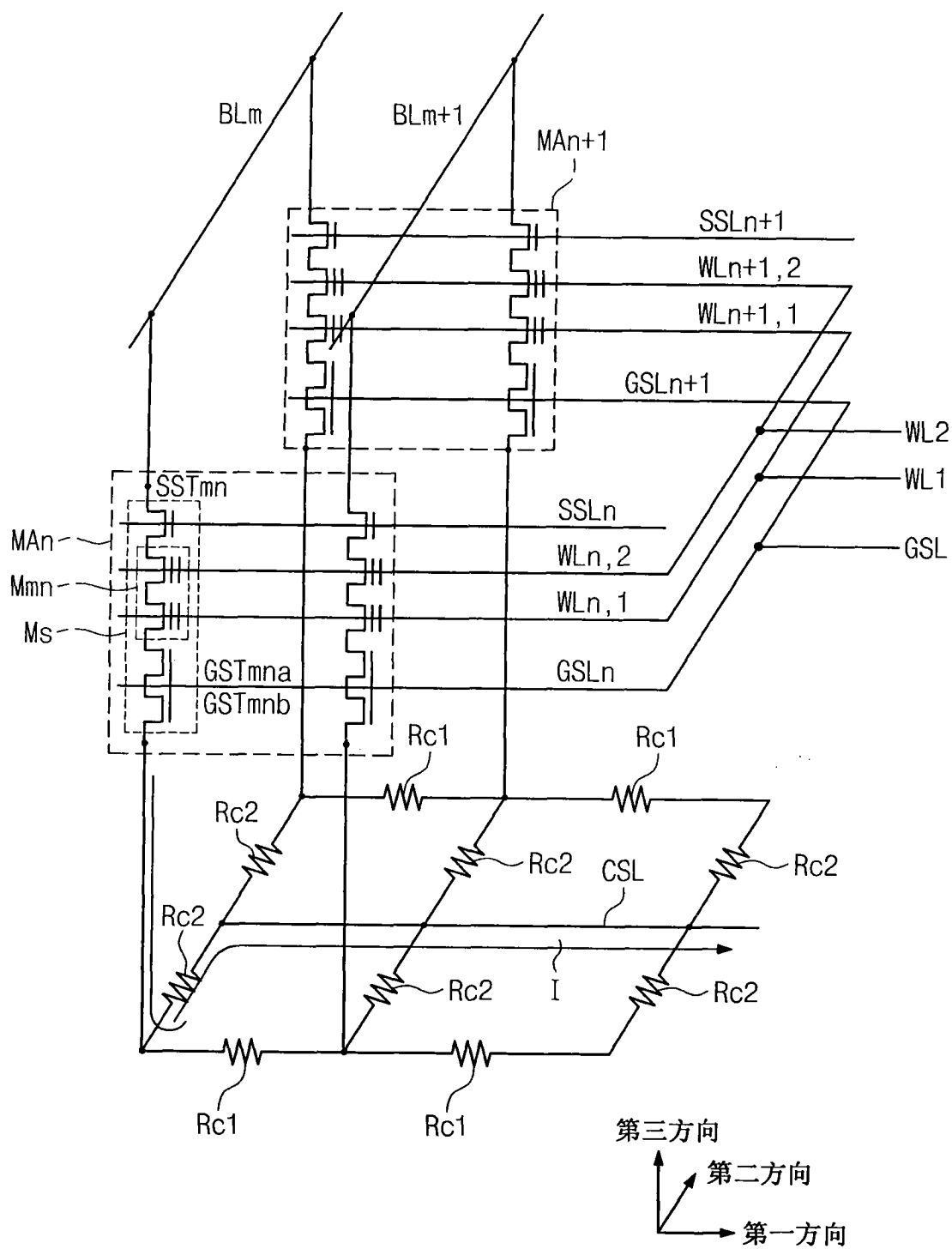


图 1

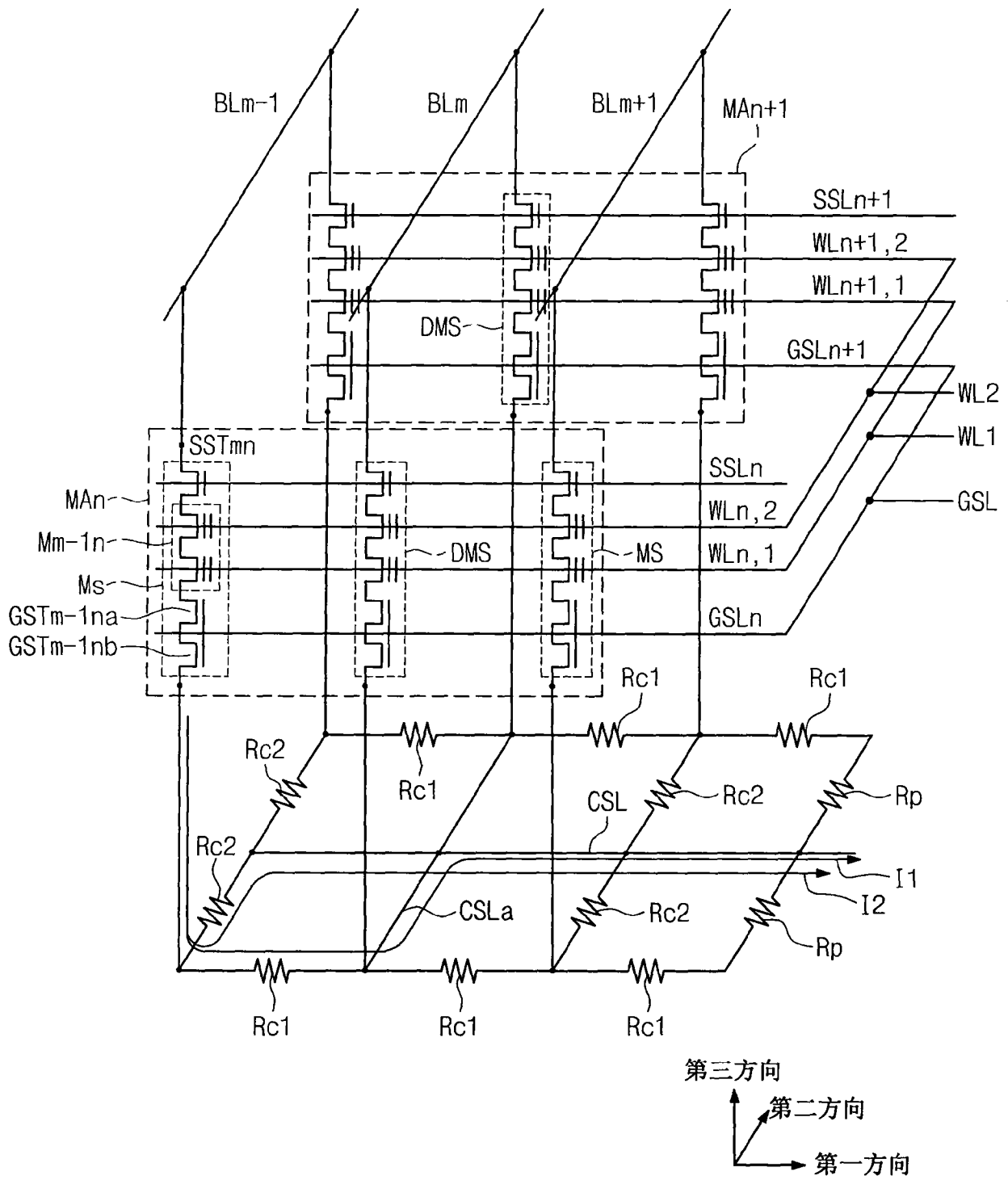


图 2

	编程	擦除	读
Sel. WL Unsel. BL	Vp	地	地
	Vpass	地	Vread
Sel. BL Unsel. BL	地	地	Vpchr
	Vcc	地	地
SSL	Vcc	浮动/地	Vread
GSL	Vcc	浮动/地	Vread
CSL	地	浮动	地
块/柱	地	Verase	地

图 3

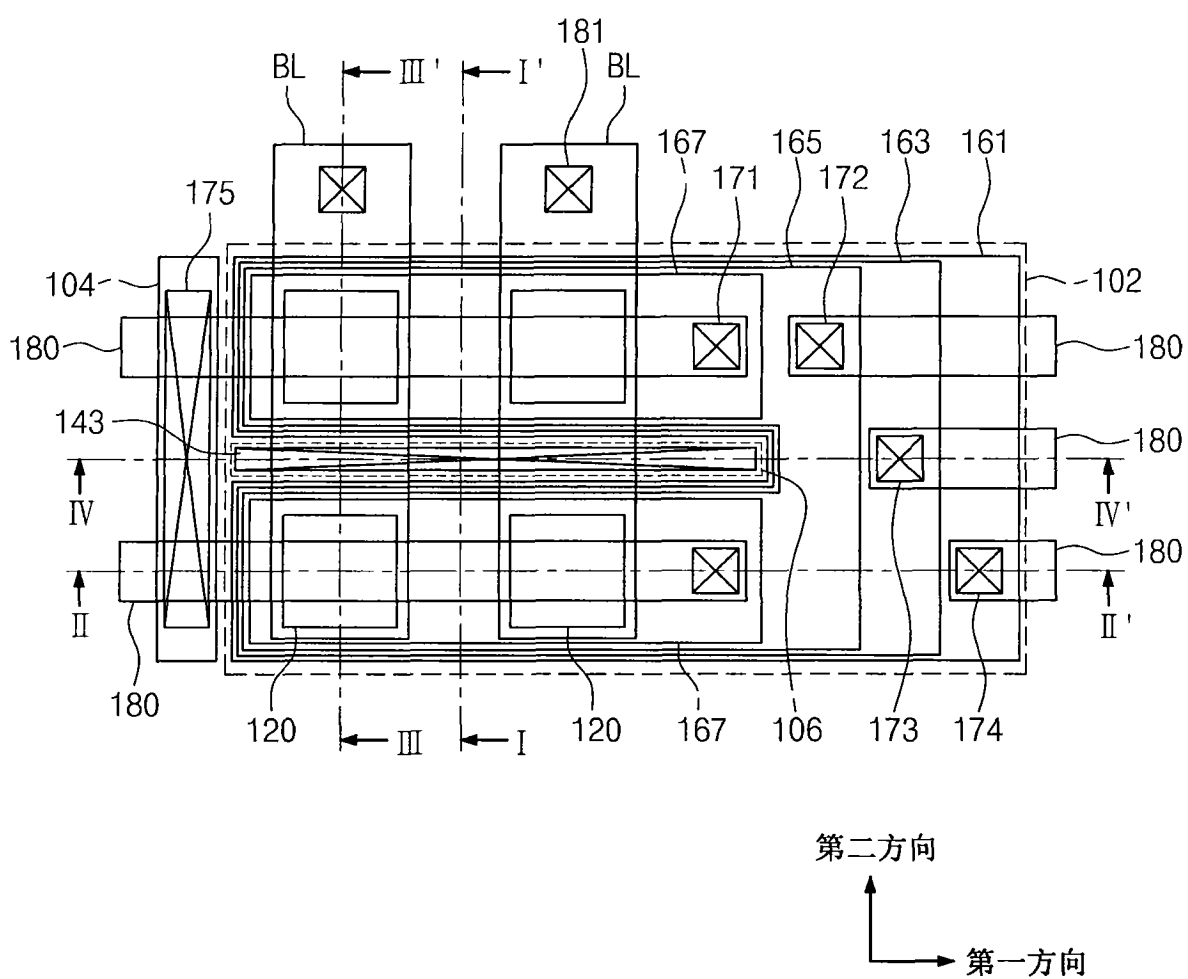


图 4A

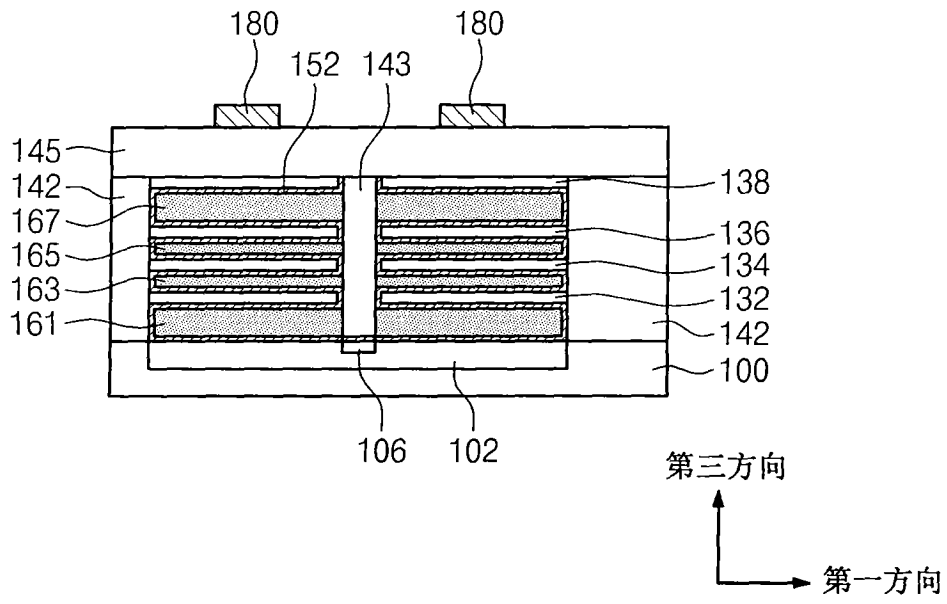


图 4B

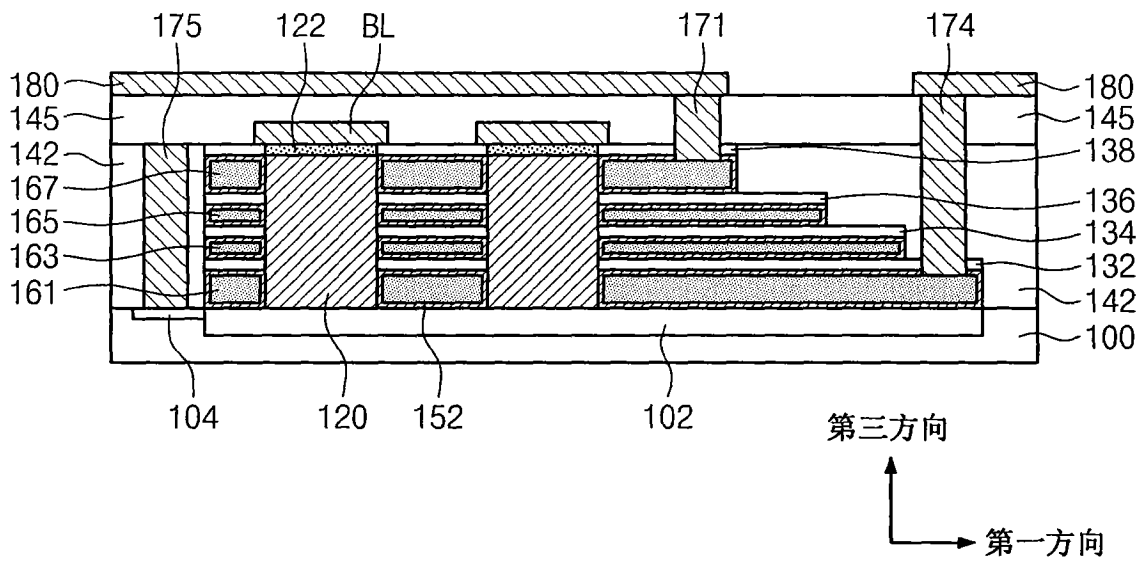


图 4C

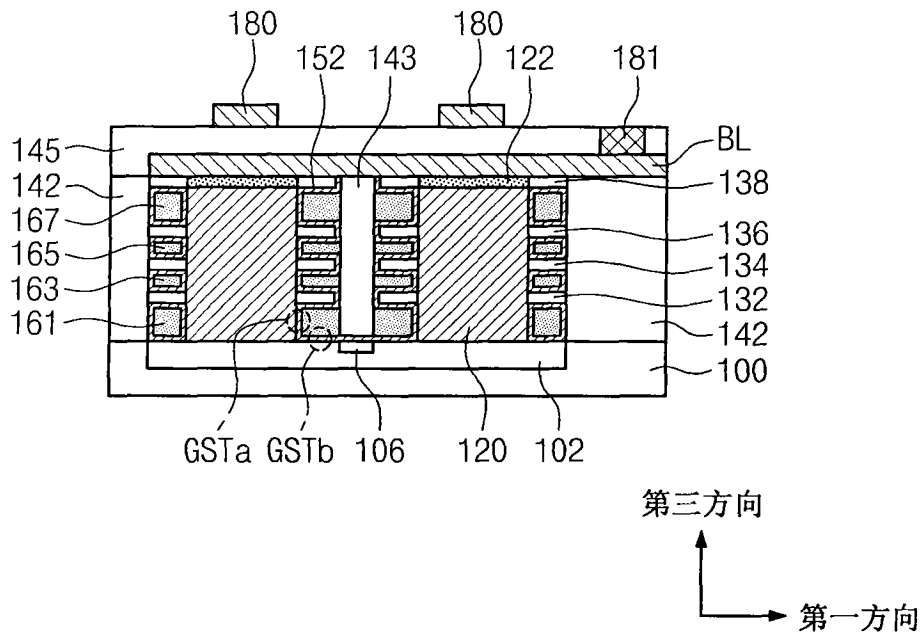


图 4D

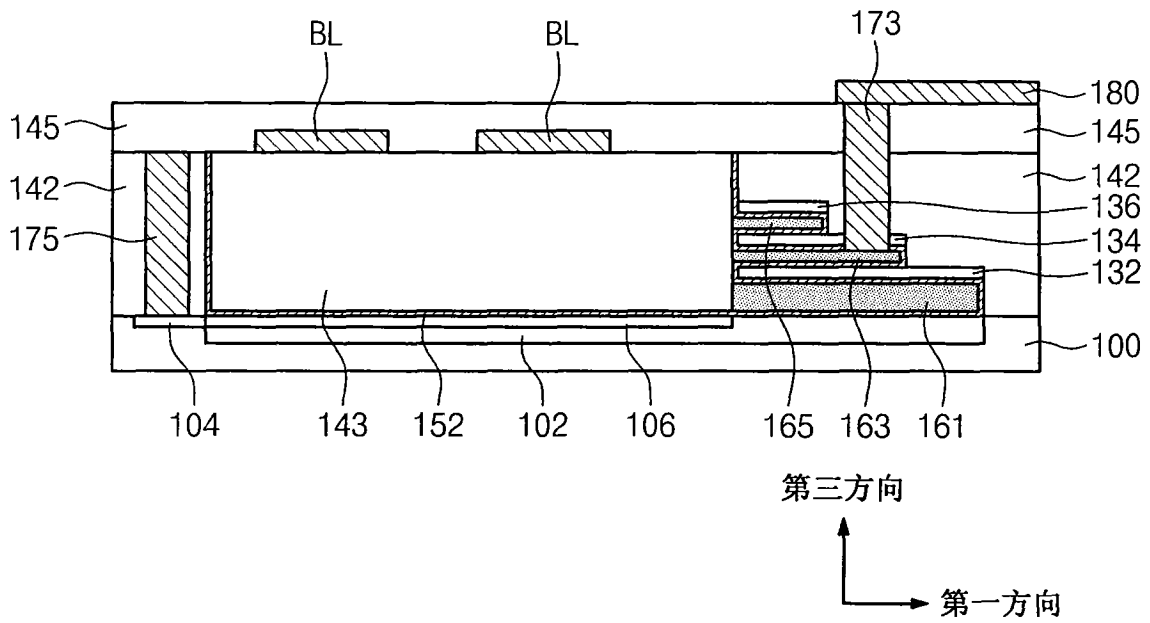


图 4E

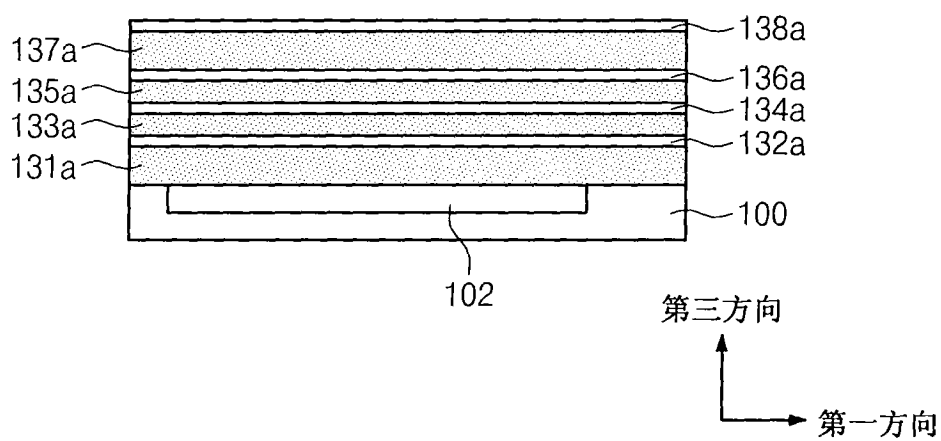


图 5A

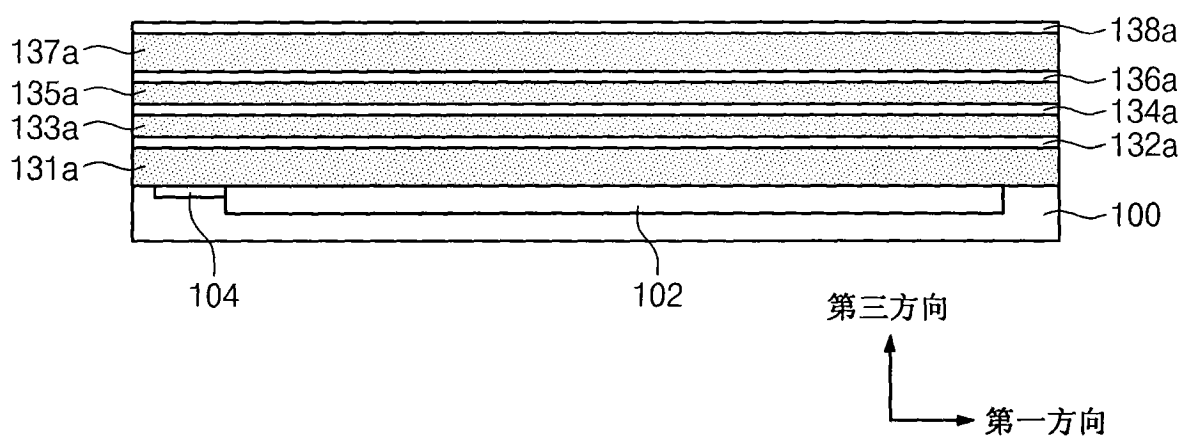


图 5B

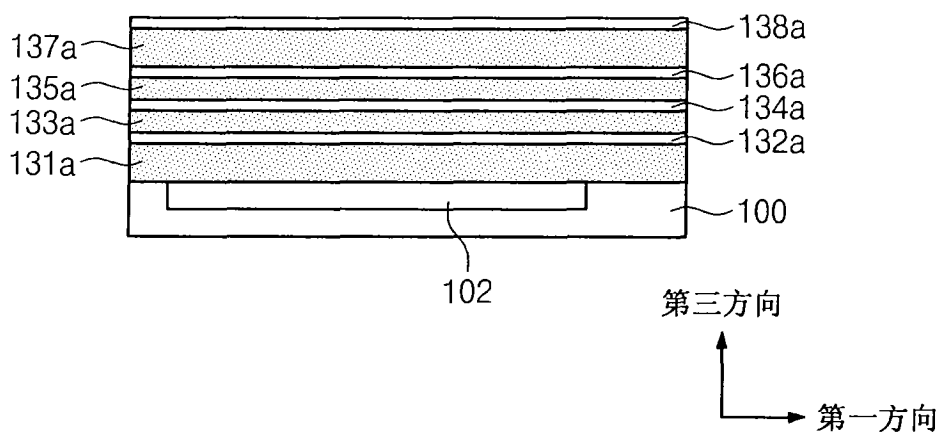


图 5C

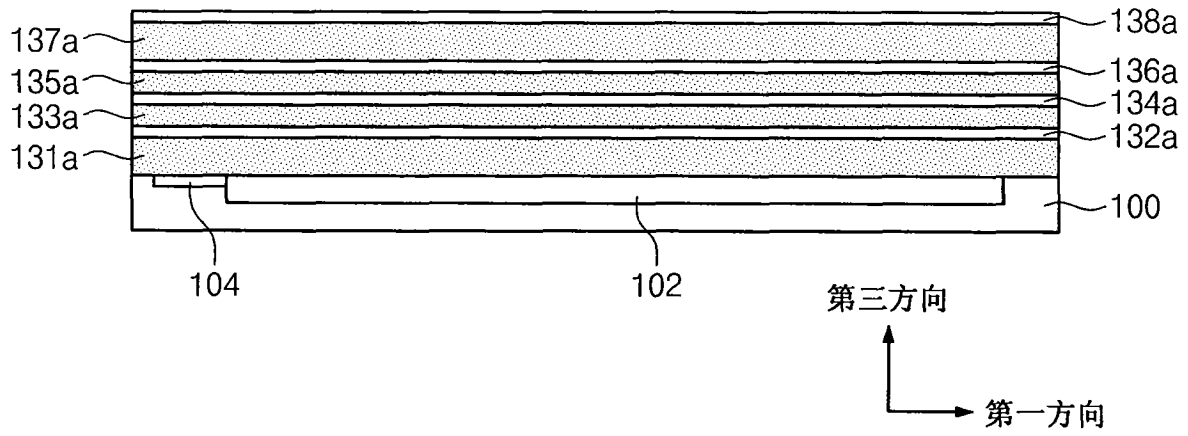


图 5D

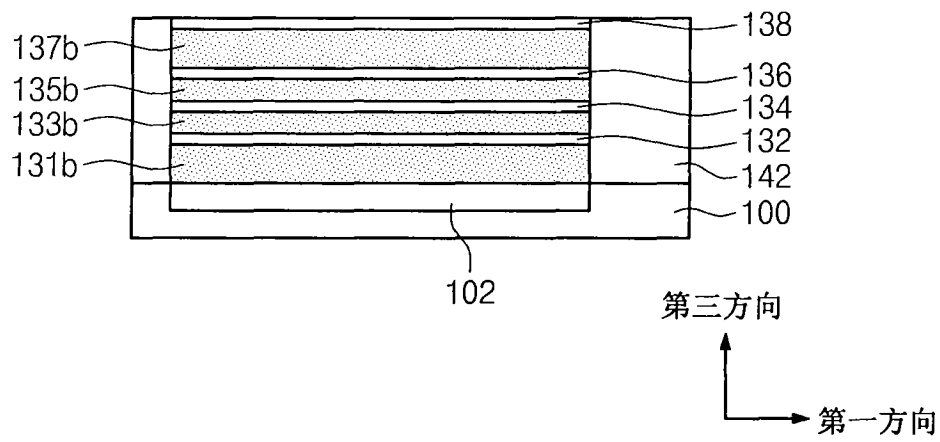


图 6A

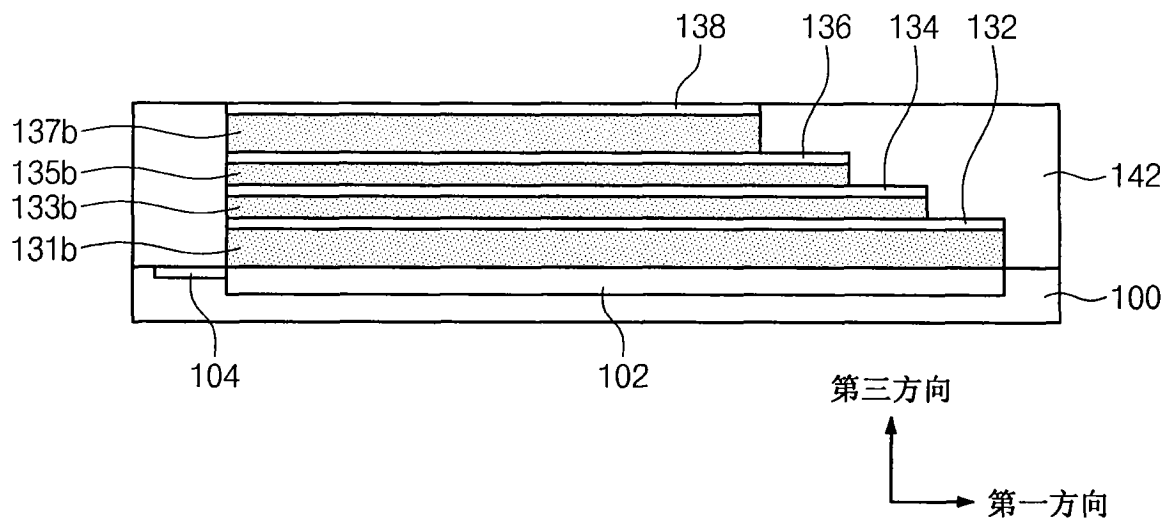


图 6B

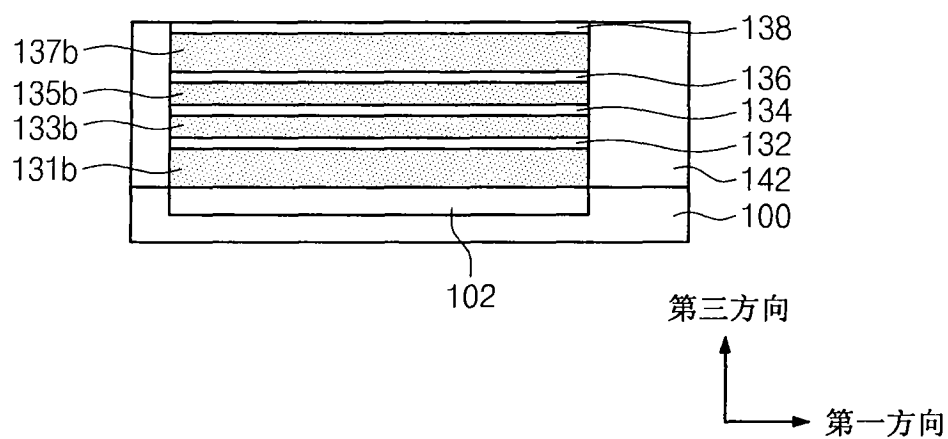


图 6C

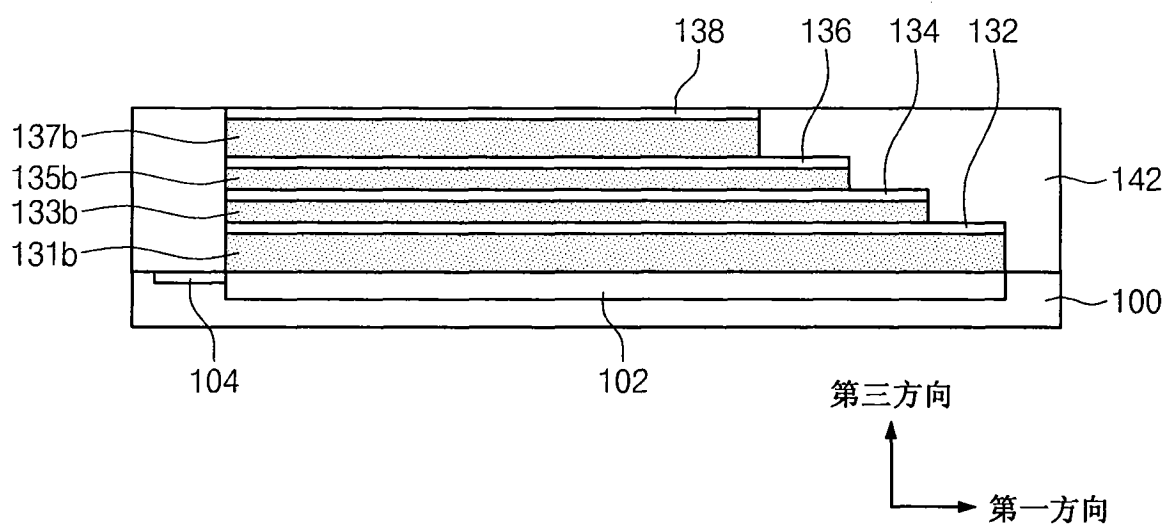


图 6D

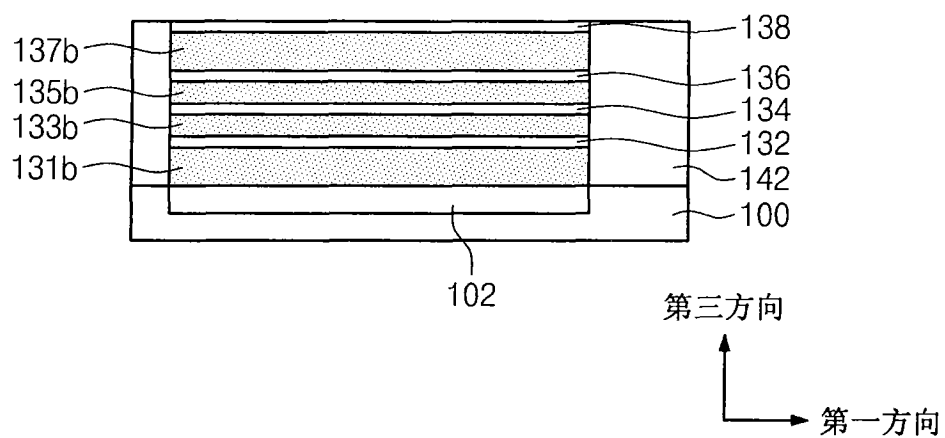


图 7A

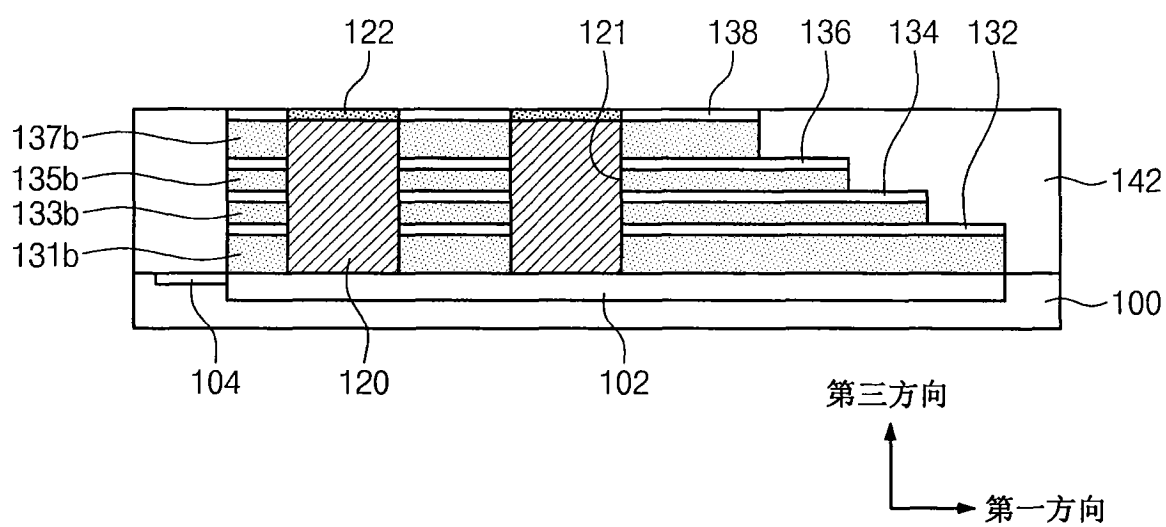


图 7B

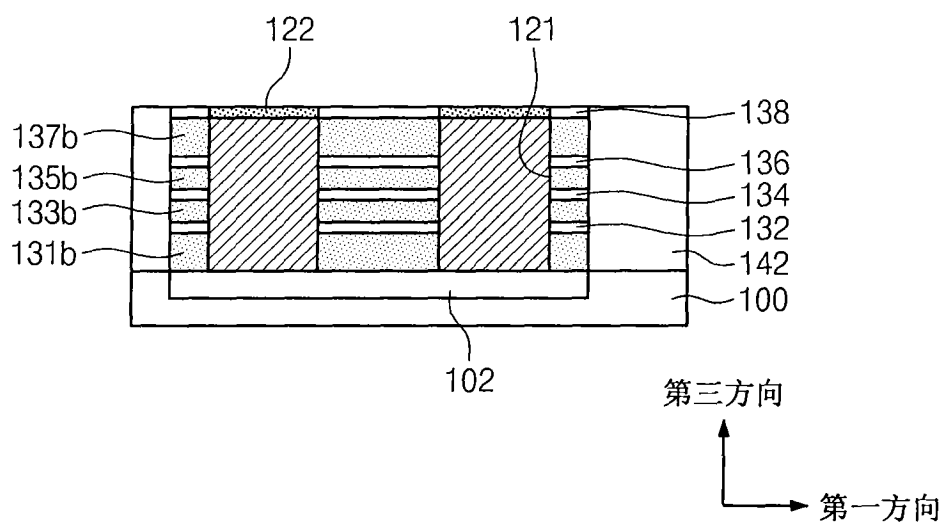


图 7C

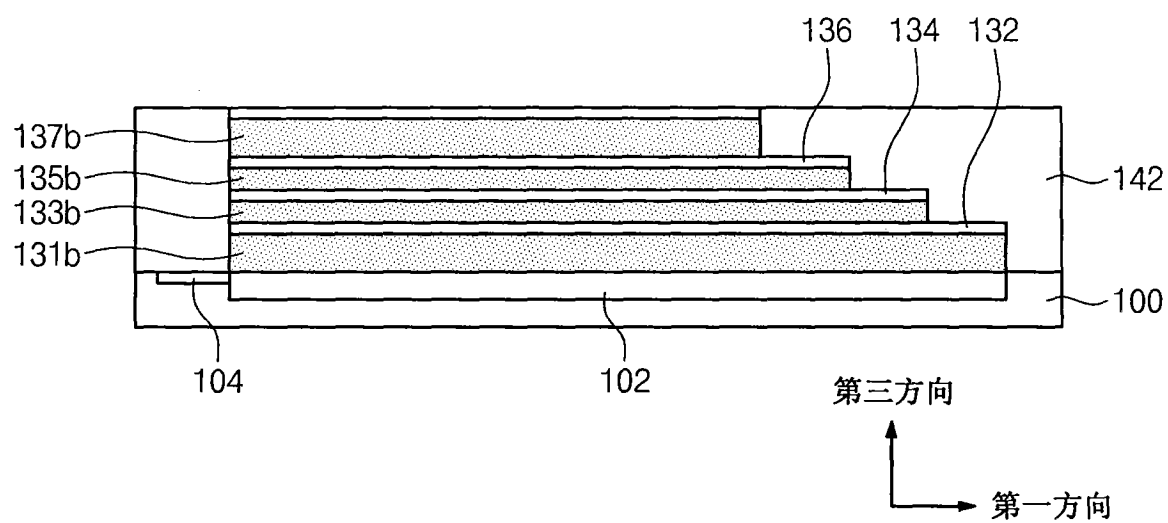


图 7D

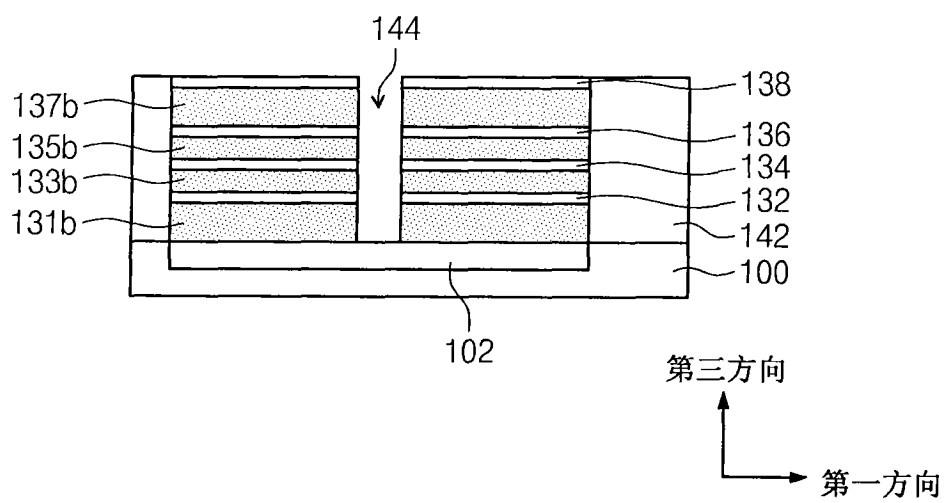


图 8A

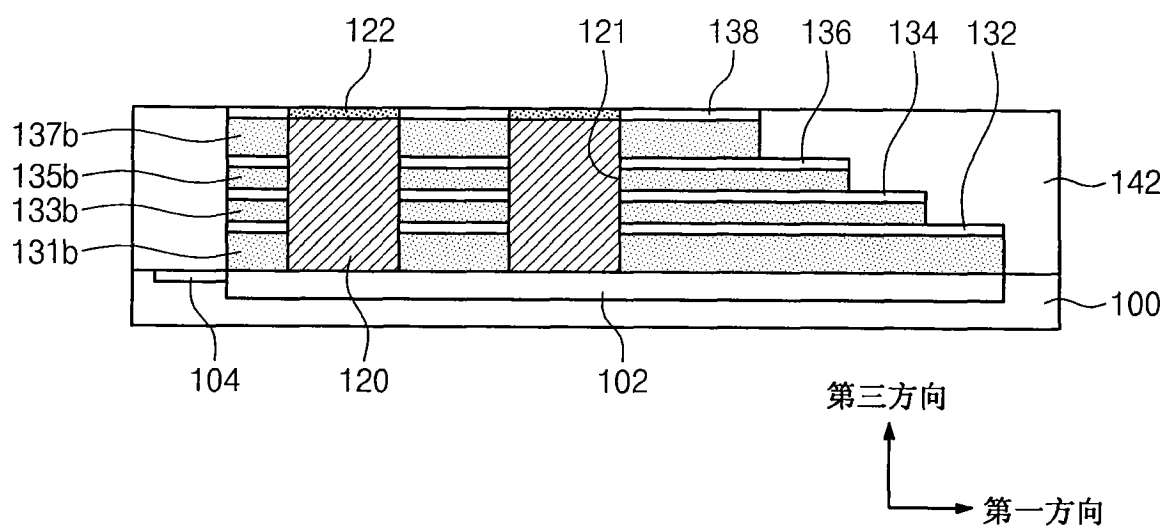


图 8B

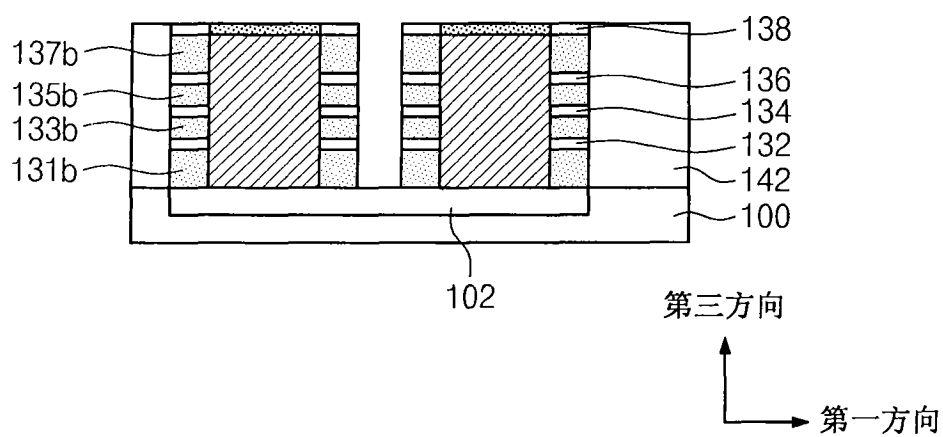


图 8C

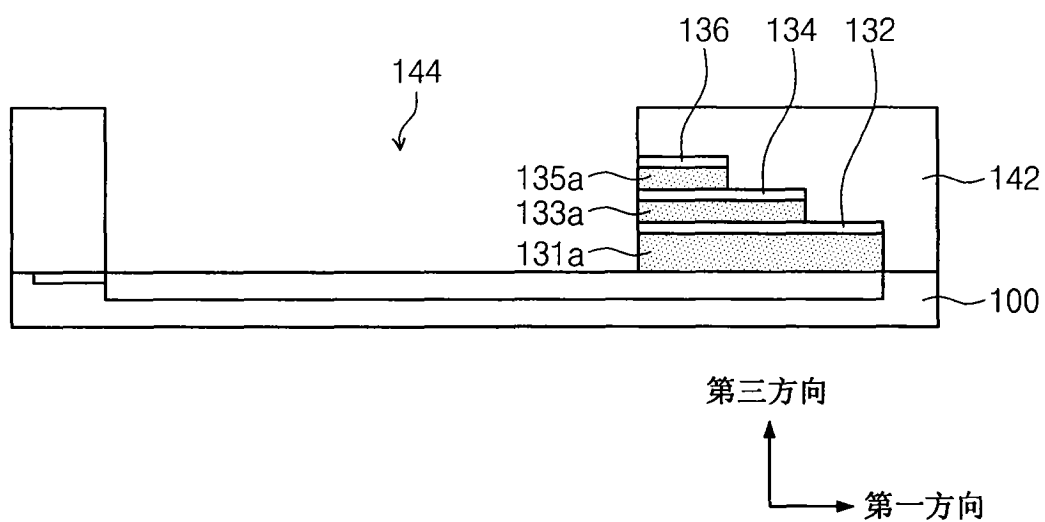


图 8D

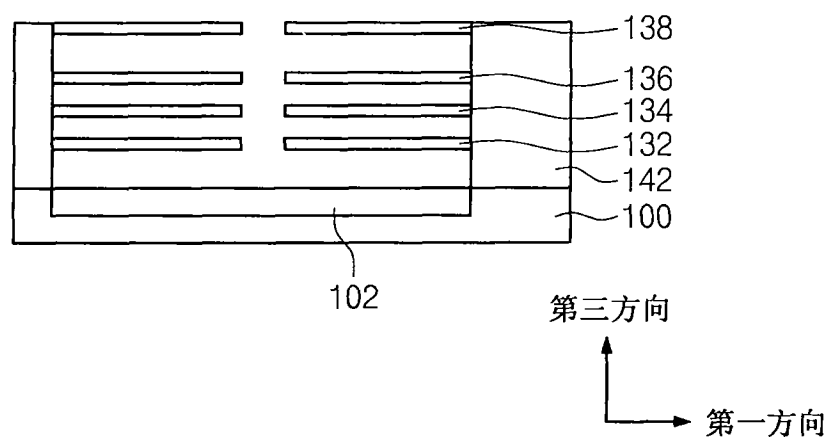


图 9A

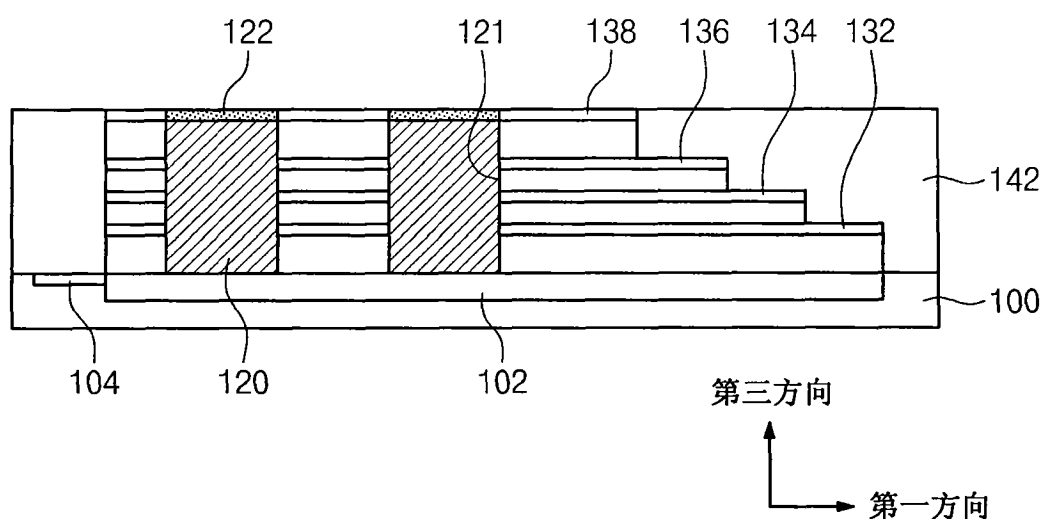


图 9B

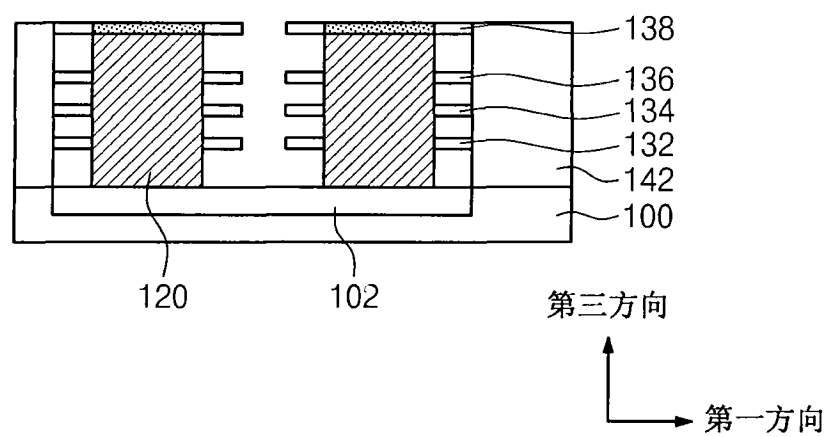


图 9C

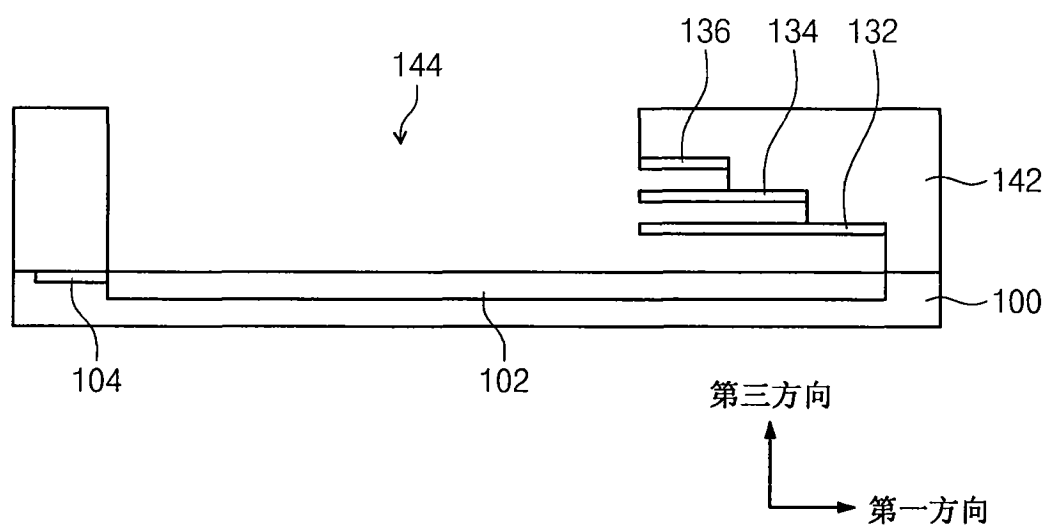


图 9D

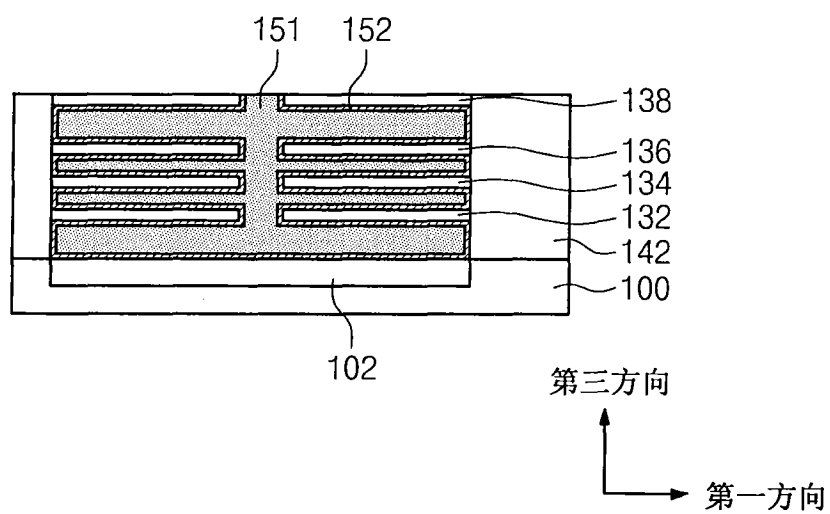


图 10A

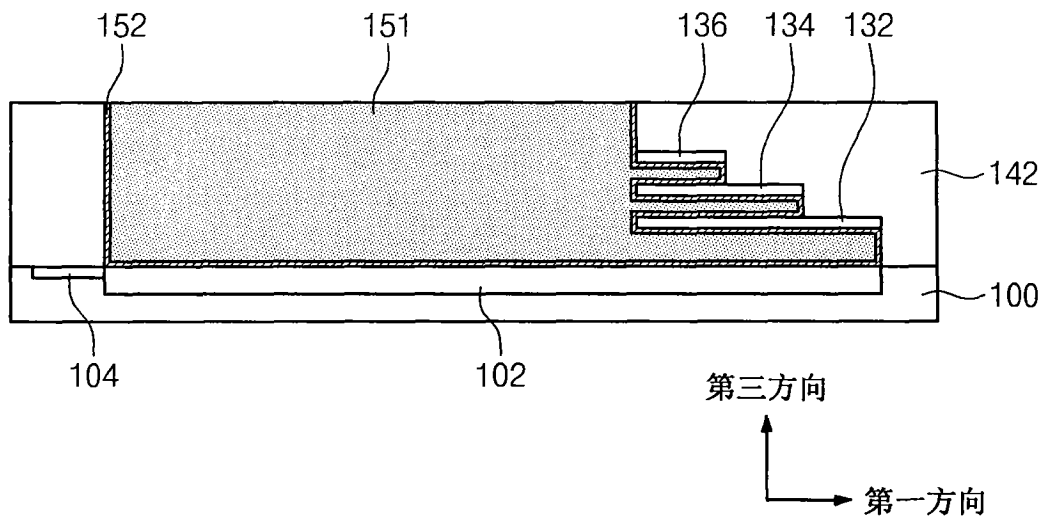


图 10D

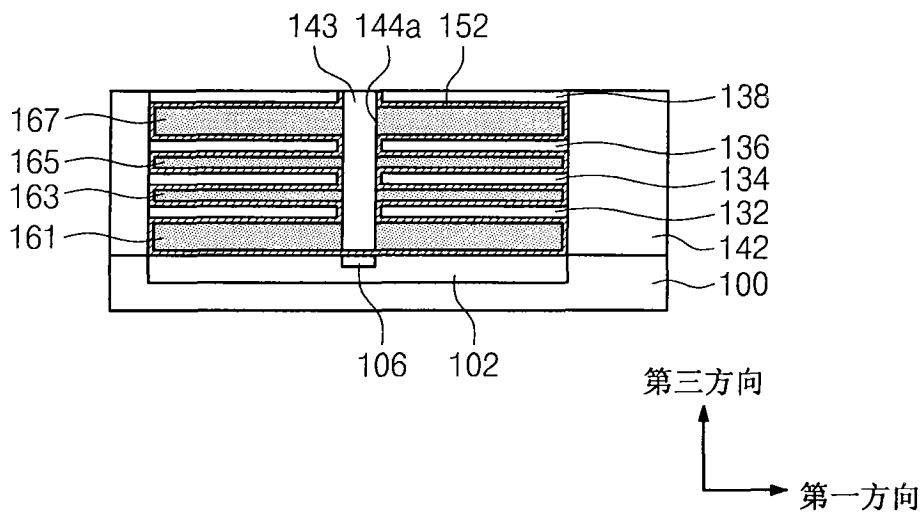


图 11A

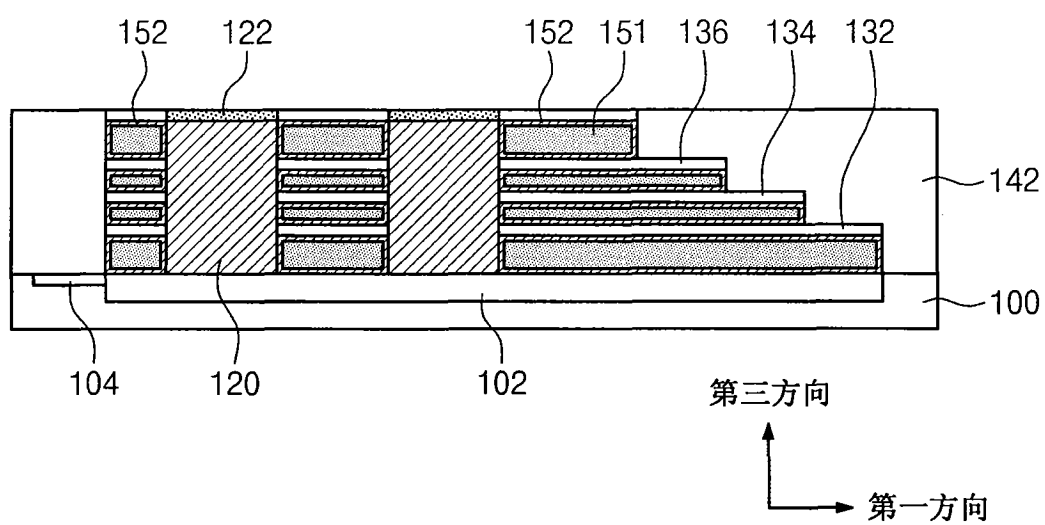


图 11B

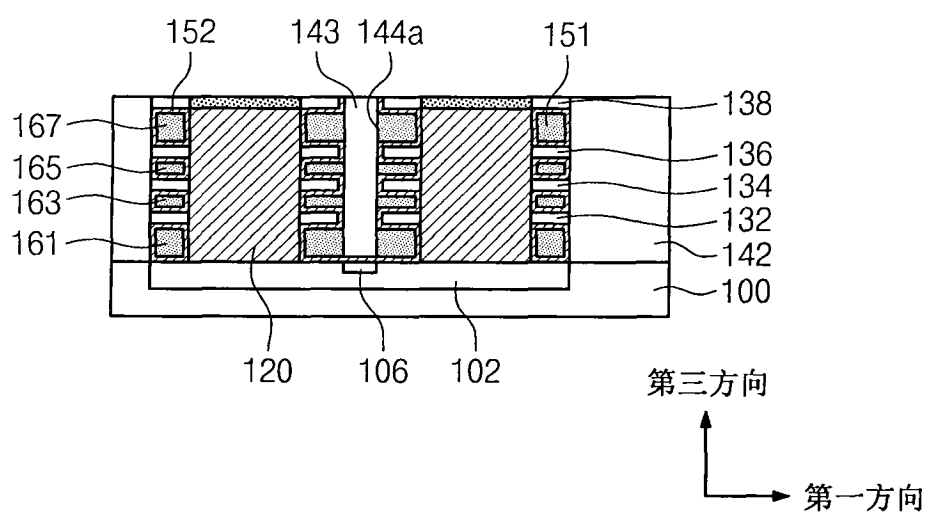


图 11C

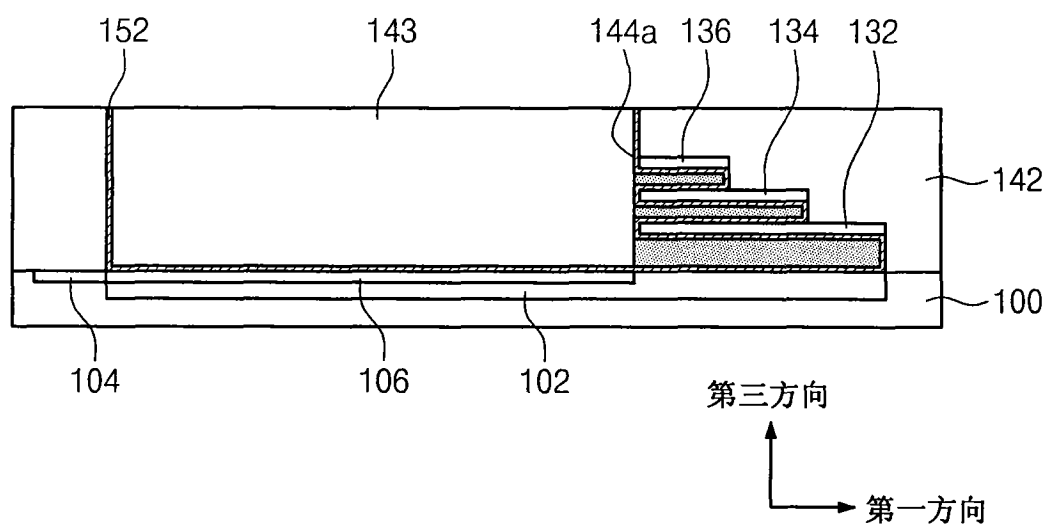


图 11D

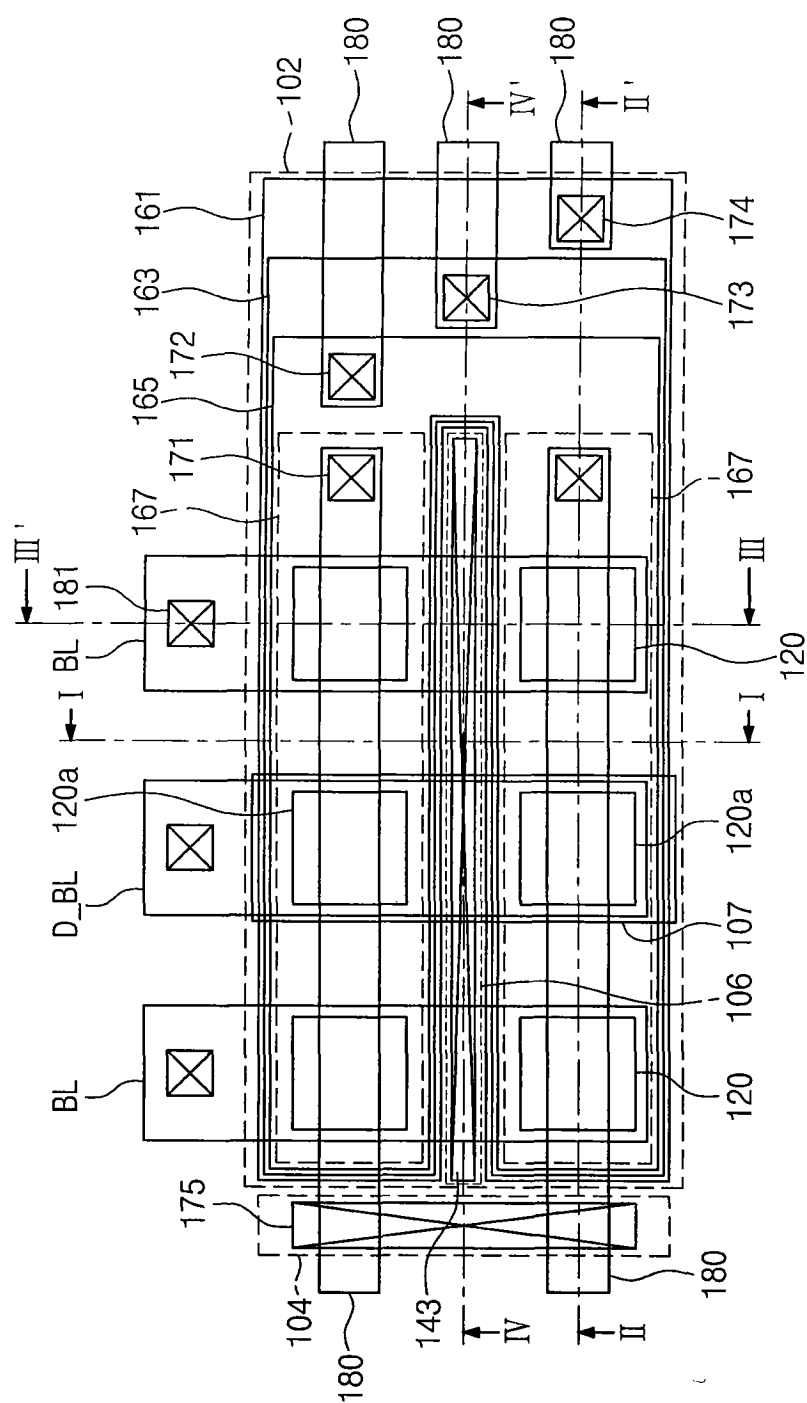


图 12A

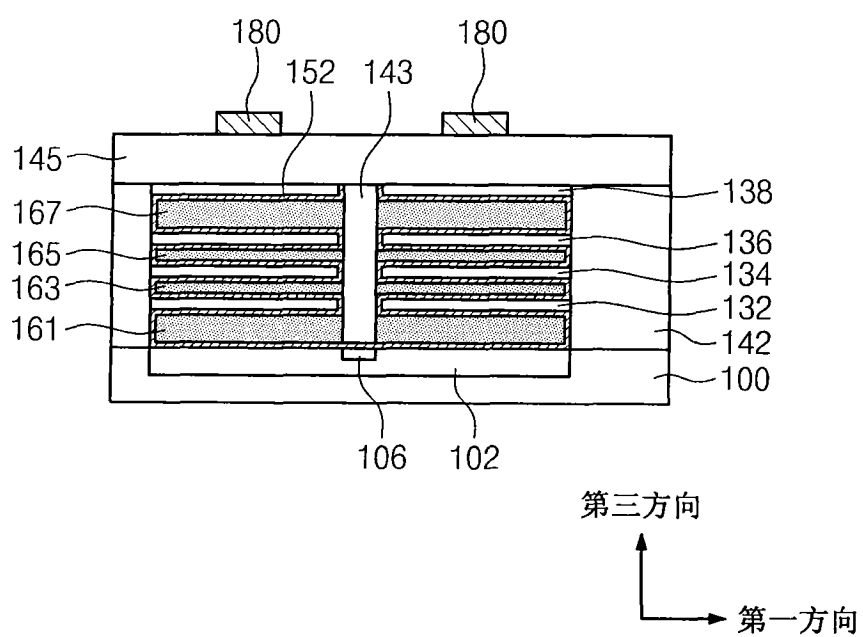


图 12B

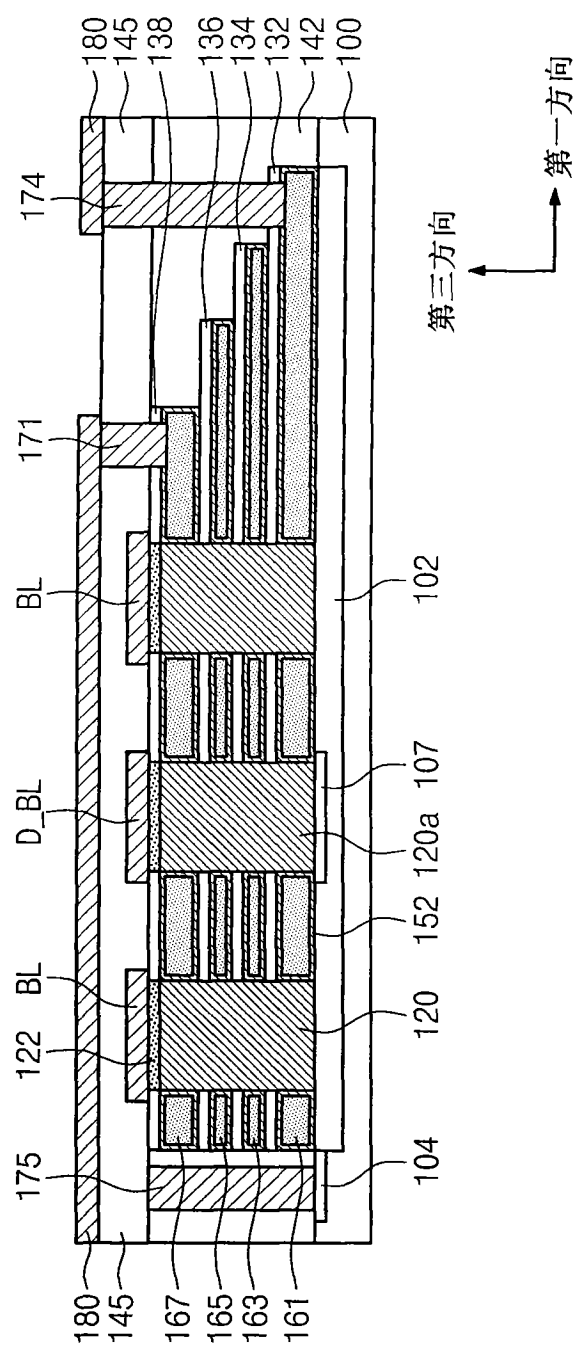


图 12C

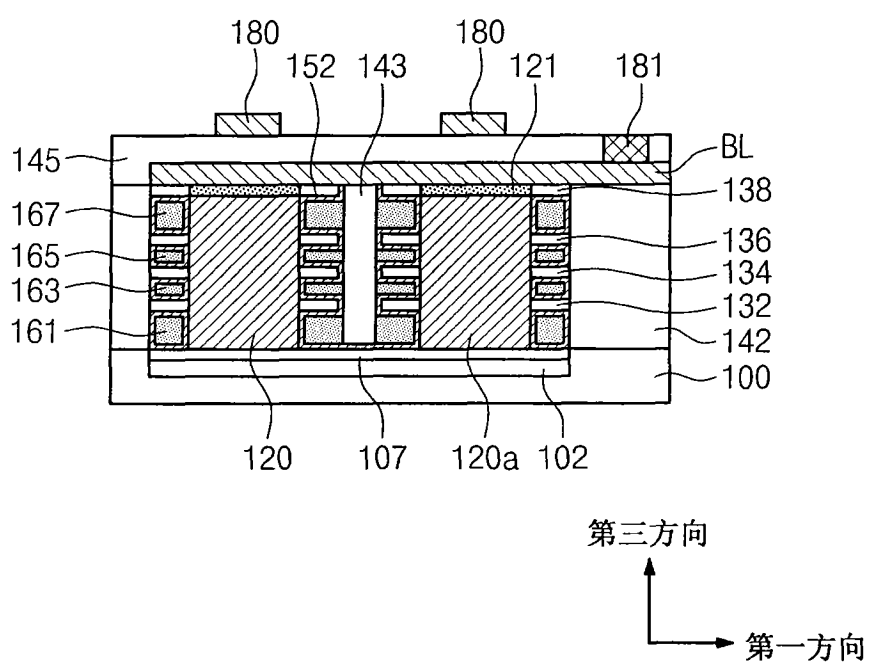


图 12D

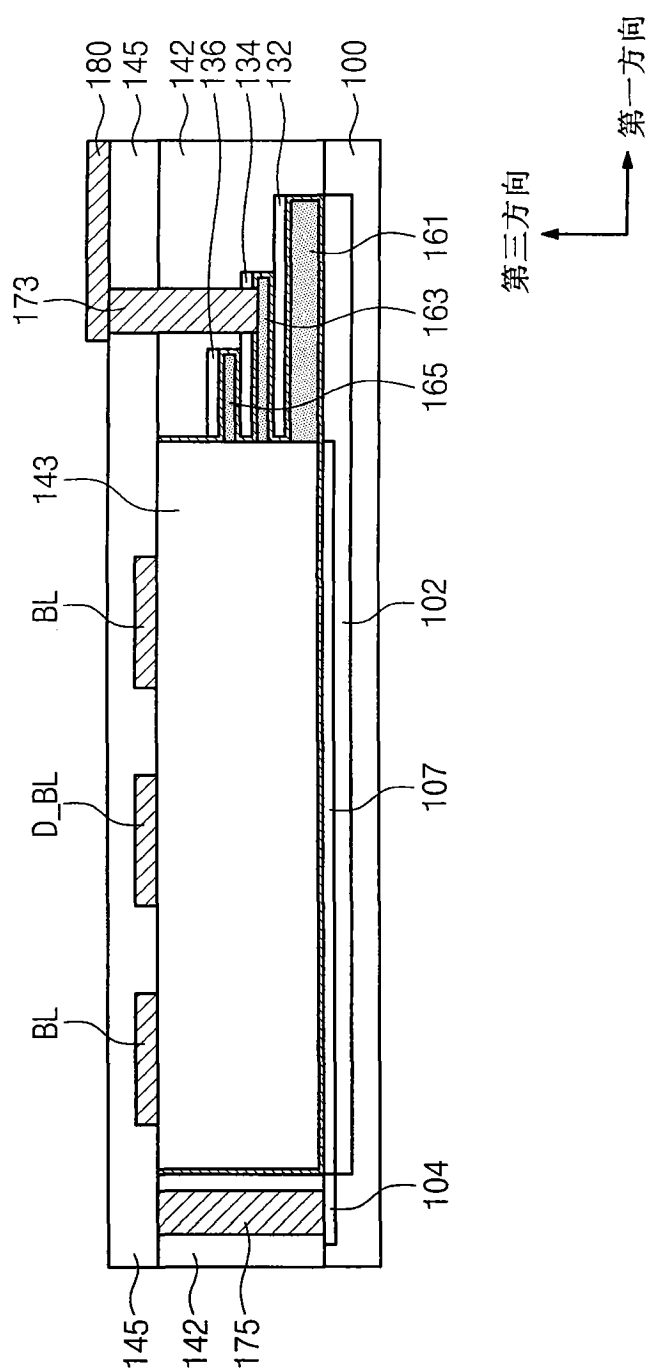


图 12E

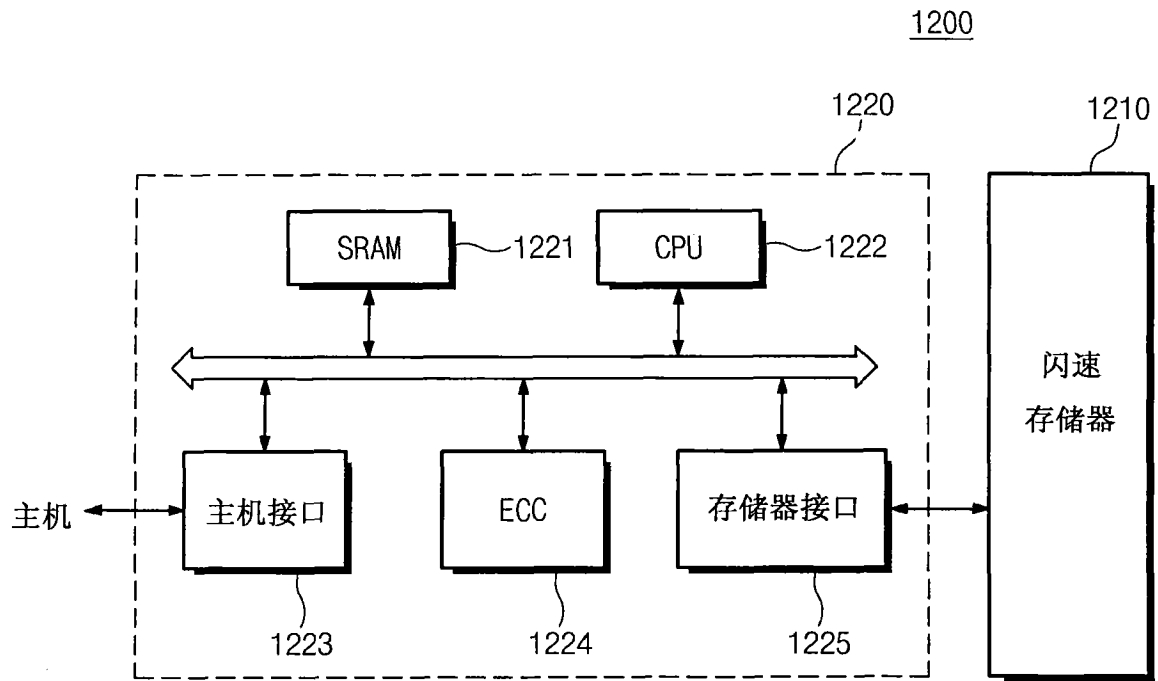


图 13

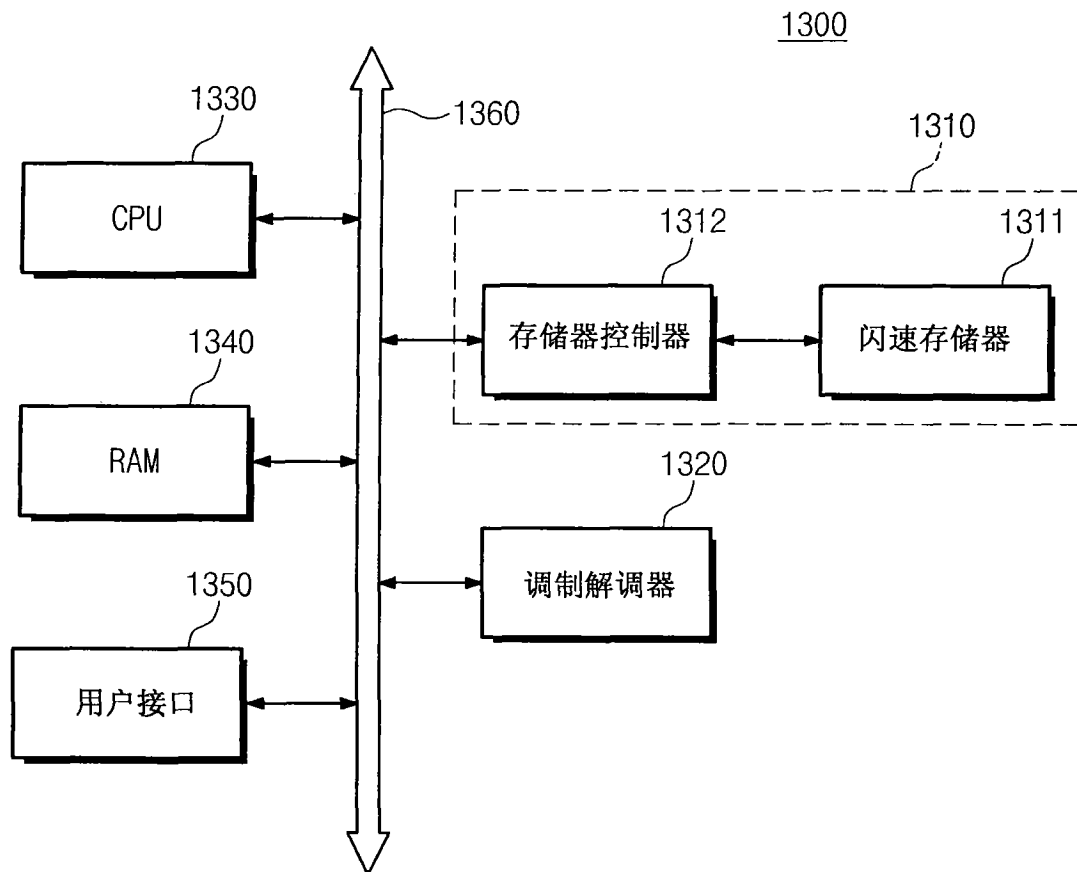


图 14